

論文 92-29A-2-5

간접 주파수 합성기를 이용한 가변 신호지연 회로 설계

(The Design of Variable Delay Line Circuit Using Indirect Frequency Synthesizer)

尹 英 烈*, 閔 庚 壹*, 吳 承 燁*

(Young Yul Yoon, Kyoung Il Min, and Seung Hyeub Oh)

要 約

간접 주파수 합성기를 이용한 신호지연 장치를 설계하는 방법을 제시하였다. 중심 주파수 60[MHz], 대역폭 500[KHz], 5.24~8.51[μ sec] 범위에서 지연 시간을 2[nsec] 단위로 조정할 수 있는 신호지연 장치를 설계 제작하였다. 실험 결과 분주당 평균 2.01[nsec]의 지연 시간을 조정할 수 있는 좋은 특성을 얻었다.

Abstract

The design method of signal delay line system using indirect frequency synthesizer is presented. The variable signal delay line system with 2[nsec] step of delay time at center frequency 60[MHz], bandwidth 500[KHz] and range 5.24~5.81[μ sec] is designed and fabricated. The results were met with good characteristics to be variable delay time of average 2.01[nsec] per step.

I. 서 론

신호지연 기술은 인공위성 통신기의 반사파 제거 장치와 레이다의 거리 측정 정확도 분석, ECM, 펄스 신호처리의 통신기의 다경로파 모의 시험등 여러 분야에 사용되고 있다.

신호지연 기술은 19세기에 이르러 Load Layleigh 가 고체 표면에 한정된파(surface acoustic wave SAW)의 존재를 확인한 후 1960년대에 이르러 2 차원적 구조 분석으로 다양한 표면파의 전달 특성을 얻을 수 있다는 장점이 알려지고 SAW를 이용한 많은 장치들이 제작되면서 크게 발전되었다.^{1,2} 이 특성을

을 이용하여 주파수에 따라 선형적으로 그룹(Group) 지연을 변화시키는 장치가 고안되었는데 이를 dispersive delay line (DDL)이라 한다. DDL은 레이다 수신기의 신호대 잡음비를 높이기 위한 펄스 압축 기법과 연속 Chirp 변환을 이용한 실시간 스펙트럼 분석에 이용된다.

한편 주파수 합성기는 소수의 주파수원으로 부터 다수의 주파수를 발생시키는 장치로 주파수 도약 방식의 통신과 이동 통신등 여러 분야에 사용되고 있다. 특히 간접 주파수 합성기는 주파수 변환 시간은 긴편이나 소형 저전력 소비형으로 제작할 수 있으므로 적용 분야가 확대되고 있다.

1973년에 Maines, J. D와 Paige, E. S. 는 DDL의 선형 그룹 지연 특성과 전압 제어 발진기(VCO)를 이용하여 지연 시간을 조정하는 방법을 발표 하였으나 VCO의 주파수 불안정에 의하여 정확한 지연을 할

*正會員, 忠南大學校 電子工學科
(Dept. of Elec. Eng., Chungnam Nat'l Univ.)
接受日字: 1991年 12月 14日

수 없는 단점이 있었다.³⁾

본 논문에서는 이러한 단점을 개선하기 위하여 간접 주파수 합성기를 신호지연 회로 제작에 적용하여 중심 주파수 60[MHz], 대역폭 500[kHz]에서 5.24~8.51[μsec] 범위 내에서 지연 시간을 디지털 방식으로 2[nsec] 단위로 조정할 수 있는 신호지연 장치를 설계 제작하였다.

II. 가변 신호지연 회로의 개념

DDL은 신호의 주파수에 따라 그룹 지연을 선형 또는 비선형적으로 변경시키며 대역통과 특성을 갖는 필터이고 주파수 합성기는 소수의 주파수 원으로부터 필요로 하는 다수의 주파수를 만들 수 있는 장치이다.

그림1은 주파수에 따라 선형 지연 특성과 대역 통과 특성을 갖는 DDL, 주파수 변화를 위한 혼합기 그리고 주파수 합성기를 이용하여 입력 신호의 특성은 변화시키지 않고 디지털 방식으로 지연 시간을 제어하는 신호지연 회로의 구성도이다.⁴⁾

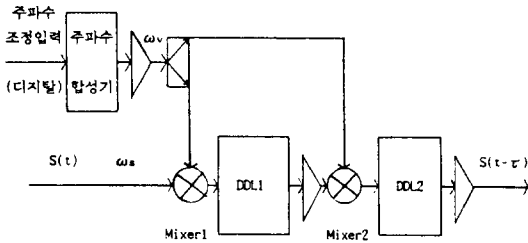


그림 1. 신호 지연 회로의 구성도
Fig. 1. Block diagram of signal delay line circuit.

DDL1과 DDL2의 중심 주파수가 ω_0 이고 $|\omega - \omega_0|$ 가 동작 대역내에 있을 때 임의의 주파수 ω 에 의한 위상 천이는 각각 다음과 같이 주어진다.³⁾

$$\phi_1(\omega) = \phi_{10} + a_1(\omega - \omega_0) + b_1(\omega - \omega_0)^2 \quad (1)$$

$$\phi_2(\omega) = \phi_{20} + a_2(\omega - \omega_0) + b_2(\omega - \omega_0)^2 \quad (2)$$

따라서 DDL1과 DDL2에 의한 지연시간 τ_1 과 τ_2 는 $|\omega - \omega_0|$ 가 동작 대역내에 있고 주파수 ω_s 인 신호가 인가될 때 혼합기에 의하여 DDL1에 입력되는 신호는 $\omega_v - \omega_s$ 이고 DDL2로 입력되는 신호는 ω_s 이므로 총 지연시간 τ 는 다음과 같다.

$$\tau = a_1 + 2b_1(\omega_v - \omega_s - \omega_0) + a_2 + 2b_2(\omega_s - \omega_0) \quad (3)$$

여기서 DDL1과 DDL2가 같은 특성을 갖는다면 $b_1 = b_2$ 이므로 $\omega_s - \omega_0 = \Delta\omega_s$ 로 하고 합성기의 주파수를 $\omega_v = 2\omega_0 + \Delta\omega_v$ 로 만들어 주면 총 지연 시간은 $\tau = a_1 + a_2 + 2b_1\Delta\omega_v$ 로 되어 $\Delta\omega_v$ 만의 선형 함수로 주어지므로 DDL로 입력되는 신호가 동작 대역내에 있을 때 합성기를 조정하여 신호 지연시간을 제어할 수 있다.

III. 가변 신호지연 회로의 설계

II장에서 고찰한 신호지연 방식을 이용하여

- 입력 신호의 중심 주파수: 60[MHz], 대역폭: 500[kHz]
- 조정 지연시간 범위: 3.266[μsec], 지연 조정 최소 단위: 2[nsec]

의 성능을 갖는 신호지연 회로를 설계하고자 한다. 식(3)에서 요구되는 DDL1의 동작 대역폭 ΔF 는 입력 신호의 대역폭 Δf_s 와 합성기의 조정 대역폭 Δf_v 와의 합인 $\Delta F = \Delta f_s + \Delta f_v$ 로 주어진다.

합성기의 조정 대역폭과 DDL1의 기울기 μ 는 조정 가능한 지연 범위가 합성기의 조정 대역에 걸쳐 동작할 수 있도록 해야 한다. 그리고 이 대역에서 DDL1은 선형 특성을 가져야 하므로 기울기(지연시간/주파수)는 $\mu = \Delta T / \Delta f_v$ 이다. 따라서 DDL1에서 필요로 하는 총 분산(dispersion) T는 $T = \mu \Delta F$ 이다. 그리고 DDL의 동작대역은 대역 통과 특성으로 혼합기의 고조파 $nf_0 \pm mf_s$ 를 제거하도록 해야하고 DDL의 기울기 특성과 주파수 합성기의 STEP은 지연 조정 최소단위를 결정하므로 DDL 사양 결정에는 이를 충분히 고려하여야 한다.

본 논문에서는 기울기를 3.5/7.5[μs/MHz]로 정하였고 이에 따라 합성기 대역폭 7[MHz], DDL1 동작 대역폭 7.5[MHz], 분산 3.5[μsec], 그리고 동작 중심 주파수 60[MHz]인 DDL이 요구된다. 이러한 특성을 갖는 DDL은 Mason 등가회로를 사용하여 ST-Quartz로 설계하였다.^{1,2,7)} 식(3)과 같이 지연 시간이 합성기의 주파수에 대한 선형 함수가 되도록 같은 특성의 DDL을 선정하여 이용하였다.

본 장치의 제작에 요구되는 합성기는 두 DDL의 동작 주파수를 만족시키기 위하여 중심 주파수를 120[MHz], 지연 조정 최소 단위를 2[nsec]로 하기 위하여 주파수 간격 4285.71[Hz], 대역폭은 20[MHz] 이상의 성능이 요구된다. 설계한 장치의 지연 특성은 앞에서 설계한 내용과 동일한 $a_1 = a_2 = 3.44[\mu\text{sec}]$, $2b_1 = 2b_2 = 3.5/7.5[\mu\text{sec}/\text{MHz}]$ 인 DDL을 사용하였으므로 $\tau = 6.88 + 3.5 \times \Delta f_v / 7.5$ (여기서 Δf_v 는 MHz

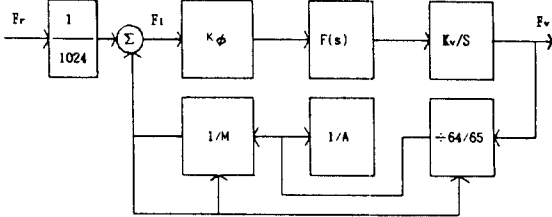
단위)로 주어진다.

IV. 간접(PLL) 주파수 합성기의 설계

III장에서 언급한 바와 같이 조정 가능한 최소 지연 시간을 2[nsec/STEP]으로 하고 동작 대역폭을 7.5[MHz] 이상으로 만들기 위하여 합성기의 사양을 다음과 같이 정의하였다.

- 동작 주파수 : 110~130[MHz]
- 중심 주파수 : 120.0[MHz]
- 주파수 조정간격(STEP) : 4273.5[Hz]
- 주파수 조정 속도 : 30[msec] 이하

주파수 조정 STEP을 4273.5(Hz)로 정한것은 DDL 측정 결과 기울기가 0.468[us/MHz]이므로 조정 가능한 최소 지연 시간을 2[ns/STEP]으로 만들기 위하여 이와같이 정하였다. 그러나 입수 가능한 크리스탈의 제약으로 이와 가장 근사치를 만들 수 있는 4.37538[MHz]을 1024 분주하여 기준 주파수를 4272.835[Hz]로 설계하였다. 기준 주파수 정수배의 신호를 만들기 위하여 제어 입력에 따라 분주수를 64 또는 65로 조정할 수 있는 ECL 분주기(MC12017)와 프로그래머블 계수기를 이용한 Dual Modulus Prescaling 방식을 본 주파수 합성기 설계에 적용하였다.



F_r : 4.37538[MHz] F_v : 2477.835[Hz] 4272.835
 F_v : VCO 주파수 K_ϕ : $V_c/2\pi$ K_v : $2\pi \times 4.35 \times 10^4/V$
 N : 총 분주수 $F(s)$: 루프 필터 전달함수

그림 2. 주파수 합성기 구성도

Fig. 2. Block diagram of frequency synthesizer.

이 계수 방식에 의한 총 분주수는 $(M-A) \times P + A \times (P+1) = MP + A$ 가 된다.⁵⁾ A와 M을 각각 0~63, 0~1023내에서 조정하여 앞에서 정한 합성기의 주파수 대역에 따라 N이 25744에서 30425까지 분주를 하도록 설계한 주파수 합성기의 전체 구성도는 그림 3과 같다.

회로의 제작을 위하여 기준 주파수 분주기(÷1024),

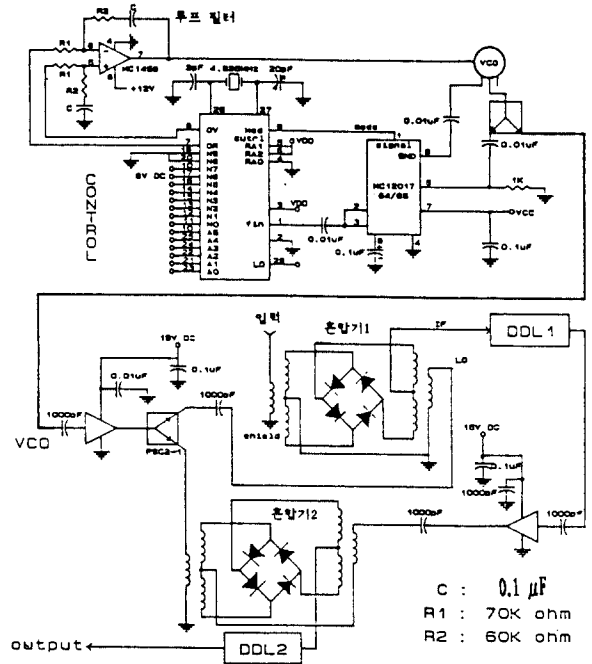


그림 3. 가변 주파수 합성기를 이용한 신호 지연 장치 회로

Fig. 3. Circuit of signal delay line system using indirect frequency synthesizer.

위상 검출기, ÷M, ÷A를 내장한 Motorola사의 MC 145152와 64/65 계수기로는 MC12017를 사용하였다. MC145152가 내장하고 있는 위상 검출기의 이득 K_ϕ 는 전원이 V_c 일 때 $V_c/2\pi$ 로 주어진다. VCO 이득 상수는 동작 대역인 110~130MHz에서 $2\pi\Delta f/\Delta V = 2\pi \times 4.35 \times 10^4/V$ 로 측정되었다. 루프 필터는 정상 상태에서 오차를 0으로 할 수 있고 온도의 변화나 VCO의 변화에 무관하게 안정상태를 유지할 수 있도록 연산 증폭기를 이용한 2차 PLL로 설계하였다. 2차 PLL 루프의 전달함수는 자연 주파수 (ω_n)와 제동계수 (ξ)에 대한 함수로 나타내면

$$\frac{F_v}{F_r} = N \frac{2\xi\omega_n S + \omega_n^2}{S^2 + 2\xi\omega_n S + \omega_n^2} \quad (4)$$

여기서

$$\omega_n = (K_\phi K_{vco}/N\tau_1)^{1/2} \quad (5)$$

$$\xi = 0.5 (K_\phi K_{vco} R_2 \tau_2 / R_1 N)^{1/2} = \tau_2 \omega_n / 2 \quad (6)$$

이다. 주파수를 변경시의 응답특성은 식(4)를 시간축으로 변환하여

$$F_v = NF_r (\cos\sqrt{1-\xi^2} \omega_n t - \frac{\xi}{\sqrt{1-\xi^2}} \sin\sqrt{1-\xi^2} \omega_n t) \exp(-\xi \omega_n t) \quad (7)$$

안정시간(t_s)과 ω_n , ξ 의 관계는

$$t_s \omega_n \cong -1/\xi \ln[0.05(1-\xi^2)^{1/2}] \quad (8)$$

한편 개루프 전달함수 $T(s)$ 는 다음과 같다.⁶⁾

$$T(s) = K\phi \times K_{vco} \times F(s) / N/S \\ = \frac{K\phi \times K_{vco} \times (1+S\tau_2)}{\tau_1 N S^2} = \omega_n^2 \frac{(1+S\tau_2)}{S^2} \quad (9)$$

이고 위상 여유는 $\tan^{-1}(\omega_g \tau_2)$ 이다. (10)

ω_g 는 이득이 0[dB]가 되는 각 주파수로 $\omega_g = 2\xi \omega_n$ 이고 식(6)의 τ_2 를 대입하면 위상 여유는 $\tan^{-1}(4\xi^2)$ 으로 주어진다. ξ_{\min} 은 루프가 충분히 안정할 수 있도록 위상 여유가 68.6°되는 0.8로 정하고 식(7)에서 안정 시간이 14[msec]가 되도록 ω_n 을 268.333[rad/sec]로 정하였다. 제작 실험 후 성능 개선을 위한 보상기 회로의 안정도를 높이기 위하여 안정 시간을 목표 성능보다 짧게하고 위상 여유를 크게 설계하였다.

식(5)에서 R_1 을 정하면 최소 C값을 구할 수 있고 이에 따라 식(6)에서 R_2 를 구할 수 있으므로 R_1 을 70[K Ω]으로 정하여 $C_{\min} = 7.005 \times 10^{-3} / R_1 = 0.1[\mu F]$, $R_2 = 60[K\Omega]$ 으로 설계하였다. II, III, IV장에서 설명한 이론에 의해 설계한 간접 주파수 합성기를 이용한 가변 신호 지연 장치 회로도에는 그림3과 같다.

V. 실험 및 결과고찰

1. 간접 주파수 합성기

제작한 주파수 합성기의 출력 스펙트럼을 측정된 결과 기준 주파수의 고조파와 출력 주파수의 차는 10[dB]로 나타났다.

이는 안정상태에서도 위상 검출기에서 기준 주파수의 주기로 발생하는 폭 900[nsec]의 구형파와 유사한 펄스와 이에 의한 고조파를 루프 필터가 식(9)에서의 기준 주파수의 감쇠량인 36[dB]로는 충분히 제거하지 못한 결과이다. 이 주기적인 펄스를 구형파로 가정하고 Fourier Series로 나타내면

$$e = 2AD_u \left[0.5 + \sum_{n=1}^{\infty} \frac{\sin(n\pi D_u)}{n\pi D_u} \cos(2\pi n f_1) \right] \quad (11)$$

여기서 A: 펄스 진폭

D_u : 펄스 Duty (3.846 $\times 10^{-3}$)

n: 주파수 고조파 차수

f_1 : 기준 주파수 (4272.835[Hz])이다.

Duty는 펄스폭이 900[nsec]이고 기준 주파수가 4272.835[Hz]이므로 3.846 $\times 10^{-3}$ 이고 따라서 $n=10$ 까지의 고조파의 피크 전압은 $E_{\rho n} \cong 2A D_u$ 이다. 이 신호가 루프 필터를 통과한 후 각 고조파의 상대적인 크기 $S_{\rho n}$ 는 다음과 같다.

$$S_{\rho n} = 20 \log \left(E_{\rho n} \frac{\tau_2 K_{vco}}{\tau_1 n \omega_1} \right) - G_{\rho n} - 6 \quad (12) \\ = 20 \log \left(\frac{2\pi \omega_n}{2\pi n f_r} \times \pi N D_u \right) - G_{\rho n}$$

$G_{\rho n}$ 는 루프 필터에 의한 감쇠이고 $A = V_c/2$, $K_p = V_c/2\pi$, $\xi = \omega_n \tau_2/2$ 이다. 총분주수 N이 30425(130[MHz])일 때 기본파 ($n=1$)의 감쇠비는 -20.4dB로 예상할 수 있으나 측정값은 -10[dB]로 계산치보다 10[dB] 크게 나타났다. 이는 회로 소자의 값을 계산값과 동일하게 선정할 수 없었고 식(12)에서 A를 평균값인 $V_c/2$ 로 계산하였으므로 측정값과는 차이를 나타내는 것으로 추정된다.

기준 주파수에 대한 고조파를 제거하기 위하여 루프 필터 출력단에 위상 여유가 10° 보장되는 RC 저대역 필터를 삽입하여 기본파를 20.15[dB] 감쇠되도록 하였다. 그 결과 기준 주파수가 30[dB] 이하로 감쇠되었고 25[kHz]에서는 50[dB]로 감소하여 예상한 RC 필터의 감쇠 특성과 일치하였다. 고조파를 제거하기 위하여 4.272[kHz]에서 50[dB], 8.544[kHz]에서 약 45[dB] 감쇠 특성을 갖는 Notch 필터를 RC 필터와 복합적으로 루프 필터 출력단에 삽입하여 그림4와 같이 기본 고조파 35[dB], 25[kHz]에서는 60[dB]인 특성을 얻을 수 있었다.

분주수에 대한 출력 주파수는 그림5와 같이 측정되었고 계산값과는 ± 33 [Hz] 이하로 약 $\pm 2.5 \times 10^{-7}$ 의 오차를 보였다. 주파수를 변경시킬 때의 응답 특성은 그림6과 같이 안정시간이 약 30[msec]로 측정되었다. 이 결과는 2차 PLL 루프로 14[msec]의 안정 시간을 갖도록 한 설계값과는 16[msec]의 차를 나타내었는데 이는 2차 루프 필터 후 Notch 필터와 RC 필터를 사용하였으므로 응답 특성이 변형된 것으로 추정된다. 스펙트럼 특성을 개선하기 위해서는 분주수를 줄여야 하나 최소 지연 조정 시간 2[nsec]를 구현하기 위하여 설정한 주파수 간격 4272.385[Hz]와 주파수 변경시간 30[msec]의 목표를 만족하는 범위에서는 이상에서 고찰한 스펙트럼 응답 특성

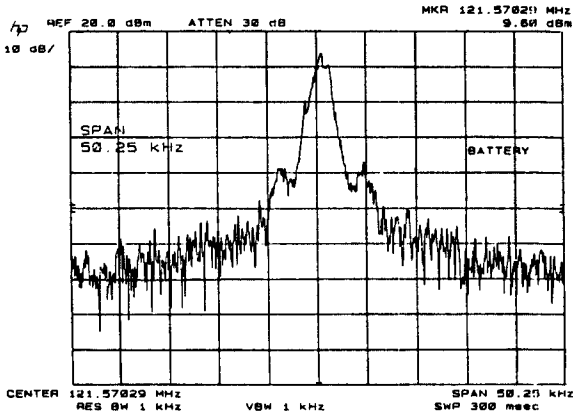


그림 4. 주파수 합성기 스펙트럼
Fig. 4. Spectrum of frequency synthesizer.

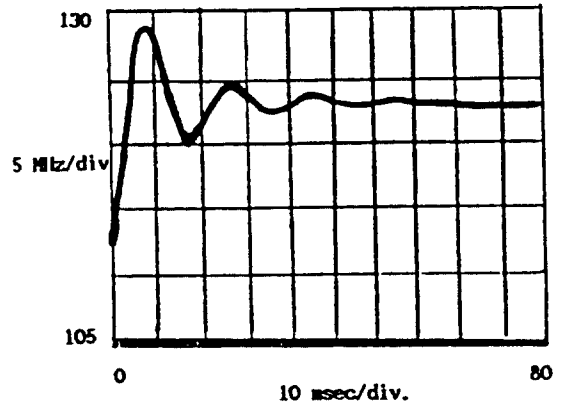


그림 6. 주파수 합성기 응답 특성(105.230[MHz]에서 122.733[MHz] 변경한 경우)
Fig. 6. Response characteristics of frequency synthesizer (Case of change from 105.230[MHz] to 122.733[MHz]).

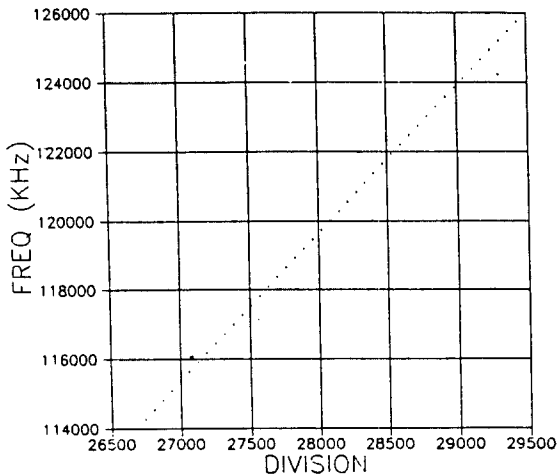


그림 5. 루프 분주수에 대한 주파수 합성기 출력
Fig. 5. Output of frequency synthesizer about loop step number.

을 개선할 수 없었다. 그러나 본 신호지연 회로에서는 II장에서 분석한 바와 같이 혼합기1에서 합성기 신호와 혼합된 입력 신호가 혼합기2에서 다시 합성기 신호와 혼합되므로 합성기 고조파에 의한 신호의 간섭은 상쇄될 것으로 예상된다.

2. 간접 주파수 합성기를 이용한 신호지연 회로 DDL은 III장에서와 동일한 특성을 갖는 Anderson Laboratory사의 DDL을 선정하여 사용하였다. 그림7은 DDL의 입력 신호의 주파수에 대한 전달 특

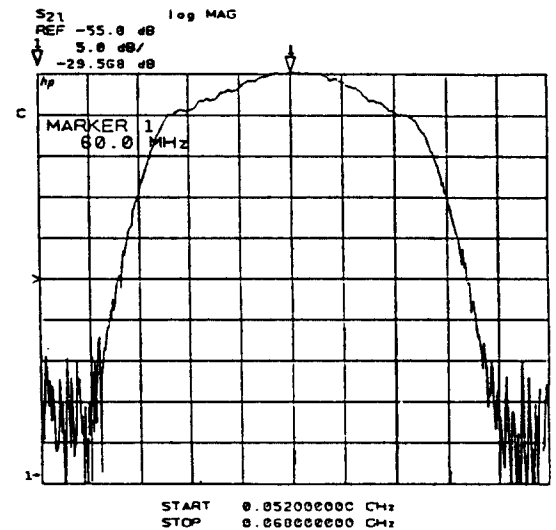


그림 7. 측정된 DDL 특성
Fig. 7. Characteristics of measured DDL.

성을 회로망 분석기(HP8510A)로 측정한 결과로서 중심 주파수는 60[MHz], 대역폭은 7.5[MHz], 통과 대역 특성은 30[dB] 저지 대역에서는 80[dB] 감쇠를 갖는 것으로 측정되었다.

그림8은 오실로스코프(Tektronix11402A)로 측정한 DDL의 지연 특성으로 56~64[MHz]에서 3.5/7.5 [μ sec/MHz]인 기울기를 갖고 선형 기울기와는 -63 [nsec]에서 77[nsec]까지의 오차를 나타내었다.

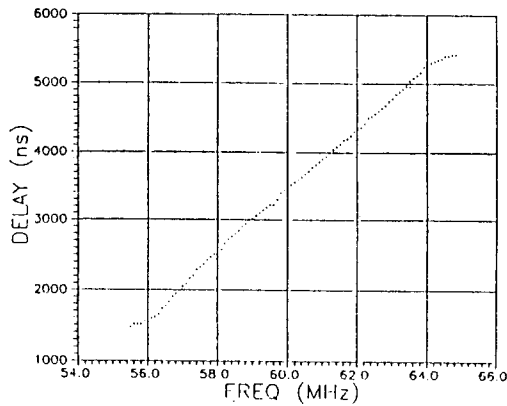


그림 8. DDL 신호 지연 특성

Fig. 8. Characteristics of signal delay of DDL.

주파수 합성기는 출력 주파수를 조정하기 위하여 분주수를 디지털 방식으로 제어하는 '입력 단자로 DIP 스위치를 사용하였다. 주파수 합성기의 출력을 분배하여 PLL 루프와 혼합기로 입력시켰다. 합성기의 출력은 7[dBm]으로 두 혼합기를 동작시키기에 부족하므로 15[dB] 증폭한 후 분배기를 통하여 두 혼합기에 입력하였다. 혼합기 1에서 입력 신호 (60 [MHz], 대역폭 500[kHz])와 합성기 (120 [MHz], 대역폭 7.5 [MHz])가 혼합된 후 DDL1을 거치면 고조파인 120 [MHz]와 180 [MHz]대의 주파수는 제거되고 60 [MHz] 대역의 성분만이 통과된다. 그림7과 같이 DDL은 신호를 30[dB] 감쇠시키므로 이를 보상하기 위하여 30[dB] 증폭하였고, 두번째 혼합기에서 원래 입력 신호의 특성을 회복시킨 후 입력 신호 자체에 의한 DDL1의 지연 편이를 보상하기 위하여 DDL2에 입력시켰다.

제작한 회로의 지연 시간을 측정하기 위하여 주파수 60 [MHz], 펄스폭 4.2 [μsec]인 신호를 그림 2의 RF단에 입력하고 합성기 주파수를 116.5 [MHz]부터 123.5 [MHz]까지 1 [MHz]씩 증가시키면서 오실로스코프로 출력 펄스를 기록하여 그림9에 나타내었다.

주파수 합성기의 분주수를 28084 (120 [MHz])를 중심으로 ± 924 범위에서 14씩 변경시키면서 측정된 지연 시간을 그림10에 나타내었다. 측정된 값을 평균한 결과 28.14453 [nsec]/14 [STEP]으로 STEP 당 2.01032 [nsec]로 계산되었다. 설계시 크리스탈 선택상의 제약으로 기준 주파수를 4273.5 [Hz]로 제작하지 못하였으므로 예상되는 STEP 당 지연시간 1.99969 [nsec]와 비교하면 +0.01063 [nsec/STEP]의 오차를 갖는 것으로 계산되었다. DDL이 갖는 선형

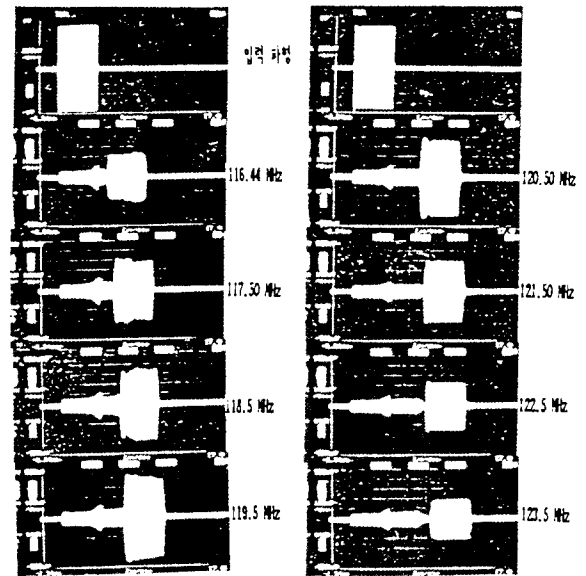


그림 9. 주파수 합성기의 주파수 변화에 대한 신호 지연의 출력 파형 (입력 신호 60 [MHz] 인 경우)

Fig. 9. Output waveform of signal delay about frequency variation of frequency synthesizer. (Case of input signal 60 [MHz]).

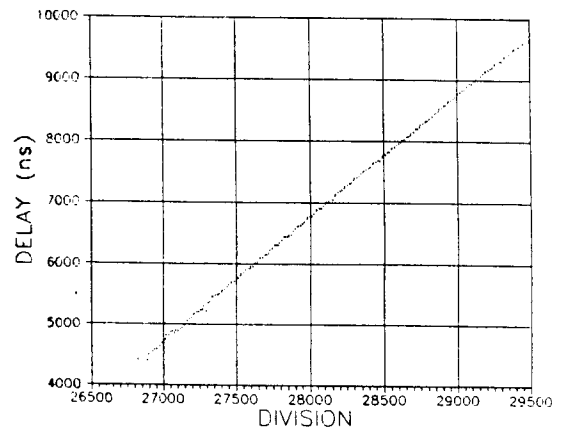


그림 10. 주파수 합성기 루프 분주수에 대한 신호 지연 시간

Fig. 10. Signal delay time about loop step number of frequency synthesizer.

특성과의 차를 고려한다면 매우 정확한 결과로 설계 목표인 지연 조정 2 [ns/STEP]을 0.01 [nsec]의 오차로 달성하였음을 확인하였다. 선형지연 특성과의

차를 계산한 결과 116~124[MHz]의 범위에서 0에서 -80[nsec]까지의 차를 보였다. 이 결과는 DDL의 지연 선형 특성에 대한 차는 -63~77[nsec]로서 대역내에서 변화폭이 140[nsec]이었으나 제작한 신호 지연 회로는 변화폭이 80[nsec]로서 선형성이 60[nsec]개선된 것으로 측정되었다. 이는 식(3)에서 보는 바와 같이 두 DDL이 선형 특성과는 차이가 있어도 같은 특성을 가질 경우 입력 신호와 동작점과의 차 $\Delta\omega_s$ 만큼의 오차는 상쇄되기 때문이다.

신호지연 회로가 신호를 변화시키는 정도를 알아보기 위하여 스펙트럼 분석기로 측정이 용이하도록 60[MHz]에서 6%AM 변조한 신호를 입력으로 하고 임의로 6885[nsec] 지연시키도록 합성기를 120.01115[MHz]로 조정하여 출력과 비교하였다. 5[kHz] 스패스로 측정한 결과 그림11과 그림12에서 알 수 있는 바와 같이 70[dB]인 main lobe와 null간의 폭이 69[dB]로 되어 1[dB] 미소하게 감소하는 좋은 특성을 보였다.

VI. 결 론

본 논문에서는 입력 주파수에 따라 지연시간이 선형적인 특성을 갖는 DDL과 디지털 조정 방식으로 주파수를 ± 33 [Hz]의 정확도로 출력시키는 간접 주파수 합성기를 이용하여 입력 신호를 특성의 변화없이 5.247~8.513[μ sec]내에서 임의로 원하는 지연시간을 2[nsec]의 정확도로 조정하는 장치를 제작하였다. 합성기 분주수를 14(59819.7[Hz])씩 변경시키

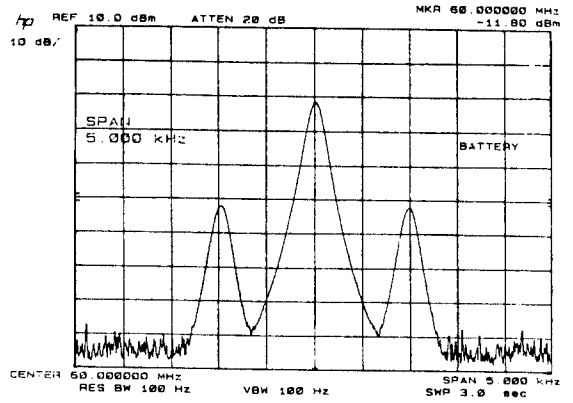


그림 12. 출력 신호의 스펙트럼(합성기의 주파수 120.01115[MHz] (6886[nsec] 지연), 5[KHz] 스패)

Fig. 12. Spectrum of output signal(Frequency of synthesizer 120.01115[MHz] (6886[nsec] delay), 5[KHz] span).

면서 지연 시간을 측정하여 평균한 결과 28.14453[nsec]로 한 분주당 평균 2.01[nsec]의 정확도까지는 지연 시간을 조정할 수 있음을 확인하였다. 이 결과는 선택할 수 있는 크리스탈의 제약으로 기준 주파수를 4273.5[Hz]로 제작하지 못하여 예상되는 STEP당 지연 오차 0.0031[nsec]와 DDL이 갖는 선형 오차를 고려한다면 매우 정확한 결과로 생각된다.

간접 주파수 합성기의 기준 주파수를 2[nsec] 지연 조정을 위하여 4.272835[KHz]로 낮게 정하고 안정 시간을 30[msec]로 제한하여 35[dB] 밖에 제거할 수 없었던 기준 주파수의 고조파는 신호내의 두 혼합기에 의한 상쇄로 20[dB] 향상되어 55[dB]로 높아진 양호한 특성을 얻을 수 있었다. 따라서 출력 주파수 간격을 조밀하게 제작한 간접 주파수 합성기를 신호 지연 회로에 사용한다면 디지털 방식으로 지연 시간을 세밀하게 조정할 수 있고 그 정확도도 높일 수 있으며 DDL의 불완전한 선형 특성으로 인한 지연 오차도 측정값에 따라 분주수를 조정하므로 보상할 수 있음을 알 수 있었다.

본 논문에서 제작한 간접 주파수 합성기를 이용한 신호 지연 회로는 레이다 성능 측정을 위한 목표물 모사기와 전파 교란 장치 및 다경로파 제거 장치에 응용될 수 있다.

參 考 文 獻

[1] H. Matthews, *Surface Wave Filters*, New York, John Wiley & Sons, 1977.

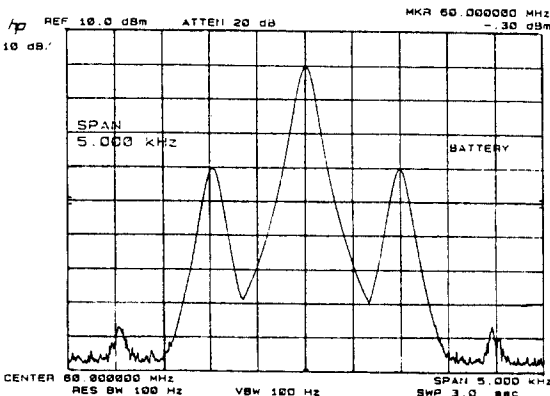
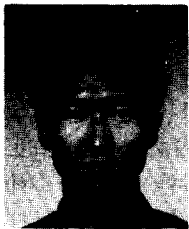


그림 11. 입력 신호의 스펙트럼(반송 주파수 60[MHz], 6%AM 변조)

Fig. 11. Spectrum of input signal(Carrier frequency 60[MHz], 6% AM modulation).

- [2] Supriyo Datta, *Surface Acoustic Wave Devices*, New Jersey, Printice Hall, 1986.
- [3] C.O. Newton and E.S. Paige, "Surface acoustic wave dispersive filter with variable, linear, frequency-time slope," *Collected Papers on Surface Accoustic Waves and Signal Processing*, pp. 424-427, Jan. 1979.
- [4] V.S. Dolat and R.C. Williamson, "A continuously variable delay-line system," *Collected Papers on Surface Accoustic Waves and Signal Processing*, pp. 419-423, Jan., 1979.
- [5] Ulrich L. Rohde, *Digital PLL Frequency Synthesizers Theory and Design*, New Jersey, Prentice-Hall, Inc., 1983.
- [6] William F. Egan, *Frequency Synthesis by Phase Lock*, New York, John Wiley & Sons, Inc., 1981.
- [7] W. Richard Smith, Henry M. Gerard and William R. Jones, "Analysis and design of dispersive interdigital surface wave transducers," *IEEE Transactions on Microwave Theory and Techniques*, vol. MTT-20, no. 7, July, 1972.

 著 者 紹 介



尹 英 烈 (正會員)

1962年 1月 10日生. 1984年 2月 연세대학교 전자공학과 졸업. 1991年 8월 충남대학교 대학원 공학석사 학위 취득. 1984年 3월 ~ 현재 국방과학연구소 연구원. 주관심분야는 초고주파 회로 및

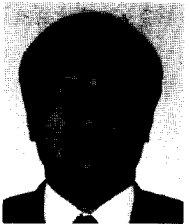
무선통신 분야 등임.



吳 承 煥 (正會員)

1945年 12月 25日生. 1971年 2월 연세대학교 전기공학과 졸업. 1973年 2월 동 대학원 공학석사 학위 취득. 1982年 8월 동 대학원 공학박사 학위취득. 1980年 8월 ~ 1981年 8월 일본 동북대학

전기통신연구소 객원 연구원. 1985年 5월 ~ 1986年 5월 미국 펜실바니아 주립대학 전기과 객원 연구원. 1975年 10월 ~ 현재 충남대학교 전자공학과 교수. 주관심분야는 초고주파 회로, 안테나 공학 및 위성통신 등임.



閔 庚 壹 (正會員)

1955年 5월 25日生. 1977年 2월 울산대학교 전자공학과 졸업. 1977年 3월 ~ 1981年 7월 공군 통신장교 근무. 1984年 8월 충남대학교 대학원 공학석사 학위 취득. 1990年 2월 동 대학원 박

사과정 수료. 1990年 3월 ~ 현재 대전공업대학, 충남대학교 강사. 주관심분야는 초고주파 회로 및 안테나 공학 분야 등임.