

ATM 교환기의 실장 기술

朴 權 喆, 南 相 植

韓國電子通信研究所 交換技術研究團

I. 서 론

최근 정보통신 시스템은 소재 및 부품기술과 정보처리 기술의 진전에 힘입어 전송능력과 교환 능력이 비약적으로 높아지고, 고속 광대역 네트워크도 실현될 전망이다. 즉, 전송방식은 현재의 광전송으로는 1-2Gbit/s의 전송속도를 갖지만 앞으로 초장파장대의 코히런트 통신방식이 실용화되면 1Tb/s의 전송속도를 갖게 될 것이다. 또한 교환방식에서는 현재 디지털 교환기로 64Kb/s의 전화회선에서 수만 회선(156Mb/s 환산으로 10회선 정도)의 교환이 이루어지고 있지만, ATM (asynchronous transfer mode) 방식의 도입으로 156Mb/s 환산 회선으로 수천에서 수만 회선의 교환능력을 갖게 될 것이다.

이에 따른 고속 광대역 ISDN(B-ISDN) 시스템의 실현으로는 소프트웨어기술, 광기술, 디바이스기술이 기반이 되지만, 특히 하드웨어 관점에서 보면 사용자 정보(155.52Mb/s, 622.08Mb/s)의 대역은 현재의 2,000-8,000배로 되어 이 정보를 전송, 교환하는 시스템은 고속화, 대용량화, 고밀도화가 요구되고 있다. 이러한 고속화를 실현하기 위해서는 디바이스 기술의 진보에 대응한 실장기술의 향상이 불가피하며, 지금까지의 실장 기술로는 한계가 있으므로 새로운 실장기술의 도입이 필요하게 되고 있는 상황이다. 돌연 시스템의 실장기술은 신호의 고속화 및 고주파화 경향으로 금후의 시스템 개발에 있어서 시스템의 궁극적인 성능을 결정하는 가장 중요한 요소 기술중의 하나로 주목받고 있다.

본 고에서는 정보통신 시스템의 고속화에 의해 종래부터 적용되어 왔던 실장기술에서의 변경이 요구되는 사항을 고찰하면서 고속 대규모 광대역 ISDN 시스템의

실현에 초점을 둔 실장기술 방식에 대하여 기술하였다. 또한, 시스템의 고속화에 대응한 고속, 고밀도 커넥터 및 인쇄회로 기판에서의 기술동향을 고찰하였으며 시스템의 냉각기술 및 소자기술 등에 대하여 기술하였다.

II. 실장 요소 기술 및 시스템 실장 방식

1. 시스템 실장 요소 기술

고속 광대역 ISDN 시스템의 실장기술의 개발을 위한 첫번째 과제는 금후의 기술동향을 토대로 한 시스템의 요구사항과 그에 대응한 실장 요소기술을 정확히 파악하는 길일 것이다. 그림 1은 광대역 스위치의 기술동향을 나타낸 것으로 특히 대규모 스위치를 예상한 복수단 구성의 예를 나타내고 있다. 그림 1에 있어서 단위 스위치간의 링크 속도와 스위치 규모에 따른 입력회선 수와의 곱으로 나타내어지는 “최대 처리능력(throughput)”을 높이는 것이 시스템의 소형화와 경제적인 면에서 현저한 효과가 있다는 보고가 있으며, 향후로는 고속화 및 대규모화를 목표로 한 기술개발이 가속화되고 있는 경향이다.

시스템의 최대 처리능력을 높이기 위해서는 시스템 실장기술에서 다음과 같은 요소들이 수반되어야 할 것이다.

- 링크 속도를 높이기 위한 고속 실장
- 대규모화에 대응한 고밀도 실장
- 또, 대규모화에 따른 링크간의 케이블에 관한 최적 인터페이스

이중에서도 링크간 케이블은 적용 디바이스에 의해 케이블의 본수가 좌우된다. 예를들어 스위치 규모가 256×256이고 링크속도가 622Mb/s일 때 40Mb/s 동작

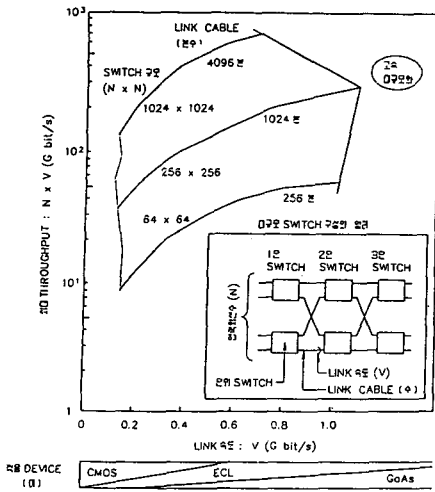


그림 1. 광대역 스위치의 기술동향

의 CMOS를 사용하여 병렬 전송화 했다고 가정하면, 그림 1에 나타낸 케이블 본수 1,024개의 16배, 즉 16,000본의 케이블이 필요하게 되어 케이블 처리가 중요한 문제가 된다.

그림 2는 광대역 교환시스템에 대한 금후의 기술개발이 시스템의 요구가 최대 처리능력의 향상에 있는 것으로 가정하여 추출한 실장 요소 기술의 전개를 나타낸 것으로 다음과 같이 분류할 수 있으며, 이를 종래의 실

장기술 현황으로부터 금후 목표달성을 위한 중점기술을 추정하여 보면 표 1과 같다.

- 기판, 커넥터 및 케이블에 관련한 고속 전송 기술
- 대전력화에 대응한 고능률 냉각 기술
- LSI의 실장을 중심으로 한 고밀도화 기술
- 링크간 배선의 최적화에 대응한 배선 인터페이스 기술

2. 시스템 실장방식

정보통신 시스템의 설계 및 시스템 분할(partitioning)에 있어서 시스템의 상호접속 계층에는 그림 3과 같이 칩-레벨 상호접속으로부터 rack간 접속에 이르기까지 6단계의 레벨이 있으며, 종래의 교환시스템은 회로팩 가이드 레일과 백판널로 구성된 박스-형태 구조의 프러그-인 유니트(셀프)에 회로팩이 규정된 간격으로 실장되는 책선반(bookshelf) 실장방식을 사용하고 있다. 그러나, 고속 광대역 교환시스템의 실현에서는 156Mb/s 이상의 신호를 전송할 필요성 때문에 종래의 책선반 실장기술의 발본적인 개선이 요구되어 진다. 일반적으로 스위칭하는 신호가 고속화 되기 위해서는 실장 기술상에서 신호지연 시간의 편차(signal skew)를 줄이고 신호 전송 경로의 특성 임피던스가 정합되어야 하며, 인터페이스용 커넥터의 다단자화, 링크간 케이블의 절폐 및 저잡음화, 그리고 고소비 전력화하는 패키지 냉각능력 향상등의 문제가 고려되어야 한다.

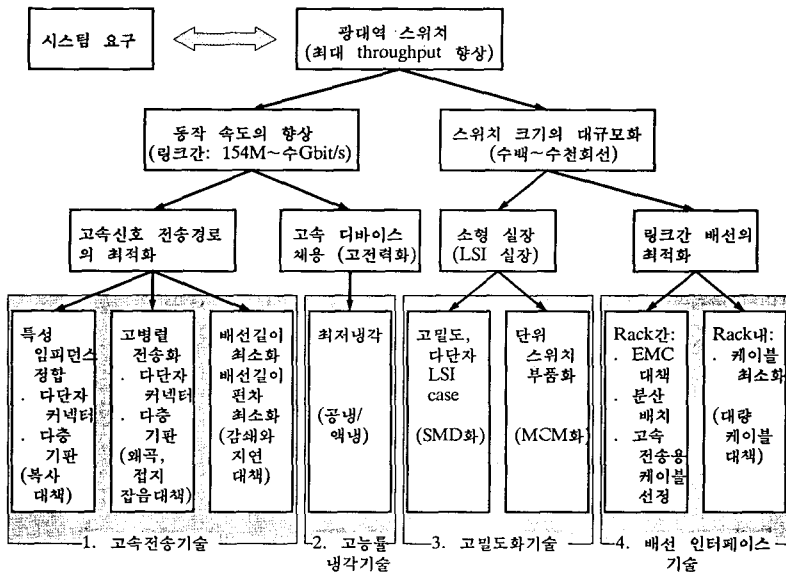


그림 2. 시스템 요구를 근거로 한 실장 요소 기술의 전개

표 1. 기존 실장기술 현황과 향후의 중점기술

실장요소기술	광대역스위치 실장목표 (예 : 최대throughput 약 160G/bs로 가정)	기존 실장기술 현황	목표 달성을 위한 중점기술
고속전송기술	신호전송경로(PBA-커넥터-케이블)의 특성 임피던스 정합 (예 : 50Ω)	기판과 케이블의 정합은 비교적 용이, 커넥터 정합은 곤란 (커넥터:약 100Ω)	정합 커넥터 개발
	고병렬 전송화 (1,000~1,400단자/card)	약 300단자/card	다단자 커넥터의 개발
	고속배선 대응 다층기판 (16~24층)	최대 12층	다층기판의 개발 다층기판의 납땜부착성이 좋은 표면실장 부품의 개발
	배선길이 및 배선길이 편차의 최소화	수Mb/s 정도의 전송이 대상이므로 엄격한 배려는 하지 않음	전기케이블 사용의 재확인 동일길이를 위한 다층기판의 개발
고능력 냉각기술	5~10 W/LSI 100~200 W/card	약 3 W/LSI 약 20 W/card	공냉의 고능력화 기술 개발 액냉 기술의 개발
고밀도화기술	320~400 단자의 LSI case	최대 288단자 (2.54mm격자 PGA)	미소격자에 의한 표면실장형 다단자 LSI case의 개발
	약 1Mb/s 단위 스위치의 부품화	Card 7매 정도로 실현	단위 스위치 부품화를 위한 MCP의 개발
배선인터페이스 기술	링크간 케이블의 철폐	케이블 철폐 불가능	케이블이 불필요한 실장구성 추구
	EMC/분산배치/고속전송을 고려한 케이블 선정	전기케이블에 의한 평형전송이 주체	전기/광 인터페이스의 효과적 안내

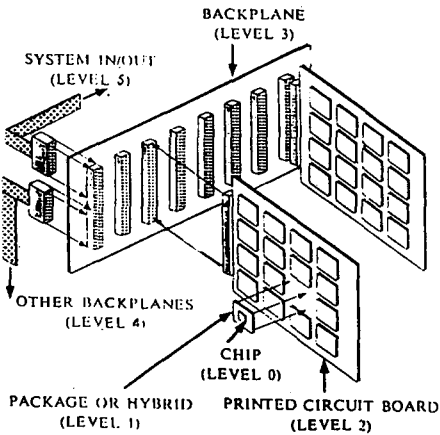


그림 3. 시스템의 상호접속 계층

현재 시작발표가 행하여 지고 있는 광대역 교환시스템의 실장방식으로는 종래 실장방식의 연장이 주체로 되어 있지만 그중에서 실장 기술상의 임팩트가 큰 3차원적인 새로운 실장방식이 보고되고 있다. 여기서는 고속 광대역 스위치를 대상으로 한 3차원 적교 배치 실

장방식에 대하여 살펴보고자 한다.

ATM 교환시스템의 스위치 링크부는 통화버스가 없기 때문에 링크 불력이 필요없는 구성이 요망되므로 종래와 달리 기본 ATM 스위치를 3단으로 링크를 구성하는 동향이며, 이때의 스위치 링크는 그림 4와 같이 접속된다.

이것은 기본 ATM 스위치를 매 패키지마다 구성하고 3단 스위치 패키지를 서로 직교시켜 배치시키면 그림 5에 나타난 바와 같이 간단한 접속상태로 된다. 이 방법은 종래의 실장 방식인 책선반 실장방식에 비교하여 상호접속의 합리화가 가능하여 링크배선 길이의 단축 및 각 길이간 편차의 최소화가 가능해진다. 특히 링크간 접속의 고속화 수단으로서 ZIF(zero insertion force)형 커넥터에 의해 직접 접속됨으로써 링크간 상호접속 케이블을 없앨 수 있으며 동시에 저잡음화도 실현 가능하다. 또 동일한 커넥터를 회로팩 상하의 2면에 배치할 수 있으므로 패키지의 다단자화도 가능하게 되며, 향후 시스템의 초고속화에 대응한 광 커넥터로의 이행도 가능해진다.

고속 고집적화 하는 디바이스 기술의 동향으로 LSI

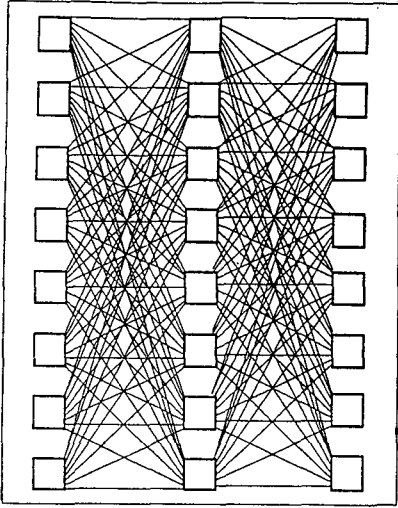


그림 4. 3단 스위치의 링크 접속도

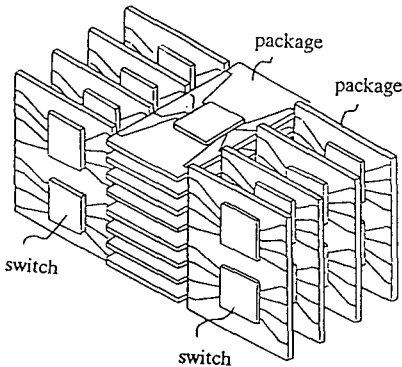


그림 5. 3단 스위치 패키지의 3-D 직교배치

의 소비전력이 증가함으로써 단위 ATM 스위치의 소비 전력은 100-200W나 된다. 이는 종래의 교환시스템에서는 경험할 수 없었던 소비전력으로 시스템의 냉각 기술상의 대폭적인 개선이 필요하게 된다. 3차원 직교배치 실장의 냉각기술에 관해서는 회로팩의 상하면에 인터페이스용 커넥터를 배치하기 때문에 회로팩의 전면과 후면에 공간이 생기므로 이 공간을 이용하여 공냉의 고능률화를 도모할 수 있다. 또 ATM 스위치의 소비전력 증가는 가까운 장래에 간접액냉이 필요한 단계에 이르게 될 것이므로 간접액냉에 대응 가능한 구조가 요구됨에 따라 새로운 실장방식은 공냉에 한계가 생길 경우에

는 공냉부분을 액냉으로 바꾸는 것도 가능하다.

이 실장 방식의 고밀도화 기술에 관해서는, 고밀도 다단자의 LSI 패키지를 포함하여 멀티칩 패키지(MCP : multi-chip package)를 스위치 단위로 부품화함으로써 소규모에서 대규모까지의 스위치 구성을 용이하게 실현할 수 있을 것이다.

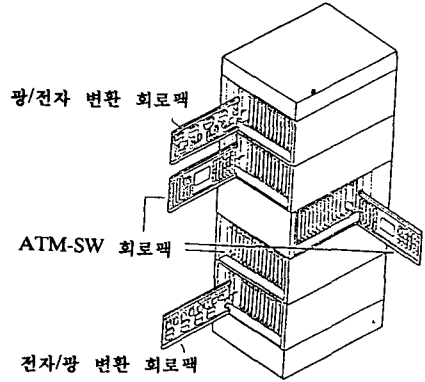


그림 6. 3차원 직교배치 실장 랙

그림 6은 3차원 직교배치 실장방식의 한 예를 나타낸 것으로 랙은 5단의 전자회로 패키지로 구성되었다. 최상단에는 광/전자 패키지를 실장하고 중앙부의 3단에 직교배치한 ATM 스위치 패키지를 실장하였으며, 최하단에는 전자/광 패키지가 실장되었다. 5단 전자회로 패키지는 CWB(center wiring board)를 고정된 CWB 프레임으로 지지되고, 구조물의 제조오차가 누적하여 커넥터가 접촉불량 되지 않도록 하기 위하여 CWB 프레임간의 거리는 조정이 가능하도록 되어 있다. 이 CWB 프레임은 패키지 실장부의 상단 및 하단에 배치되고 패키지 삽발면 뒤쪽에 간접액냉 냉각수를 배관할 수 있으므로 패키지에 인접하여 배치한 액냉 유니트에 의한 3차원 간접액냉 냉각방식을 구성할 수 있다. 한편, 패키지간은 토폴로지 커넥터에 의해 케이블없이 접속된다. 하나의 토폴로지 커넥터 내에는 4개소로 접속되어 패키지간 직교배치가 가능하며, 상하 패키지간의 접촉은 CWB를 관통시켜 설계한 세경동축 커넥터와 패키지측 커넥터를 습동접촉하는 슬라이드 블럭의 상하 움직임에 의해 접속된다. 즉, 커넥터 사이를 습동접촉하는 슬라이드 블럭의 상하 움직임에 의해 접속하는 방법이 채택되었다. 또한 슬라이드 블럭은 슬라이드 바의 전후 움직임으로 올라가고 내려가고 하며 슬라이드 바의 전후 움직임은 레버의 회전조작으로 행하는 LIF 구조에 의해

이루어 진다. 이와 같은 구조로 인하여 광/전자 또는 전자/광 패키지는 스위치 패키지와 직교배치하는 것이 가능하며 연장배치도 가능하다. 특히 연장배치는 패키지의 소비전력이 클 때의 분할이나 접속구간이 많은 분할에 매우 유리할 것이다.

이 예의 3단 링크 구성의 ATM 스위부에 관련한 실장방식의 실장성능은 1,040 단자/패키지(동축접속은 2단자로 계산), 패키지 냉각능력은 종래 실장의 약 10배, 전송 가능한 속도는 종래 실장의 약 4배이다.

한편 시스템의 구성기술에서 볼 때 3차원 직교배치 실장방식의 잇점으로는 첫째, 분할 손실을 작게할 수 있어 종래실장으로는 10랙 구성으로 되는 ATM 스위치를 1랙으로 구성할 수 있다. 둘째, 링크배선의 동일 길이 패턴화에 의하여 배선지연시간의 편차를 작게할 수 있어 전송경로 길이의 최소화로 드라이브 회로부분을 소형화할 수 있다. 셋째, 병렬전송에 의해 대형화한 상호접속 부분에서의 회로분할이 용이하다. 넷째, 냉각능력이 높은 간접액냉을 채택할 수 있다.

실질적으로 광대역 교환시스템을 실현하는 데에 있어서 3차원 직교배치 실장방식의 성능이 종래의 실장방식에 비하여 어느정도 향상되었는지를 평가해 보는 것은 중요하다. 평가항목을 고속, 대규모화 실장기술의 특징으로 대표되는 전송능력(S), 냉각능력(C) 및 고밀도화 능력(D) 등으로 선정하면 평가식은 다음과 같이 표시된다.

$$S=T/V, C=P/V, D=G/V$$

여기서 T는 성능 즉 최대 처리 능력, P는 소비전력, G는 집적도(게이트 수), V는 소요체적을 나타낸다. 한편, 실장방식이 상이한 경우에 상기의 평가식을 적용하는 데에는 공통의 제약조건이 필요하며, 여기서는 온도 조건(예를들면 접합온도)을 일정하도록 하는 것을 가정하고 있다. 일례로서 약 160Gb/s의 처리능력을 가정하여 종래의 칩반 실장방식과 3차원 직교배치 실장방식의 실장기술력을 비교해 보면, 3차원 직교배치 실장방식의 실장성능은 전송능력은 6배, 냉각능력은 3배, 고밀도화 능력은 3.7배의 성능을 갖는다. 즉, 전송능력, 냉각능력, 고밀도화 능력의 어느 성능에 있어서도 3차원 직교배치 실장방식이 매우 유효함을 알 수 있다. 앞으로는 상기의 실장 기술력에 제약 조건이 되는 실현비용의 항목을 추가해서 실장 방식간 성능의 비교를 검토해 갈 필요가 있을 것이다.

III. 고속 고밀도 인쇄회로기판

ATM 교환시스템의 동작속도가 156Mb/s 이상으로 증가함에 따라 시스템 구성의 근간을 이루는 PCB(인쇄회로기판)은 고밀도 배선과 회로의 고속화가 요구되고 있다. 따라서 비트속도가 증가함에 따라 칩과 인쇄회로 기판상에서의 상호접속의 고주파수 동작에 의한 여러가지 고려하여야 할 문제점이 발생한다. 우선 필연적인 배선길이에 의한 신호지연 문제, 둘째, 선로의 손실이 무시될 수 없는 고주파 선로와 이 선로를 연결하는데서 발생하는 불연속성으로 인한 전기적인 잡음 및 신호왜곡에 관한 문제로 나누어진다.

회로의 속도가 증가함에 따라 결국에는 보드의 근본적인 물리적 한계에 도달하게 된다. 클럭 펄스의 지속시간이 신호가 PCB 신호선로를 따라 전파되는 시간까지 감소됨에 따라 낮은 클럭속도에서는 무시될 수 있는 링잉(ringing)이나 왜곡같은 전송선로 영향이 회로의 고장원인이 된다. 논리신호가 긴 신호선로를 따라 전송될 경우 모든 T-접속, 비어홀 및 핀은 짧은 순간의 신호감쇠의 원인이 된다. 만약 회로가 신호가 안정되는 것을 기다릴 수 없다면 PCB 설계는 회로고장의 원인이 되는 신호감쇠를 피하기 위하여 레리아아웃하는 동안 특별한 설계기법을 사용하여야 할 것이다.

클럭주파수가 30MHz를 초과하게 되면 PCB 설계에 있어서 전송선로 영향을 보상하기 위하여 특별한 설계기법을 적용시키기 시작하여야만 한다. 100MHz에서 이 영향은 매우 심각하며 특별한 설계기법을 필요로 한다. 고속 PCB의 설계규칙에서는 스텔브 길이(T 접속)를 최소화하고 신호선로의 임피던스를 제어하는 것을 포함한다. 또한, 최대의 신호선로 길이는 제한되어야 하며 극한 경우에는 비어홀이 허용되지 않을 수도 있다. 라우팅하는 동안에 핀의 순서는 종종 소스 IC에서 출발한 신호가 몇개의 목적지 IC까지 단일 신호선로로 전송되고 최종적으로 종단 저항에 이르도록 제어되어야만 한다. 대체로 고속 PCB 설계에서 라우팅의 순서는 부품배치보다 더 많은 중점을 두어야 한다.

몇가지 점에서 PCB에서 필요로 하는 회로속도를 성취한다는 것은 어려움이 있으며 혹은 불가능하기까지 하다. 그리하여 필요한 회로속도를 성취하기 위하여 많은 PCB 설계자들은 멀티 칩 모듈을 사용하고 있다. MCM을 사용함으로써 상호접속 길이를 20에서 50까지의 인수까지 감소시킬 수 있으며 패키지 정전용량을 피할 수 있다. 지금까지 패키지의 크기를 줄이기 위하여

하이브리드 IC가 많이 사용되어 왔지만 바람직한 회로 성능을 성취하기 위해서는 오히려 MCM의 사용이 증가할 것이다. 일례로 IBM사는 최근 3090 시리즈 메인프레임 컴퓨터에서 1-mil의 신호선로를 갖는 MCM을 사용하고 있는데 이 모듈은 5인치 평방에 자그만치 2,772개의 핀을 갖는다.

고속신호를 취급하는 가장 중요한 설계기술은 임피던스를 제어하는 것이다. 제어된 임피던스를 갖는 전송선로는 주로 마이크로스트립 선로나 스트립선로의 구조를 사용함으로써 실현되어진다. 그림 7은 전송선로의 구조를 나타낸 것으로 마이크로스트립 선로는 양면 PCB의 외부층 상에서 이용되고 스트립선로는 다층 PCB에서 예를 찾아볼 수 있다.

임피던스 값과 스트립선로의 균일성은 유전체의 두께와 선로의 폭에 의해 제어되며, 각각에 대한 오차는 PCB 설계에서 결정적인 영향을 준다. 선로 폭에 있어서의 임피던스 제어는 일반적으로 도체가 더 넓으므로 마이크로스트립 선로보다 더 낫다. 그러므로 전체 폭의 퍼센트로서의 오차는 더 작은 임팩트를 갖는다. 듀얼 스트립선로는 또한 전송선로 기술로 숨겨진 비어홀에 의해 상호 연결된 두개의 도체층의 프로세싱을 허용하기 때문에 인기를 얻고 있다. 효과적으로 임피던스 제어를 유지하고, 신호 커플링(왜곡)을 제한하고, 비어홀 형성을 허용하기 위해서는 한 층은 X 평면에 평행한 도체선로를 가져야만 하고, 다른 층은 Y 평면에 평행하여야 한다. 즉, 두층은 서로 직교되어야 한다.

CMOS의 경우 400Ω 과 같이 종종 더 높은 임피던스

가 요구되어 지기는 하지만 보통 대부분 전송선로의 임피던스의 값은 50Ω이다. 일반적으로, 높은 임피던스에 대한 설계는 더 얇은 신호선로 폭과 더 두꺼운 유전체를 사용하여야 하기 때문에 더 어렵다. 더 높은 임피던스는 전류를 감소시키므로 더 작은 전력소모를 제공한다. 그러나, 선정된 전송선로 임피던스는 사용되는 논리소자들의 입력 임피던스와 호환성을 가져야만 한다. 또한, 임피던스는 전체 상호접속 시스템 즉, PCB, 백판벨과 커넥터를 통하여 일정하여야만 한다.

추가로 마이크로스트립 선로와 스트립 선로 사이에는 제조상에서 본질적인 성능상 차이점이 있다. 마이크로스트립 선로는 스트립 선로보다 더 짧은 전파지연을 가지며 동일한 폭과 접지면으로부터의 거리에 대하여 더 높은 임피던스를 갖는다. 일반적으로 50Ω으로 제어된 임피던스를 위해서는 스트립 선로가 사용되고 75Ω의 전송선로를 위해서는 마이크로스트립 선로가 사용된다.

다층 PCB에서 스트립 선로를 사용할 경우 마이크로스트립 선로에서 보다 더 많은 상호연결 선로를 필요로 한다. 또한, 도체를 샌드위치하고 있는 접지면들은 자계를 더 일정하게 형성하고, 잡음과 왜곡으로부터의 차폐층으로 작용한다. 따라서 동일한 형상에서 스트립 선로 환경하에 있는 서로 이웃한 선로간의 서로간의 영향은 마이크로스트립 선로에서보다 더 작게 된다.

전송선로의 기술은 또한 물질에 따라 크게 좌우된다. 물질에 있어서 특별한 관심 요소중에 하나는 적층판의 유전상수(ϵ_r) 값이다. 유전상수가 낮을수록 전송선로를 따라 전파되는 신호는 더 빨라진다. 이것은 마이크로스트립 선로가 스트립 선로보다 더 적은 신호지연을 제공하기 때문이다. 마이크로스트립 선로에서 도체의 자계는 두 물질, 즉 공기($\epsilon_r=1$)와 적층판($\epsilon_r=5$)에 의해 영향을 받는다. 그러므로 유효 결합 유전상수는 적층판의 유전상수보다 더 작아진다. 일반적으로 ϵ_r 이 작아질수록 전송선로 형상의 크기와 간격이 감소되어도 된다. 표 2는 여러가지 물질에 대한 유전상수를 비교한 것이다.

유전상수가 3.0이나 그 이하의 PCB 적층물질을 찾는 것이 고속 PCB를 위한 진행되고 있는 과제이다. 현재 고속 논리소자의 패키징을 위해 유일하게 가치있는 물질선정은 E-glass reinforced FR-4와 polyimide일 것이다. 다른 물질들은 프로세싱이 어렵거나 혹은 초과습도보유력(moisture retention)이나 cracking과 같은 바람직하지 못한 특성을 가지고 있다. FR-4는 고속 PCB를 위해서 훌륭한 물질이나 펄스의 가장자리의 감쇠가 있을 수 있으며, 더 작은 ϵ_r 을 갖는 물질보다 더 큰 전파지연을 가질 수 있다. 추가로 FR-4는 가격과

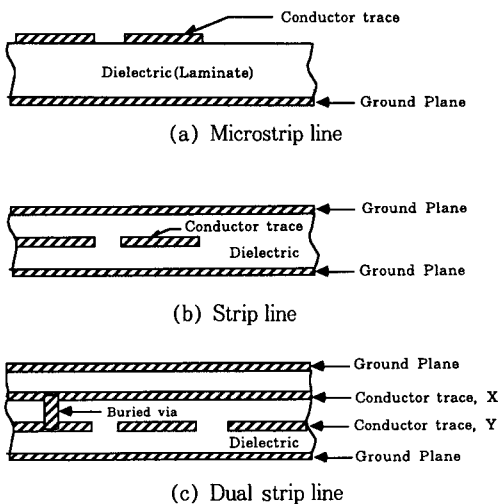


그림 7. 전송선로

표 2. 유전상수 비교

물 질	유전상수, ϵ_r
Vaccum	1.0
Pure Teflon	2.1
PTFE/glass	2.2
Polyimide/quartz	3.4
Polyimide/Kevlar	3.6
Polyimide/glass	4.5
Epoxy/glass(FR-4)	4.7
Alumina	10.0
Water	70.0

이용면에서 큰 장점을 가지고 있으며 보드를 제작하기 위해 필요한 기술이 어느 한, 두 회사에 제한되어 있지 않다는 점이다.

고속 디지털 논리소자의 패키징에 대한 주요 요구사항중에 또 다른 것은 전송선로 임피던스에서의 불연속성을 최소화하거나 이를 없애는 것일 것이다. 임피던스 불연속은 리드-대-패드 소자의 부착과 PCB 커넥터에서 주로 일어난다.

소자와 PCB 인터페이스에서의 임피던스 불연속은 리드 인덕턴스의 이롭지 못한 영향을 피하기 위하여 리드가 없는 디바이스 패키지를 사용함으로써 최소화시킬 수 있다. 또 다른 방법은 칩과 전송선로가 시작되는 곳과의 불연속이 가장 짧은 거리가 되도록 하는 것이다. COB(chip-on-board)의 flip-chip이 칩으로부터 PCB 전송선로까지의 가장 짧은 연결이 되도록하는 한 예이다. 또한, 전송선로의 필요성을 제거할 수 있는 디바이스-대-디바이스 상호연결의 방법으로서 현재 on-board fiber optics가 연구되고 있다.

PCB 커넥터는 가장 심각한 임피던스 불연속을 나타내는 것으로 이에 대한 기술은 다음 장에서 하고자 한다.

IV. 고속 고밀도 커넥터

일반적으로 정보통신 시스템은 높은 실장 밀도와 유지보수의 용이성 때문에 회로기판들간의 상호접속을 위하여 대부분의 커넥터를 이용하고 있다. 시스템의 고밀도, 고속화는 주어진 회로기판 설계에 대하여 더 많은

수의 입/출력 상호접속을 필요로 하므로 커넥터에 대하여 고밀도화 및 다핀수화에 대한 강요는 물론 고속 신호전송을 위한 보다 엄격한 전기적 성능을 만족하도록 요구하고 있다. 지금까지 회로기판들간의 상호접속을 위한 커넥터는 인치당 20핀의 입/출력 수를 갖는 카드-엣지 커넥터로부터 인치당 30핀의 입/출력 수를 갖는 DIN41612 형태의 양방향 핀-소켓 커넥터로 발전함으로써 더 높아진 입/출력 밀도를 필요로 하는 시스템 요구에 대처하여 왔다. 아직까지는 커넥터의 고속 신호전송에 대한 전기적인 성능이 문제가 되지 않으므로 이들 커넥터의 접점밀도로 시스템 요구를 적합하게 해결할 수 있었다. 그러나 고속 광대역 교환시스템의 실현에 있어서는 훨씬 더 진보된 반도체 집적회로 기술들이 적용될 것이 명약관화해짐에 따라 이제 커넥터 기술은 접점밀도의 증가만으로는 시스템의 요구사항을 만족시킬 수 없는 단계에 이르렀다.

또한, 시스템의 동작주파수가 20MHz 이상으로 높아지고 신호의 상승시간(rise time)이 1ns 이하로 감소함에 따라 회로기판의 신호경로와 커넥터의 리드는 전송선로(transmission line)로 취급됨으로써 회로기판과 커넥터는 시스템 잡음의 주 요소가 된다. 인쇄회로 기판에서는 신호경로의 미세선로화 및 컴퓨터를 이용한 아트워크등을 통하여 신호경로에서의 잡음을 제한하고 임피던스 레벨을 제어함으로써 잡음을 줄일 수 있으며, 고밀도 다층인쇄회로 기판을 사용함으로써 보드 레벨에서의 신호경로의 불연속성(discontinuity)을 최소화할 수 있다. 그러나, 커넥터는 복잡한 리드를 가지고 있으며 접지상태가 불안정하므로 커넥터 잡음을 줄이는 것이 쉽지 않다. 그러므로 커넥터 잡음을 줄이는 것이 고속 신호전송에서의 signal integrity에 대한 주요 포인트가 되고 있다.

커넥터 잡음으로는 임피던스 부정합에 의하여 발생하는 신호반사(reflection)를 포함한 왜곡(crosstalk) 및 스위칭 잡음(switching noise)으로 분류할 수 있다. 일반적으로 시스템 설계는 각각의 잡음에 대하여 일정한 잡음마진을 허용한다. 지금까지는 시스템 설계에서 단지 몇개의 커넥터 접점만을 접지로 할당하였던 것을 신호의 상승시간이 감소함에 따라 보다 많은 커넥터의 신호접점을 접지접점으로 할당함으로써 커넥터 잡음을 줄여왔다. 그러나 이는 유용한 커넥터 접점들을 접지로 할당하기 때문에 비록 잡음에 대한 성능이 향상되었다 할지라도 시스템의 상호접속에 필요한 실질적인 입/출력 수의 감소를 가져온다. 한편 커넥터의 접점밀도를 증가시킬 경우 접점이 가까워져 왜곡이 증가하게 되며, 추

가의 접점열을 더하게 되면 시스템의 전기적인 신호경로가 증가함으로써 시스템 성능에 부정적인 영향을 주게 된다. 그러므로 커넥터 잡음을 최소화 하기 위하여 이 요소들 즉, 성능, 밀도와 접점 수를 최적화한 새로운 커넥터의 필요성이 대두되게 되었으며, 향후 고속 정보 사회의 요구에 부응하여 광대역 종합정보통신망 시스템을 위한 고속, 고성능 커넥터가 속속 개발되고 있다.

현재 소개되고 있는 고속, 고밀도 커넥터는 기존의 19인치 랙 시스템에 사용되는 0.1인치 접점간격을 기초로 한 "micro-strip" 커넥터로부터 IEC 917의 하드 매트릭 디멘전 표준을 기본으로 한 Futurebus+ 및 Combust 버스 시스템의 요구사항을 만족하는 매트릭 커넥터들이 있다.

매트릭 커넥터로는 1989년 IEEE Futurebus+ 위원회로부터 향후의 고속, 고성능 버스 시스템용으로 채택된 2mm 접점간격의 "METRAL™" 커넥터가 있다. 이 커넥터는 DuPont사 및 Ericsson사에 의해 처음 개발되었고, 후에 AT&T가 2nd-source로 참여하고 있다. METRAL 커넥터의 기본 구성블럭은 24개의 신호접점을 수용하는 4열×6행의 12mm 기본 모듈로부터 4열×12행, 4열×24행 및 4열×48행의 모듈이 있다. 이 모듈들은 접점의 손실없이 회로패 가장자리와 백판널상에서 모듈의 끝과 끝을 접하여(end-to-end) 실장할 수 있다. 이로써 19인치 시스템의 double height Eurocard에 대하여 432개까지의 신호접점을 얻을 수 있는데 이것은 3×32 접점 96핀 DIN 커넥터에 비하여 2배 이상의 I/O 신호수가 된다. METRAL 커넥터는 신호모듈에 외에 12mm 기본 모듈 형태의 광 접속모듈, 동축 접속모듈 및 8핀의 전원 접속모듈 등이 있다. 그림 8은 METRAL 커넥터의 상호접속 형태를 나타낸 것이다.

독일의 Siemens사에서 개발한 "Sipac" 시스템의 또 다른 매트릭 커넥터는 모듈 형태의 5열로 구성된 2.5mm 접점간격을 가지며, DIN 41642 규격을 따르고 있다. 이 커넥터는 35접점에서부터 425접점까지의 4종류 모듈이 제공되고 96접점의 19인치 시스템 커넥터인 DIN 41612 커넥터와 호환성을 가지고 있다. 또한, 이 커넥터는 Siemens의 개인전화시스템에서 장기간 사용됨으로써 커넥터의 성숙도가 입증된 상태에 있다.

세번째 매트릭 커넥터로는 AMP사에서 개발한 "Z-Pack" 시스템으로 4열을 기본 버전으로 한 2mm 접점간격을 갖는다. 이 커넥터는 4열의 형상에서는 168접점으로부터 1,068접점을 갖는 8개의 모듈이 있으며, 5열의 형상에서는 75접점으로부터 1,335접점까지 제공된다. 이 커넥터의 다른 커넥터와의 차이는 4접점 혹은

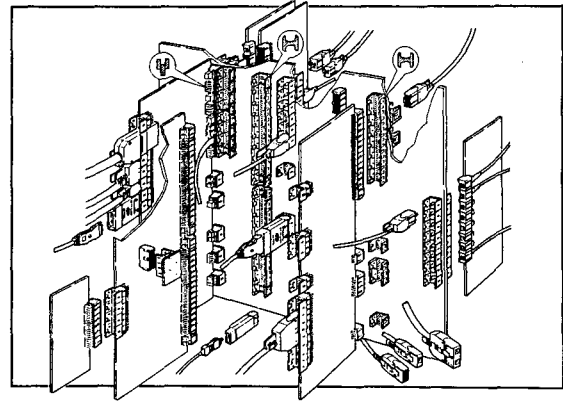


그림 8. METRAL 커넥터 시스템

5접점의 각 열이 서브-어셈블리에 미리 몰딩되는 점으로 적당한 수의 서브-어셈블리가 완전한 모듈을 구성하기 위하여 더 큰 몰딩속에 조립된다. 그리고 이 커넥터는 0.4mm sq.의 매우 적은 핀 크기를 가지고 있다.

이들 세가지 형태의 하드 매트릭 커넥터에 대한 주요 특성을 비교, 정리하면 표 3과 같다.

V. 냉각기술

고속 광대역 ATM 교환시스템의 실현에 있어서는 동작속도 수 Gb/s, 게이트 규모 수십 개이트의 고속 고집적 LSI가 필요하게 된다. 따라서 LSI의 고밀도, 고집적화에 따라 집적회로 내부에서 발생하는 발열량도 계속 증가되는 추세이다. 현재 반도체 집적회로에서 발열량은 수십 W/chip(일례로 Digital사의 DEC 21604 마이크로프로세서 CMOS 칩의 경우 30W @200MHz)로 이러한 발열량의 경우 부품 표면온도를 실내공기에 그대로 방치한다면 상당한 고온이 되어 부품이 고장나게 될 것이다. 또한, 발열량이 증가하게 되어 시스템 장비내부에 높은 열이 발생하게 되면 각 부품간에는 신호전송시간이 지연되고 신호가 잘못 전달되는 등 시스템의 신뢰성이 급격히 떨어지게 되므로 더욱 고밀도화 되고 있는 시스템의 발전에 장애요인이 되고 있다. 그러므로 시스템의 발전에 대응하는 냉각방식의 선택과 냉각기술의 발전은 성공적인 시스템 개발에 필수적이라 할 수 있다.

그림 9는 통신시스템에서의 발열밀도와 냉각방식에

표 3. 고밀도 커넥터의 주요 특성 비교

Property	2 mm (Metral, Tempus, Millipac 1)	2.5 mm (Sipac, Har-Pak, Omnigrid 2.5)	2 mm (Z-Pack H.M.)
Number of Rows	4	5	4 and 5
Pin Density (No. of Pins in 100mm Length)	204	205	204(4 Row) 255(5 Row)
Pin Size(Ruggedness)	0.5mm square	0.6 mm square	0.4mm square
Signal Pin Current Carrying Capacity at 60°C	1A	2.7A	1A
Number of Pin Lengths	5	5	3
Backpanel Pin Field Fill Factor	Less than 50%	100% (2.5 square grid)	100%(2.0 square grid)
Shielding	No	Yes (6th and 7th row)	Yes(6th and 7th row)
Wire Wrap Capability This Time	Not Available at Wire on 0.6mm Post	3 Wraps, Max 26 ga. Wire on 0.4 mm Post	3 Wraps, Max 34 ga.
Backpanel Termination Compliant Press-fit	Solder-Pin or Compliant Press-fit or Solid Press-fit	Solder-Pin or Compliant Press-fit	Solder-Pin or Compliant Press-fit
Backpanel Press-fit Hole Tolerance	0.65 to 0.77 mm	0.95 to 1.12 mm	0.55 to 0.65 mm
PWB Termination Solder Straddle Mount	Solder-Pin or SMT Compliant Press-fit	Solder-Pin or Compliant Press-fit	Solder-Pin
Power Module (Occupies Space of 24 Signals)	8 Pin 3 A Power 2.7 A Capacity	Use Signal Pins with Module(Occupies Space of 24 Signals)	10 Pin 3 A Power
Minimum PWB Pitch	15 mm(20mm for Wide-Body Version)	15mm	15 mm
Cable Connectors	4-Row IDC Type 5-Row to be introduced in 1991	4-Row IDC Type	4-Row IDC Type
Capacitance at 1 MHz, 3 pF Max-One Line with Surrounding Lines Grounded	2 pF Max,-Adjacement	2pF Max.-Adjacement	2.7 pF Max.
Inductance at 1ns Rise Time, 50Ω w /Surrounding Lines Grounded	25 nH Max,-Adjacement	15 to 24 nH	5 to 8 nH
Propagation Delay	225 ps Max.	160 to 220 ps	90 to 135 ps
Skew(Row to Row)	40 ps Max.	20-25 ps	TBD
Impedance	50 to 60 Ω (Any Row to Column Combination)	55 to 72Ω (Row to Row)	47 to 56Ω (Row to Row)
Crosstalk @ 1 ns Rise Time	5% Near End 1% Far End at 3 : 1 Signal to Ground	4.4% Near End 2.9% Far End at 3 : 1 Signal to Ground	Less than 5% Near or Far End at 3 : 1 Signal to Ground
Production Use Since 1989	Prototype Use Only 1986 (Over 200 Million Lines)	Production Use Since Prototype Use Yet	No Production

* (Note : Pin count reduced if using coding at each end and/or of using outside molding with barriers.)

대한 관계를 나타낸 것으로 종래의 디지털 교환시스템이나 현대역 ISDN 시스템에서는 자연대류나 저속의 강제대류에 의한 공냉방식에 의하여 냉각이 충족되었다. 그러나 고속, 고밀도의 ATM 교환시스템에서는 발열밀도가 $1W/cm^2$ 를 넘어서므로 공랭에 의한 냉각방식보다 더 효과적인 열관리 기술로 간접액냉이나 직접 액침냉각과 같은 냉각방식이 필요하게 된다.

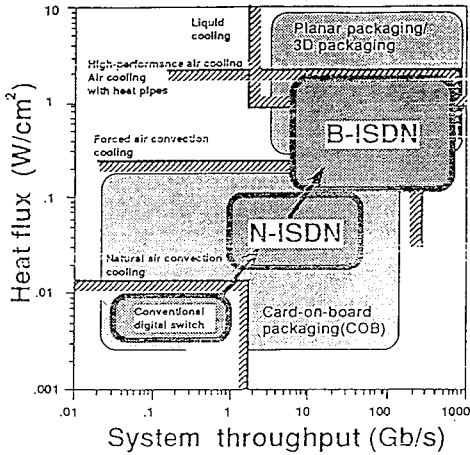


그림 9. 통신시스템에서의 발열밀도와 냉각방식과의 관계

공기냉각 시스템은 상시 이용이 가능하고 응용이 간편하며 경제적인 냉각방식으로 병렬이나 수평의 유동 시스템으로 분류된다. 병렬 공냉 시스템에서 공기는 연속적으로 배열되어 있는 회로패 위를 통과하게 되어 상위에 배열된 회로패는 아래에 있는 회로패로부터 가열된 냉각공기를 받게 된다. 따라서 기계의 동력과 공기의 유동률에 따라 공기 유동이 기계에 걸치는 부가된 공기의 온도상승을 갖게할 수 있으므로 이 온도상승이 직접적으로 회로의 동작온도의 상승에 영향을 끼친다.

한편 수평 공냉 시스템은 기계에 걸치는 냉각공기의 온도상승을 줄이기 위한 방법으로서 이용된 방식으로 모든 회로패에 병렬로 공기를 똑같이 공급하여 회로패 모두가 신선한 공기를 똑같이 공급받는다. 그러나, 이 시스템은 보다 더 큰 체적 공기유동률을 요구하며 확장성에 제한이 따른다.

그림 10은 공기편향판이 부착된 Impingement air-jet cooling 구조의 고성능 냉각방식의 예를 나타낸 것으로 노즐을 통하여 강제로 냉각공기를 공급한다. 따라서 각 멀티칩에 균일한 풍량의 냉각공기 공급이 가능

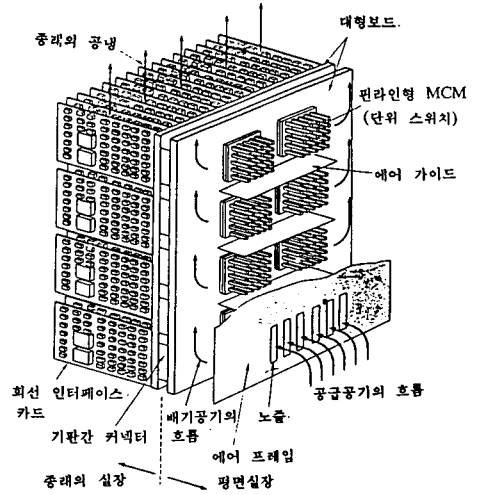


그림 10. 공기편향판을 부착한 Impingement air-jet cooling 구조

하므로 기존의 팬에 의한 강제 냉각에 비교할 때 20배 이상의 냉각 효율을 얻을 수 있다.

오랫동안 공냉에 의한 냉각방식이 발전되어 왔지만 최근의 고밀도 시스템에서는 공냉만으로는 실장밀도와 열유속 레벨을 유지할 수 없으므로 모듈 레벨에서의 콜드플레이트를 이용한 간접액냉방식이 개발되게 되었다. 강제 공냉처럼 강제대류냉각은 요구되는 냉각효과를 제공하기 위하여 부품 위로 유동을 기계적인 방법에 의해 유도하는 방식을 채택하고 있으며, 공기와 대비하여 고밀도 및 높은 열전도를 갖는 액체를 냉매로 사용하여 공냉에 비해 더 높은 열전달 계수를 갖는 것이 가능해진다.

또한 직접적인 액침은 기관위의 고발열 칩들을 냉각시키는 잠재적인 방법으로서 냉각수를 칩들로부터 분리하는 외형벽을 활용하는 간접액냉과는 달리 냉각수를 냉각되어질 칩들이나 패키지와의 접촉한 외형에서 냉각이 이루어진다. 그 결과로 디바이스 접합부에서부터 액체와 접촉한 칩의 표면까지 전도저항을 제외한 모든 가능한 내부 전도저항 부위들이 제거될 수 있으므로 지배적인 열저항은 외부저항이 될 것이다. 또한 이 저항은 보통 액체와 연관되어 높은 열전달 계수 때문에 최소화될 수 있으며, 주안점이 되는 것은 냉각에 노출된 칩들과 패키지 재료와 더불어 냉각수의 화학적 및 전기적 호환성이 있어야 한다. 그림 11은 최초의 대형 수냉식

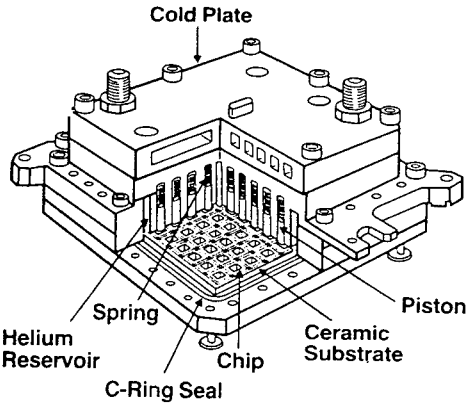


그림 11. IBM사의 TCM

MCM인 IBM사의 TCM(thermal conduction module)으로 100개 이상의 칩들을 모아 세라믹 기판을 구성하며, 수냉식의 콜드플레이트 표면을 가능한 한 칩의 열원에 열적으로 가깝게 접근되도록 설계되었다.

VI. 부품 재료기술

향후 고속 광대역 교환시스템의 발전을 지탱해 나갈 핵심이 되는 기술중의 하나가 바로 부품 재료기술이다. 이 분야에서는 먼저, 반도체의 집적도가 가일층 높아지는 집적회로의 초고밀도화, 반도체 소자의 동작시간이 매우 빨라지는 초고속화 등에서 처럼 "초화"현상이 두드러질 것이다. 동시에 광섬유의 저손실화, 광기억 매체의 대용량화, 고속 스위치 소자의 발전 등에서 역력해질 "광화"현상도 더욱 가속화될 전망이다.

기억소자의 집적도는 현재 1-4Mb/chip이지만 21세기 초경에는 미세가공기술의 고도화로 250Mb/chip으로 100배 정도 향상되고, 논리회로의 집적도는 100Kgate에서 2Mgate로 약 10배 정도 향상되는 등 초고밀도화가 진전될 것이다. 이와 함께 액세스 시간이나 지연시간도 한자리수 정도 개선되는 등 초고속화가 더욱 진전될 전망이다. CMOS 게이트 어레이는 현재 0.8 ns/gate, 집적도 100Kgate/chip이 개발되어 있는 등 그 이용이 확대되고 있으며, 바이폴라 트랜지스터 기술에 의한 고속 구동성과 CMOS 기술의 저소비 전력성을 결합시킨 BiCMOS 게이트 어레이가 고속 저전력 소자로서

기대를 모으고 있다. 이들 게이트 어레이 소자는 DRAM에서 축적된 제조기술의 발전에 힘입어 고집적화, 고속화가 기존의 연장선상에서 진행되어 그림 12에서 보듯이 21세기 초경에는 집적도에서 현재의 20배, 지연시간에서 현재의 1/4에 이를 것으로 예측된다.

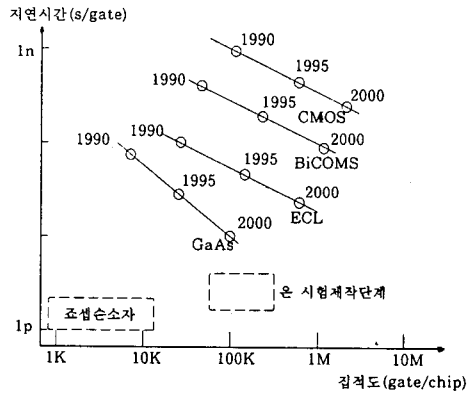


그림 12. 반도체 소자의 추이

또한, 보다 빠른 고속성을 실현하기 위한 연구는 재료 측면에서도 활발히 진행되고 있다. GaAs 실리콘보다 약 5-7배나 빠른 전자이동 속도를 갖고 있어 고속 프로세서의 IC용, 광 IC용 기판재료로서 기대를 모으고 있다. GaAs의 기판은 단결정인 것이 바람직 하지만, 비소원자가 기화되기 쉽고 갈륨과 비소의 성분이 1대 1인 결정을 얻기 힘들기 때문에, 실리콘에 비해 결함없이 고품질의 단결정을 작성하는 기술개발이 뒤떨어져 있는 상태이다. 하지만, 불순물이 거의 없는 상태에서의 GaAs의 완전 결정이 가능해지면 디지털 IC의 고속화가 비약적으로 향상될 것으로 기대된다. 특히 박막결정 성장기술의 진전으로 GaAs 결정이 실용 가능해 지고 있으며, GaAs의 기판을 사용한 MESFET에서는 5ps의 게이트 지연시간이 실험적으로 달성되고 있다.

나아가 GaAs의 기판상에 AlGaAs라는 다른 결정을 성장시켜 그 위에 알루미늄 농도를 더욱 짙게 한 AlGaAs를 성장시킨 HBT(hetro bipolar transistor)가 개발되고 있다. HBT의 게이트 지연시간은 실험치로 2ps이며, 이 속도는 지구를 1초동안 7 바퀴 반 도는 빛이 1mm도 진행되지 않는 사이에 동작하는 것이다.

ATM 교환시스템의 가입자 액세스계, 중계전송계 등 전달계 infrastructure 기술로서 고속 광 전송기술은 필수적으로, 현재 광전송기술은 중계계에서 2.5Gb/s까지

실용화되어 있으며 CCITT 국제표준 권고초안이 정리되어 전자회로의 IC화등에 의해 소형화, 저소비 전력화를 도모한 SDH(synchronous digital hierarchy)용 광인터페이스 모듈의 개발이 추진되고 있다. 10Gb/s 이상의 대용량화에서는 IM/DD방식에 의한 초고속 TDM(시분할 다중화) 방식과 코히어런트 광전송 방식에 의한 광 FDM(주파수분할 다중화) 방식의 양측 모두를 고려한 개발이 진행되고 있다. 10Gb/s 이상의 IM/DD 방식에서는 초고속 광변조 소자와 광증폭기를 결합한 전송방식이 개발되고 있다. 이들 초고속 광변조 소자와 코히어런트 광전송용 디바이스의 개발에는 광집적회로(OIC : optical integrated circuit)와 광전자 집적회로(OEIC : opto-electronic integrated circuit)가 필요하다. 광전자 집적회로는 고밀도 실장기술과 광도파로의 저손실화가 개선되는 21세기 초경에는 코히어런트 광통신용 소자로서 실현될 수 있을 것으로 예측된다.

현재의 광통신에서는 전송로가 광섬유라도 신호의 부호화, 다중화, 분리/삽입, 대역압축 등의 신호처리는 전자회로에 의해 전기신호의 영역에서 이루어지고 있다. 이러한 신호처리를 광의 초고속성과 병렬성을 활용, 광신호 영역에서 직접 행하는 기술을 광신호처리라 하며, 향후 광교환과 광정보처리를 위한 기반기술로서 주목을 받고 있다. 다만, 광신호 처리 기술은 당장은 분기/결합의 복수화, 스위치의 다채널화, 필터(WDM, FDM)의 다중화에 초점이 맞춰져 발전되고, 그후 광병렬처리와 같은 고도의 기술로 발전해 나갈 것으로 예상된다.

Ⅶ. 결 론

고속 광대역 교환시스템의 실현을 위해서는 하드웨어 기술, 소프트웨어 기술, 광기술 및 디바이스 기술 등이 기반이 되어야 할 것이다. 그러나 시스템의 고속화 및 고밀도화 추세에 따라 지금까지의 시스템 실장기술로는 실현에 한계가 있으므로 새로운 실장기술의 도입이 필연적이다. 따라서 시스템의 실장기술이 금후의 시스템 개발에 있어서 시스템의 궁극적인 성능을 결정하는 bottleneck이 됨에 따라 시스템 실장기술에 대한 연구 개발은 기존의 시스템 개발에서와는 달리 시스템 설계 초기에서부터 이루어져야 할 것이다.

본 고에서는 ATM 교환시스템의 실현을 위한 시스템 실장기술에 대하여 고찰하고, 시스템의 고속화 및 고밀도화에 대응한 고속, 고밀도 인쇄회로 기판 및 커넥터


기술, 시스템 냉각기술 및 소자기술 등에 대하여 기술하였다.

參 考 文 獻

- [1] D.K.Wilson, "A New Architecture for Packaging Wideband Communication Equipment Using a 3-D, Orthogonal, Edge-to-Edge Topology", IEEE Global Telecommunications Conf., 1988 Proc., paper 13.5, pp.430-434.
- [2] T.K.Helstern and M.Izzo, "Functional Architecture for a Next Generation Switching System", Inforcom, pp.790-795, June 1990.
- [3] W.Takahashi, et al., "Orthogonal Packaging for a Broadband Switching System", SSE90-121, pp. 43-48, 1990.
- [4] D.K.Wilson, "A New Three-Dimensional Packaging Architecture for Wideband Telecommunications Electronics Using Orthogonal Edge-to-Edge Topology", Proc. of IEPS Conf., pp.680-691, 1987.
- [5] K.C.Young, et al., "Physical Design Issues for Very Large ATM Switching Systems", IEEE CH2827-4/90, pp.1590-1598, 1990.
- [6] M.Tazaki and K.Taketomi, "Packaging Technology", 전자정보통신학회지, vol. 74, no. 11, pp. 1222-1229, 1991.
- [7] T.Watari, "Computer Packaging Technology for System Performance", NEC Res. & Develop., no. 98, pp.49-59, Jul. 1990.
- [8] H.W.Markstein, "Telecommunications Systems Packaging", EP & P, pp.36-39, May 1990.
- [9] Recommendation G.707, G.708, and G.709 in Section III.4 of the CCITT Blue Book, Volume III. Melbourne, 1988.
- [10] M.Ernstberger and J.M.Ramsey, "The High Density Backplane Interconnect System", Connection Technology, pp.19-21, Aug. 1991.
- [11] H.W.Markstein, "Packaging for High-Speed Logic", EP & P, pp.48-50, Sep. 1987.
- [12] C.V.Veen, "Making the Right Packaging Connections with Backplane Interconnections", EP & P,

- pp.76-79, May 1991.
- [13] T.A.Lemke and R.A.Elco, "Designing for Packaging in the 90s-High Performance, Density and Pin Count", Connection Technology, pp.23-26, Aug. 1990.
- [14] G.Yasumura, "Achieving High Speed Signal Integrity in High Frequency Connections", Connection Technology, pp.25-30, Jan. 1991.
- [15] H.W.Markstein, "Connection for High Speed Signals", EP & P, pp.44-55, Sep. 1991.
- [16] M.N.Perugini, "HD PLUS™ A Modular High Density Pin and Socket Interconnection System", NEPCON West 1988, pp.197-205, Feb.22-25, 1988.
- [17] K.Yasuda and N.Sugiura, "Advanced High-Density Coaxial Printed Board Connector for High-Speed Signal Transmission in a Rack System", Advanced in Electronic Packaging, ASME, pp. 15-21, 1992.
- [18] M.M.Sucheski and D.W.Glover, "High-Density, High Speed, Board-to-Board Stripline Connector", Proc. of 40th ECTC, pp.860-864,1990.
- [19] M.Botte, L.V.Hanuwermeiren, W.Delbare, and P. Kok, "Theoretical and Experimental Comparison of the High-Speed Behaviour of Basic Interconnection Structures on Different Board Technology", Proc. of IEPS Conf., pp.827-835, Sep. 1989.
- [20] M.Lazer, "Metric Connectors", Connection Technology, pp.25-28, Nov.1990.
- [21] P.J.Gorden, "Connector Challenges for High-Performance Systems", Connection Technology, pp. 36-39, Dec. 1990.
- [22] D.D.Johnson, "Laminate Spurs High-Speed Digital Processing", EP & P, pp.80-82, Feb. 1987.
- [23] R.Henke and D.Ohnstad, "EMC-Controlled Board Design", Printed Circuit Design, pp.28-38, Jul. 1991.
- [24] L.L.Rogers, "Impedance Controlled Boards " Designing for the Future", PC FAB., pp.94-99, Jul. 1988.
- [25] R.Keeler, "Controlled Impedance and the Quest for High Speed", EP & P, pp.66-68, Mar. 1989.
- [26] M.Cotton, "Cost-effective Design and Manufacture of EMC and Controlled Impedance PCBs", PC FAB., pp.98-102, Apr. 1990.
- [27] C.J.Lerch, "Controlled Impedance in Printed Circuit Boards", PC FAB., pp.72-87, Nov. 1989.
- [28] R.E.Canright, Jr., "Practical Design for Controlled Impedance", Proc. of 41th ECTC, pp.370-377, 1991.
- [29] T.Buck, "Design Considerations for Interconnecting High-Performance SMT Devices", Printed Circuit Design, pp.28-41, Mar. 1991.
- [30] T.Arai, M.Kurisaka and Y.Tayama, "Study of an Indirect Liquid Cooling Technology for Switching Systems", SSE89-158, pp.25-30, 1989.
- [31] T.Kishimoto, A.Harada and Y.Kaneko, "Air Cooling Systems for Telecom Multichip Modules", SSE90-141, pp.37-42, 1990.
- [32] T.Arai, M.Kurisaki and H.Ishii, "Removable Conductive Cooling Technology of BISDN Switching System", Advances in Electronics Packaging, pp.67-73, ASME, 1992.
- [33] R.C.Chu, "Heat Transfer in Electronic Systems", pp.293-305.
- [34] F.P.Incropera, "Convection Heat Transfer in Electronic Equipment Cooling", Journal of Heat Transfer, vol.110, pp.1097-1111, Nov. 1988.
- [35] M.Ryckebusch, "A High Performance Electrical and Optical Interconnection Technology", Proc. of 41th ECTC, pp.974-979, 1990.
- [36] Y.Shirashi, "High-Speed VLSI", 전자정보통신학회지, vol. 74, no. 11, pp.1206-1213, 1991.
- [37] T.Kitayama, "Optical Devices", 전자정보통신학회지, vol. 74, no. 11, pp.1214-1221, 1991.
- [38] 한국전자통신연구소, 2005년대의 정보통신기술, 정보화사회시리즈-21, TIS-IS-21, pp.61-81, 1991.
- [39] 한국전자통신연구소, "향후 정보통신기술의 발전 동향", 주간기술동향 91-38, pp.2-17, 1991.
- [40] 이형구, 송인선, "Metric Connector System", 전자공학회지, 제 18권 제 4호, pp.251-255, 1991.
- [41] 최태구 외 3인, "통신시스템의 고밀도 실장을 위한 패키징 기술", 전자공학회지, 제 17권 제 6호, pp.555-565, 1990.
- [42] Next Generation High Density Modular Interconnection System, DuPont Electronics.
- [43] METRAL™ Interconnection System, AT & T.

[44] Har-pak™ High Density Connection System,
Harting Elektronik.

[45] AMP 2mm Backpanel Interconnection System,
AMP-Holland, BV. 

筆者紹介



朴 權 喆

1953年 10月 8日生

1977年 2月 고려대 전자공학과 졸업

1979年 2月 고려대 대학원 전자공학과(석사)

1988年 2月 고려대 대학원 전자공학과(박사)

1982年 7月 ~ 현재 한국전자통신연구소 교환기술연구단
ATM교환연구실장, 책임연구원



南 相 植

1958年 8月 26日生

1981年 2月 단국대 전자공학과 졸업

1983年 2月 단국대 대학원 전자공학과(석사)

1992年 3月 ~ 현재 단국대 대학원 전자공학과(박사과정)

1985年 10月 ~ 현재 한국전자통신연구소 교환기술연구단
품질보증연구실, 선임연구원