

## ASIC 기술 및 산업의 발전 현황

柳 泳 昱

(株)서두로직 電子技術研究所

### I. ASIC 개요

근자에 누구나 말하기를, application-specific integrated circuits (ASICs)은 90년대에 반도체 부품에서 가장 발달하고, 또 가장 큰 시장 구성율을 가질 것이라고 전망하고 있다. ASIC을 사용하지 않으면 안될 이유는 특정된 제품을 설계 제작, 판매하기 위해서는 표준형 IC로는 할 수 없다는 것이다. ASIC을 이용하여 성능, 신뢰도, 전력, 시스템 크기, 가격등과 또 시장에서의 경쟁력등을 향상시킨다. ASIC은 표준형 IC를 대체하여 수백 게이트에서 수십만 게이트의 크기로 설계 제작되고 있다.

이러한 ASIC의 필요성에도 불구하고, 많은 전자 설계자들이 ASIC을 바로 이용하지 못하는 이유는 ASIC 기술 자체가 급격히 변하고 있고, 또 ASIC 설계용 틀이 복잡하여 이들을 설치하고, 교육하고, 운용 관리하

고, 또 새로운 기술을 습득하는 것이 쉽지 않기 때문이다. 대체적으로 ASIC의 성공비율을 50%로 보면 제품의 개발 책임자가 시간이나 가격면에서 손쉽게 결정하기 어려운 문제이다.

ASIC의 정의는, 사람에 따라 상당히 달라질 수 있으나, 대체로 특정된 용도에 쓰이게 설계된 IC를 말하며, 그 IC 형태는 어떠한 종류도 포함될 수 있다. 이 경우에 ASIC은 카탈로그로 주문할 수 있는 표준형 IC나, 사용자가 프로그램해서 쓸 수 있는 것, 또는 반도체 공장에서 특별히 가공된 것도 포함될 수 있다. 좀 더 넓은 시장에 쓰이는 특정용도의 표준형 IC는 ASSP(application specific standard product 또는 IC)로 불리고, ASIC은 좁은 의미에서 최종 사용자의 목적에 한정해서 사용하게 설계된 IC를 의미한다.

ASIC의 채택 여부는 여러 조건을 검토해 보아야 한다. 개발 예산, 내부의 설계능력, 예상 생산량, 요구되는 제품기능, 경쟁기술, 개발 및 양산시기, 판매가의

표 1. ASIC 채택의 장단점

장 점	단 점
<ol style="list-style-type: none"> <li>1. 주어진 기능 및 성능을 실현시키는 유일한 방법</li> <li>2. 다른 제품과의 차등화</li> <li>3. 특정분야에서 가격을 낮춤</li> <li>4. 제품의 크기 축소, 집적도 향상</li> <li>5. 부품수의 축소에 따른 신뢰도 향상 및 전력 감소</li> <li>6. 시스템성능과 생산성 향상</li> </ol>	<ol style="list-style-type: none"> <li>1. NRE 비용이 크다. 설계의 복잡도 및 실현방법에 따른 변화</li> <li>2. 제품의 주기와 좁은 시장 판매시기에 따른 일정의 위험성</li> <li>3. ASIC의 첫번째 설계의 성공율이 50%</li> <li>4. 최종제품의 수정이 곤란함. 설계변경의 어려움</li> <li>5. 시험 및 debug의 어려움</li> <li>6. 한 두개 ASIC 공급자에 의존</li> <li>7. 생산량이 적으면 표준제품보다 비쌘</li> </ol>

낮춤, 신뢰도 등등이 결정요인인데, 이들은 또한 민수용, 산업용, 군수용 등에 따라 각 요인들의 상호 중요도도 차이가 난다.

이러한 ASIC의 장단점은 기술의 발전, 새 설계 방법의 출현, 새로운 설계툴의 제공, 위험도가 낮은 생산방식 및 견본제작 등에 따라 문제점이 계속 해결되고 있다. ASIC 설계 과제시에 이러한 설계 제작상의 위험요소 및 문제점들을 사전에 검토 고려하여야 한다.

## 1. ASIC 공정 기술

ASIC을 제작하는 공정 기술을 선택하는 것은 특정된 응용에 따른 설계의 목표치에 따라 정해진다. 현재에 이용되고 있는 공정기술은 CMOS, Bipolar, BiCMOS, GaAs 등이다. 각 공정 기술은 ASIC 설계 방법인 완전주문형, 반주문형, PLD등에 사용된다.

CMOS 공정기술은 낮은 소비전력, 손쉬운 설계, 높은 집적도, 지속적인 성능개선에 힘입어 가장 많이 이용되고 있다. 현재 ASIC 설계의 2/3가 CMOS로 되고 있고 90년대에 주된 기술로 이용될 것이다. 설계규격을 비례적으로 줄일 수 있어서, 공정 기술의 발전에 따라 쉽게 집적도를 높이고 성능을 향상시킬 수 있다.  $0.5\mu\text{m}$  설계규격의 CMOS성능은 고속 바이폴라 기술을 따라잡게 되어 여러 용도의 고가, 저가용 ASIC에 응용된다. 또 집적도가 높아서 큰 규모의 회로를 실현시키고, wafer 크기도 대형화 됨에 따라, 더욱 경제적인 chip 제작이 가능하다.

또 2중, 3중, 4중 금속선의 개발로 전반적인 연결선의 길이가 짧아지고, 상호간섭 용량 값도 낮아지며 집적도도 올라가서 전반적인 성능의 향상을 가져온다. 이러한 공정기술은 sea-of-gate(channeless gate array)에 쓰여져 사용 게이트 효율을 50%에서 90%까지 높인다. CMOS의 동작 전압도 넓어서 대체로 3V-10V에 걸쳐진다.

BiCMOS 기술은 바이폴라의 장점인 높은 구동력과 CMOS의 장점인 높은 집적도와 낮은 소비전력을 결합시켜서 전체적으로 성능향상을 시켰다. Chip의 속도/소비전력 성능비에서 종래의 기술을 능가하여 PC, workstation, 통신용, 디지털/아날로그 혼합형 ASIC에 쓰이게 되었다. BiCMOS chip의 구조는 CMOS 회로로 된 핵심부와 바이폴라로 된 주변 패드부분으로 되어있다. 내부 CMOS는 기능적으로 고집적 회로를 만들고, 바깥의 바이폴라 구동부분은 높은 전류값을 구동하고, 또 고속 바이폴라 기술인 ECL 회로와 논리 전압수준이 호환된다. 바이폴라 패드의 고전류(50mA 이상) 구동능

력은 CMOS에 비해서 50% 이상의 동작 속도를 높인다. 또 chip의 동작속도가 올라가고, 내부 소자의 크기가 줄어들어 따라 고유 게이트 지연시간보다 상호 연결선 및 fan-out 부하에 따른 지연시간이 커지는데, 이에 대한 대응책으로 내부 논리셀에 CMOS/바이폴라 복합 회로를 쓰기도 한다. 또한 BiCMOS의 출력단 바이폴라 구동회로는 수십 MHz에서 동작하는 CMOS의 ground bounce를 제거해준다. BiCMOS는 더 많은 mask와 공정 단계를 거쳐야 하므로 제조원가가 비싸지고, 또한 수율도 낮아진다.

바이폴라는 논리소자로 기본적으로 고속인 ECL 회로를 거의 채택하고 있는데, 높은 소비전력 때문에 10,000 게이트 이하에 주로 쓰인다. 이러한 고소비 전력을 줄이기 위해서 저소비 전력 모드를 선택 사양으로 가지는 제품도 있으나, 이 경우는 속도가 1/3정도 떨어진다. 고소비 전력으로 인한 냉각 장치 비용은 ECL의 큰 단점이다. 전체 시스템 설계에서 ECL의 채택은 이러한 전력의 크기와 가격, 회로의 크기, 냉각 장치, 최대 동작 속도등을 감안해야 할 것이다. 게이트 어레이에서 최대 동작 속도는 전체 게이트의 10% 정도를 사용할 때 얻을 수 있다. ECL은 GaAs 보다는 집적도가 높고, BiCMOS 보다는 속도가 높으며, CMOS 보다 부하의 변화에 따른 지연 전달 시간의 변화가 적다.

GaAs는 ASIC에 극히 일부 이용되고 있지만 초고속 응용에 쓰임새가 확대되어 나갈 전망이다. 즉 소규모 군사용, 파이버 광학용, 장거리 통신용, 디지털 이동통신, 위성통신, 레이더 장치등에 이용된다. GaAs는 집적도가 낮고, 다이 크기가 작고, 공정의 어려움, 설계용구의 부족, 미개발된 기술에 대한 저항 등으로 당분간 한정된 분야의 응용으로 제한될 것이다. GaAs의 논리회로는 NMOS 논리회로와 같이 능동소자로 간단히 만들어진다. -2V의 단일 전원이 사용되고, 속도는 ECL 정도의 고속이며, 소비전력은 1/2-1/4 정도인 장점이 있고, 더 높은 동작온도를 가진다. 또한 ECL과의 접속 이용을 위해서 I/O가 ECL 전압 수준과 호환되게 설계된다. GaAs의 공정은 BiCMOS에 비해서 훨씬 간단하나 기본 wafer가 비싸고 wafer의 구경이 작으며, 제조상 수율이 낮아서 실제 가격은 높아진다. 고속 (GHz) GaAs ASIC은 패키지 또는 보드 수준의 응용에 어려움이 많다.

## 2. ASIC 종류

ASIC의 분류는 설계 방법이나 물리적인 형태나 응용 형태에 따라 다른 모양으로 분리될 수 있다. 대체로

표 2. ASIC 기술 종류의 비교표

	CMOS	BiCMOS	Bipolar	GaAs
Speed	M-H	M-H	H	H
Power	L	L-M	H	H
Noisy Immunity	L-M	H	H	H
Latch-up Immunity	L-M	M	H	1
Production Cost	L	M-H	M-H	H
Integration	H	H	L-M	L
Output Drive	L-M	H	H	L
Process Complexity	L	H	M	L
Source Availability	H	L-M	M	L

L : low, M : medium, H : high, 1 : 관련없음

설계 방식에 따라 그림 1과 같이 ASIC을 분류해 본다. Semi-custom과 full-custom 방식은 program으로 특성화하지 않고, 마스크 layout 수준에서 특성에 맞게 설계해야 한다. 이 주문형 IC는 최종 제품제작을 반도체 공장에서 해야한다. 한편 프로그램으로 특성화하는 ASIC으로는 광범위하게 mask ROM도 포함시킬 수 있다. 이것 역시 사용자가 program을 하여 반도체 공장에서 해당 메모리 셀을 "1" 또는 "0"으로 마스크 수준에서 써 넣어야 한다. 근래에 가장 각광을 받고 있는 시스템 설계자의 설계 현장에서 프로그램할 수 있는 ASIC으로 PLD 소자가 있다. 이중에서도 FPGA는 집적도가 보통 게이트 어레이에 비금가게 높아지고, 속도도 수십 MHz 대까지 높아지는 경향이 있어서 90년대의 유망한 제품으로 손꼽히고 있다.

Full-custom 설계 방식은 각 트랜지스터, 저항체, 용량체, 연결선을 사람이 일일이 layout 해주게 된다. 각 소자는 주어진 특성에 최적화되게 설계되고, 면적도 최소화 된다. 단점은 고도의 설계기술과 시간이 너무 오래 걸린다는 것이다. 따라서 아주 특수용도나 많은 생산을 하는 제품에 쓰인다. 근자에는 시장에 내놓은 시

간이 중요해짐에 따라 사용 빈도가 낮아지고 있다(전체 ASIC의 10% 이하).

Cell-based 방식은 full-custom과 게이트 어레이 방식의 중간이다. 미리 설계된 셀을 이용하고 배치 및 배선 문제에서 유연성이 있다. 집적도와 성능면에서 full-custom과 비금가면서 훨씬 짧은 시간에 개발이 가능하고, 현격히 낮은 가격에 설계가 가능하다. 가장 간단한 셀 통과용(feed-through) 셀부터 RAM, ROM, 디지털 및 애널로그, 마이크로 콘트롤러, 주변회로들, 곱셈기 등 수천-수만 트랜지스터가 모인 LSI급의 셀도 이용 가능하다. 공정기술의 급격한 변화로 공정에 독립된 설계 방식도 채용되고 있다. NRE(nonrecurring engineering : 견본 설계·제작가격) 가격은 게이트 어레이에 비해 10,000 게이트 정도에서는 두배 정도 비싸나, 50,000-100,000 게이트에서는 비슷하다. 이 방법은 게이트 어레이 방식보다 셀크기가 훨씬 줄어들기 때문에 생산 가격은 1/2정도로 줄어든다. 즉 NRE와 생산가격을 고려하여 설계 방식을 택하게 된다.

Array-based 방식은 낮은 NRE와 짧은 생산기간의 이점이 있기 때문에 ASIC 시장의 반을 점하고 있다. 또 미리 제조된 마스터 슬라이스 wafer가 준비되어 있으므로 견본을 만들어 본후에 양산을 하는데까지 시간이 무척 빠르다. 이 방법에는 채널이 있는 어레이와 채널이 없는 어레이(SOG : sea of gate)가 있는데, 채널이 있는 어레이는 20,000 게이트 이하에서 쓰이다가, 2중, 3중, 4중 금속선 공정이 개발되어 채널없는 게이트 어레이가 요즘에는 주종을 이루고 있다. 게이트의 단위는 two-input NAND 게이트를 기준으로 하거나 전체 트랜지스터 수를 4로 나누어 계산한다. 같은 설계 회로가 A회사에는 10,000 게이트 어레이에 들어가고, B회사에는 안들어갈 수가 있다. 또 구조적으로 설계된 회로는 임의의 논리 회로로 구성된 설계 회로보다 더 작은 어레이에 실현시킬 수 있다. 어레이 방식에 ROM이나 RAM이 chip상에 들어가게 설계하여 그 유용성을 높인다.

Programmable logic device는 설계 현장에서 ASIC을 실현할 수 있는 큰 장점이 있는데, PAL이나 PLA는 그 집적도가 낮은 것이 문제였다. 근래에 10,000 게이트 크기에 200 pin 정도를 수용하는 FPGA 기술들이 발전하여 현장에서의 ASIC 실현이 급격히 늘어나게 되었다. 이 FPGA 제품은 90년대에 가장 빨리 성장하는 ASIC으로 주목받고 있다. 이의 장점은 쉽고 빠르게 설계의 변경이 가능하고, 성능도 상당히 예측가능하며, 시스템 수준의 검증이 매우 빠르고, 시장에 빨리 내어

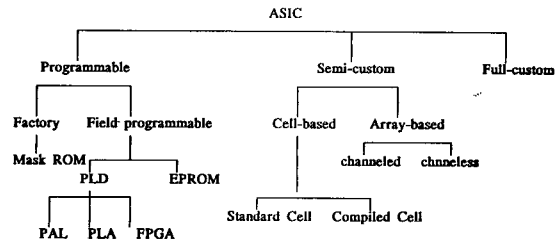


그림 1. ASIC 분류

놓을 수 있다는 점이다. 또한 제품의 주문·배달 기간이 짧고 주문양도 다양하게 할 수 있으며, 여러 제조회사가 있어 위험도 분산시킬 수 있고, 판매자가 재고품으로 가질 수 있는 점등이 있다. FPGA의 구조는 내부 논리블럭을 연결하는 방법에 따라 RAM 형, anti-fuse 형 및 EPROM 형이 있다. FPGA의 구조가 복잡해짐에 따라, 설계 회로를 각 FPGA로 실현해보는 전용 설계 툴들이 필요하고 많이 개발되고 있다.

각 ASIC의 비교표를 표 3에 보였다.

표 3. 여러 ASIC 설계 방식의 비교

특징 요소	Full-custom	Cell-based	Array-based	FPGA
Multisource Difficulty	HH	L-M	L-M	LL
NRE	HH	H	M	LL
마스크	H	H	L-M	None
설계시간	HH	M	M-H	LL
재설계의 쉬움	LL	L	L-M	HH
수정비용	HH	H	M	LL
생산 단위 가격	LL	L	M	HH
Layout 효율	HH	M-H	L-M	LL
I/O 유연성	HH	M-H	L-M	LL
집적도	HH	H	M	LL

HH : highest, H : high, M : medium, L : low, LL : lowest

### 3. ASIC 설계용 툴

그림 2에 ASIC 개발에 필요한 CAD 환경을 도시하였다. ASIC 설계 방식이 다양화되고, 설계용 툴 또한 새로운 방식이 나오며, 점점 고수준화 하는 경향이 있다. 각 ASIC의 설계 과정에 맞게 설계 툴을 선정하여 쓰는 것이 ASIC 설계의 효율과 성공도를 높일 수 있다.

중전의 CAD 환경은 그림에 보인 바와 같이 회로입력, 논리 및 고장 시뮬레이션 그리고 물리적인 툴 (full-custom, 게이트 어레이, 표준셀, PCB, hybrid)로 구성이 된다. 근래에 더 자세한 전기적, 물리적 해석을 위해서 열해석, 진동분석, EMI 해석, crosstalk 분석등의 툴들이 점차 보완되고 있다. 이들 툴은 주로 보드 (PCB, hybrid, MCM) 수준 설계에 쓰이나, IC의 소자 크기가 줄어들고, 속도가 커지며, 열이 문제시됨에 따라 점차 IC에도 쓰일 전망이다. 또 근자에 FPGA를 이용한 ASIC(logic) emulator 툴이 개발되어서, 사전에 원하는 시스템에 ASIC emulator를 꽂아서 hardware 및

software 시스템 설계의 오류를 제거한다.

ASIC CAD 환경의 두드러진 점은 점차적으로 VHDL 근거 설계 방식이 종래의 게이트 수준 설계 방식을 대체해 나간다는 것이다. VHDL의 장점은 세계 표준화가 되어 가고 있는 hardware 설계용 언어이고, 여러 설계용 툴과 연계되어 사용되고 있으며, 특히 근래에 합성 및 논리 최적화 툴이 개발되고 발전하면서 대규모(10,000게이트 이상) ASIC 설계에 이용도가 높아지고 있다.

논리 설계 및 합성용 툴은 VHDL을 중전의 CAD 툴에 연결시키는 중요한 역할을 하고 있고, 점차적으로 behavioral, RTL수준의 합성툴이 개발되어 상위 수준에서 최적화하며, ASIC vendor의 기능 모듈에 접합시켜 합성 효율을 증대시킨다. 또 시험의 효율성에 대비해서 test 회로를 삽입하여 합성하기도 하여, ASIC 제작후 시험을 사전에 고려한다.

합성 툴의 효율은 그 합성결과가 속도와 면적을 최적화 시켰는지를 따져 보아야 한다. 합성한 회로가 시험 가능한가의 여부도 중요하다. VHDL을 기본으로 받아들여야 하고, 기존에 설계되어 있는 게이트수준의 netlist도 입력으로 받아서 처리할 수 있어야 한다.

합성 툴은 또한 ASIC 제조업체의 ASIC library에 의존해야 하는데, 근래에 ASIC 제조 업체들이 OEM으로 합성툴을 공급하거나, 자체 합성툴을 만들어 공급하는 경향이 두드러진다. 이는 ASIC library에 최적하게 합성하여 합성효율을 높이기 위함이다. 효율이 높은 ASIC 설계를 위해서는 ASIC 제조업체가 제공하는 합성 및 시뮬레이션 툴을 쓰는 것이 통례이다.

VHDL 설계 환경은 종래의 게이트수준 설계 환경에 버금가는 모양으로 갖춰지고 있는데, hardware model 및 software model이 가능하여 새로 개발된 IC도 시스템 또는 ASIC 설계 환경에 같이 이용될 수 있다. 또 게이트 수준에서 근본적으로 속도가 떨어지는 VHDL simulator의 약점을 보완하기 위해서 accelerator가 점차적으로 많이 쓰이는 경향이다. Hardware 가속기는 속도가 대체로 10-100배이므로 시장 선점을 위해 제품 개발에 점차 활용될 전망이다.

PLD 합성용 툴은 PLD 또는 FPGA의 구조가 특수하므로 이에 맞는 구조로 합성하여야 한다. 또 PLD 소자의 게이트 크기나 pin 수가 제한되므로 설계한 회로가 한개 이상의 PLD를 써야 하는 경우에 이를 처리할 수 있어야 한다. 또 VHDL 또는 gate netlist로 FPGA를 합성하여 견본 시험하고, 대량 생산시에는 같은 VHDL list 또는 gate netlist로 게이트 어레이로 쉽게

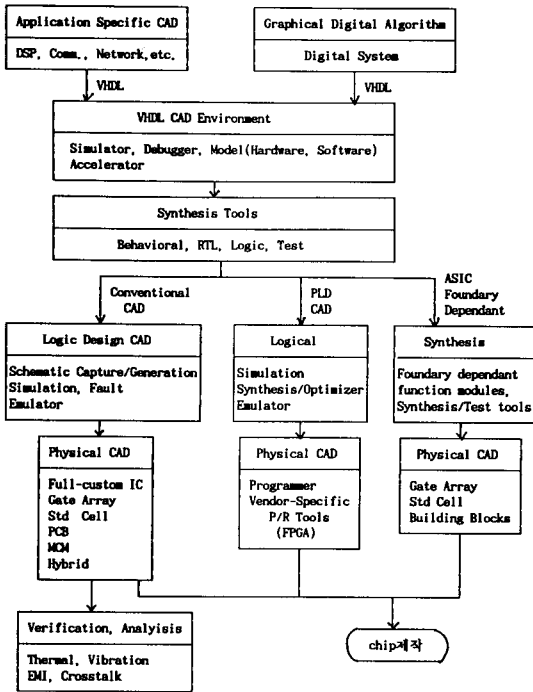


그림 2. ASIC 개발용 EDA 환경

합성시키는 툴도 선보이고 있다. 어떤 FPGA는 구조가 통상 게이트 어레이와 같이 설계하여 빠른 변환 및 양산을 할 수 있는 길을 만들어 준다.

알고리즘 수준의 설계 및 시뮬레이션을 해결하기 위해서 특수용도의 툴 또는 디지털 설계용 툴이 있다. 이 알고리즘 설계용 CAD 툴도 게이트 수준과 같이 그림으로 설계 내용을 입력으로 받아들인다. 경우에 따라서 진리치표나 불방정식 또는 상태표시기를 입력으로 하여 시뮬레이션을 할 수 있다. 이들 상위 기종 툴들의 출력은 VHDL로 기술되어서, VHDL 설계 환경으로 변환되어 다음 단계의 설계를 수행해 나갈 수 있게 한다.

설계 환경에서 중요한 것은 각 수준의 툴간에 데이터 변환이 잘 되어야 하고, 또 여러 기종의 툴사이에서도 netlist 또는 schematic의 호환이 잘 되어야 한다. 여러 CAD 회사들이 이에 대한 해결책으로 EDIF(electronic data interchange format)을 합의하여 만들었다. 알고리즘이나 RTL 수준은 VHDL이 설계 내용의 호환에 표준형이고, IC 수준에서는 CIF나 GDSII format으로 설계 데이터를 주고 받는다.

여러 종류의 CAD 툴이나 서로 다른 회사의 툴을 통

합하여 사용하게 하기 위하여 framework을 제공한다. 한 툴의 설계 데이터를 다른 툴의 데이터로 오류없이, 사용자의 별 노력없이 옮겨가기 위해서 공통 database format을 설정하여 운영하려 하는 노력이다. Object-oriented database에 근거하여 symbol, schematic, simulation, layout 등의 설계 데이터 표시를 하나의 data model로 집적하려 한다. 큰 CAD 회사마다 자체 framework을 주장하고, 또 hardware 회사도 framework을 공급한다고 하여 혼란스러운 마찬가지이다. CAD 관련 기술자 및 업체가 공동으로 노력하고 있는 CAD Framework Initiative(CFI)가 매년 이에 대한 진척도를 높여가고 있고, 점차 호응도 받아가고 있다.

4. ASIC 설계의 문제점들

ASIC 설계의 성공이 그르칠 요소는 너무나 많다. 앞에서 살펴본 ASIC 기술에 따른 다양성, ASIC 설계 방식에 따른 설계의 특수성 및 속도도, 또 더욱 복잡해지는 ASIC의 집적도에 따라 algorithm에서 실제 실현까지 여러 단계를 거쳐야 하는 CAD 툴의 환경등 변화 요소가 너무나 많다.

또 대부분의 ASIC 설계는 시스템 설계자와 chip 설계자가 공동으로 노력해야 하고, 두사람 또는 두팀은 서로 다른 회사이거나 소속부서가 다른 경우가 거의 대부분이다. 그림 3에 ASIC 설계시 ASIC 사용자와 ASIC 제조회사의 상호 업무 흐름을 보였다. ASIC 사용자와 공급자 사이에 많은 상호 협력 사항이 표시되어 있는데, 한개의 project team으로 협조하고 신뢰할 수 있어야 한다.

ASIC 설계의 첫째는 시스템을 정의하고, ASIC 공급자의 도움을 얻어서 ASIC으로 할 수 있는 부분으로 분할하는 것이다. 이때 고려될 사항은 가능한 공정기술, 다이 크기, 패키지, I/O 숫자, 집적도, 소비전력, 사용할 수 있는 library, CAD tool 등등 많은 경험과 시행착오를 겪어야 한다. 공급자의 핵심 셀을 이용할 경우 내부 구조가 잘 알려지지 않으므로 시험(고장)을 할 수 있는 패턴이 필요하다.

애널로그/디지털 혼합형 ASIC은 90년대에 들어와서 증가하는 추세이나 설계 및 시험을 잘하기 위한 CAD 환경이 절대적으로 미비하다. 혼합형 시뮬레이터 뿐만이 아니고 애널로그 회로를 잘 고려한 배치 및 배선용 툴도 필요하다. 혼합형 시뮬레이터에 필요한 것은 또 혼합신호형 ASIC library이다. 빠른 behavior 수준의 시뮬레이션을 위해서 애널로그 회로부분은 SPICE model 대신에 등가 behavior model이 필요하다.

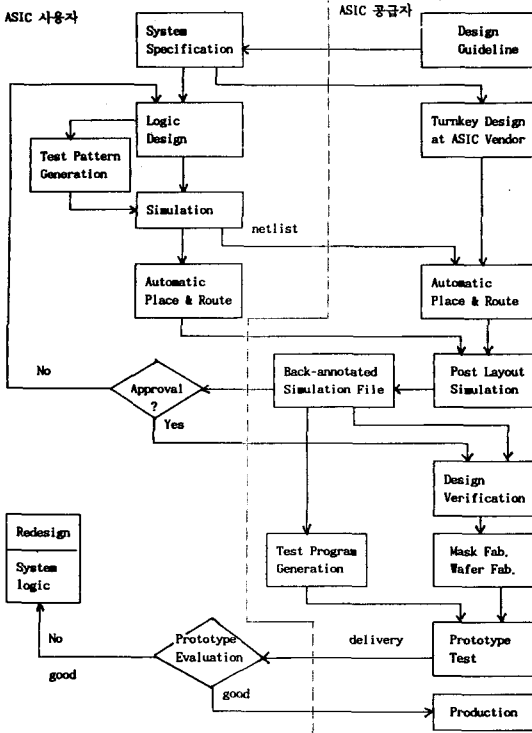


그림 3. 전형적인 ASIC 설계의 흐름도  
(주로 반주문형 설계방법)

I/O pin 수는 ASIC 설계시 가장 중요하게 고려하여야 할 요인이다. I/O 셀의 구동 능력이 모자라면 두개의 구동회로를 붙여서 사용하여 여유있는 pin 수를 줄이게 된다. 전원 공급선의 문제를 줄이기 위하여 대체로 동시에 구동되는 8개의 출력에 한 쌍의 전원/접지선을 만들어 주어야 한다.

시뮬레이션은 회로동작을 확인하게 하고, 동시에 시험 패턴 생성을 위해 사용된다. 적절한 시험 벡터 생성을 위하여 software 개발자와 board 개발자를 포함하는 전체 시스템 설계팀이 시뮬레이션 계획에 참여해야 한다. 개략적인 규칙은 한 게이트에 4개의 시험 벡터를 만든다. Chip 외부의 부하용량도 시뮬레이션에 포함되어야 한다. 시험은 설계에 포함된 한 과정으로 다루어지고, 맨 처음 설계시부터 고려되어야 할 사항이다. 집적도는 올라가고 핀수는 제한되므로 내부 회로를 직접 접근하는 방법이 자주 줄어들게 된다. 이를 위해서 체계적인 test 방법이 사용되는데 scan test, boundary scan, BIST(built-in-self-test)등을 들 수 있다.

## 5. ASIC의 견본 제작

ASIC의 목적은 ASIC 그 자체의 기능이 동작하게 하는 것이 아니고, 시스템에서 올바른 동작을 하여야 하는 것이다. 대부분 이 문제는 시스템 수준의 시뮬레이션 및 검증, 확인을 제대로 하지 않은 데에 원인이 있다.

ASIC(logic) emulator는 시스템 (software 및 보드 수준 hardware)수준의 동작을 확인하는데 적절한 툴이다. 이 emulator는 논리회로를 일단의 FPGA 회로로 실현시켜서, 필요한 경우에는 설계를 쉽게 변경할 수 있다. 이 emulator를 ASIC이 만들어지기 전에 목표로 하는 시스템에 꽂아서 시험해 볼 수 있다. 근래의 제품은 50,000 gate, 720 pin, 8 MHz clock 속도를 지원한다.

ASIC의 견본 제작전에 CAD tool로 실제 표준형 또는 다른 ASIC과 함께 시뮬레이션 하는 것도 사전에 오류를 제거하는데 쓰이는 유용한 방안이다. 마이크로 프로세서를 포함하는 대부분의 표준형 IC는 software로 model이 되어있고, 그렇지 못한 제품이나 ASIC hardware model 방법을 써서 model을 할 수 있다. 이와같이 사전에 전체 시스템의 설계를 모델로 만들어서 시뮬레이션하여 chip 상호간의 오동작을 최소화한 줄인다.

ASIC chip 자체의 검증은 우선 layout의 설계 규칙이 제대로 되었는지 DRC check를 한다. 또 layout data에서 회로를 추출하여 ERC check를 하는데, 전기적인 연결도, 단락, 개방, 부유 노드들을 검사한다. 또 최대 fan-out, 잘못된 회로 구조를 골라내기도 한다. 또 잘못된 공정에 관련된 오류 (substrate bias, 잘못된 전원 및 접지선 연결)도 찾아낸다. Layout 대 회로도의 비교를 하여 서로의 연결도가 맞지도 확인하고, layout parameter를 추출하여 SPICE를 이용하여 자세한 회로 해석을 하기도 한다.

Prototype의 가격은 \$10,000-\$100,000이고, 제작기간이 6-18주 걸리므로 사전에 system 수준의 시뮬레이션과 설계 검증을 철저히 하는 것이 대단히 중요하다. 견본 제작의 가격을 줄이기 위해서 MPW(multi-project wafer)방식을 쓰기도 한다. 이 방법은 하나의 wafer에 여러 종류의 견본을 동시에 제작하여 각 견본당 가격을 낮추는 것이다. 초기에는 대학교의 연구용으로 시작되었으나 지금은 많은 기업들이 R&D용으로 많이 쓰고 있다.

ASIC package는 핀수, 성능, 가격등에 중요한 역할을 미친다. 설계시에 충분히 고려하여 패키지를 선정하고, 그 특성에 따른 시뮬레이션도 확실히 해야한다. 고속 고집적이 될수록 chip의 성능에 맞아야 하는데, 초

고속 IC는 별도로 package까지 설계해야 할 경우도 있다. Package 선택시 고려할 사항은 chip 크기, 핀수, 발산하는 열, 신뢰도 문제, 전기적 특성, 패키지 재료, chip과의 연결방법, 패키지 크기, PCB 제작시 문제, 생산물량, 그리고 가격 등등이다. 표4에 각 패키지의 비교를 보였다.

생각한다. 즉 비록 복잡도는 아주 낮을지라도 어떤 음향기구나 측정기에 특별히 필요한 IC를 한정된 용도로 설계하여 만들었다면 훌륭한 ASIC이 될 것이다. 70년대에는 ASIC의 정의에 맞는 특정한 용도에 맞게 쉽게 설계하고 제작할 수 있는 반주문형 방식이 나타났다. Interdesign이나 Exar에서 bipolar 또는 MOS array를 고안하여 사용자가 자기의 용도에 맞게, 이미 준비된 제도지상의 어레이 도면에 금속선과 접촉점을 연필 또는 색연필로 직접 그려서 반 주문형 IC를 설계하였다. 제도지에 그려진 반주문형 IC는 반도체 회사의 CAD system의 digitizer를 이용해 그 도면 데이터를 컴퓨터

## II. ASIC 산업의 어제와 오늘

### 1. ASIC 산업의 발전 방향

IC를 ASIC으로 개발하는 것은 60년대에도 있었다고

표 4. 각종 패키지의 비교

종 류	기계적 특성	전기 특성	열특성1	가격	신뢰도
PDIP	P : 8-64 P. Pitch : 100mils	R : M L : H C : L	Fair	Lo	Good
CDIP	P : 8-64 P. Pitch : 100mils	R : M L : H C : M	Good	Lo	H
PLCC	P : 28-84 P. Pitch : 50mils	R : M L : M C : L	Good	Lo	Good
PQFP	P : 48-224 P. Pitch : 10-25mils	R : M L : M C : L	Fair	Lo	Good
CQFT	P : 48-340 P. Pitch : 10-25mils	R : M L : M C : M	Good	H	H
CLCC	P : 2-84 P. Pitch : 40-50mils	R : M L : M C : M	Good	M	Very H
PPGA	P : 48-256 P. Pitch : 100mils	R : L L : L C : L	Good	M	Fair
CPGA	P : 48-390 P. Pitch : 70 or 100mils	R : L L : L C : H	Very	H	Very
TAB	P : -500 P. Pitch : 10mils	R : L L : L C : L	Substrate 및 Cap에 따름	Lo	2

R = resistance, L = inductance, C = capacitance

H = high, Lo = low, M = medium, P = pin수

1. 공기 흐름이 없을 때

2. TAB은 wirebonding보다 신뢰도가 높음

에 입력한다. 즉 이때는 PC나 workstation의 보급이 되어 있지 않아서 시스템 설계자가 직접 CAD 기술을 이용하여서 ASIC을 설계할 기회는 주어지지 않았다. 대부분의 ASIC은 주문형 또는 반주문형 형태로 반도체 설계 기술자들이 직접해야 했다.

80년 초에 수개의 CAE 회사들이 출현하면서 근래에 주로 쓰이는 어레이형이나 표준셀형의 ASIC 기술이 가능하게 되었다. 즉 반도체 회사들은 반주문형 기술(주로 어레이형과 표준셀형)을 개발하여, 공학용 설계와 물리적 설계를 분리하는 방법을 채택했다. 빠른 그래픽 기능을 보유한 1 MIPS의 처리능력을 가진 workstation의 출현으로 CAE workstation이 급격히 보급되어, 시스템 설계자들이 점차적으로 ASIC의 공학용 설계를 담당하게 되었다. 이를 뒷받침하여 반도체 회사들은 많은 종류의 셀 라이브러리를 만들어서 지원했다. 80년대 중반부터 ASIC이란 용어도 정식으로 여러사람들의 입에 오르내리고, 표준형 IC 제조회사들에 비해 ASIC 전문 제조회사들과 ASIC 설계센터 또 ASIC 설계 및 사용자(컴퓨터·통신·소비자)들이 상호보완 하면서 ASIC 산업을 성장시켜왔다.

80년대 말부터 어떤 종류의 ASIC은 여러 설계 센터나 ASIC 회사들이 같은 용도(예: PC chip set)로 집중하여 개발하고, 대량 생산하며 또 여러 시스템 회사들이 한 종류의 ASIC을 적극 응용함에 따라서 ASIC이 다시 표준화 제품으로 되어 ASSP(application specific standard product)라고 불리게 되었다. 고부가가치의 ASIC은 시스템 설계자들이 개발하지만, 많은 ASIC 설계 센터들이 경쟁하고, 이들을 지원하는 ASIC 제조업자들도 경쟁이 심하여 이익이 감소하게 되었다. 상대적으로 물량이 많은 ASSP를 선정하여 개발하고 제품화하려는 경쟁이 치열한 것이 현실이다.

이와 같이 ASIC 산업은 너무나 빨리 변하고, 또 새로운 기술이 출현하기 때문에 수 년앞을 예측한다는 것도 무척 어렵다. 80년대 초반에 어레이형이 셀형보다 제작이 간편하고 시장에 빨리 내놓을 수 있는 장점으로 인하여 훨씬 빨리 성장했다. 80년대 중반에 예측하기를 셀형의 다양성(RAM, ROM, module, analog)에 의해서 90년대에 어레이형을 능가할 것이라고 했으나, 90년대 초반 현재에도 어레이형 ASIC은 셀 형보다 두배 이상의 시장을 점유하고 있다. 이는 어레이형에서도 부족한 부분(RAM, ROM, 기타 기능모듈)을 보완하는 기술을 보완해왔고, 시장 선점의 효과는 절대적이었기 때문이다.

80년대 후반에 선보인 시장 출하 기간이 가장 빠른

FPGA 제품이 90년대의 ASIC을 주도할 것이라고 대부분 예측하고 있다. 시스템 설계자가 설계 현장에서 바로 ASIC을 현실화해 보고 수천개 정도는 양산 제품으로도 공급가능한 장점을 가진 FPGA는 90년대의 제품 경향과 아주 잘 부합된다. 또 근래에 여러 공정기술을 이용한 FPGA 제품이 출현하고 있고, 기능 측면에서도 표준셀형의 다양한 구조가 연구되고 있어서 그 이용도가 더욱 확대될 것이라고 전망한다. 한때에 게이트 어레이로 일단 ASIC을 빨리 실현하고, 셀형으로 양산하리라는 ASIC 산업의 예측은 많이 빗나 갔는데, FPGA로 ASIC을 만들어서 시장 선점을 한후에 게이트 어레이로 양산하게 된다는 예측은 어느 정도 맞는지 두고 볼일이다. 수개의 CAE 회사들이 여러개의 PLD를 FPGA로, 또 FPGA로 설계한 netlist를 게이트 어레이로 변환시키거나, FPGA와 게이트 어레이 설계에 같은 netlist를 쓰는 기술을 선보이고 있다. FPGA의 가장 큰 단점인 집적도의 낮음(게이트 어레이형의 약 1/5)과 속도의 낮음이 어떻게 보완 되어갈지, 또 상대적으로 양산성이 떨어지고 가격이 비싼 약점도 90년대의 ASIC 제품을 선도하는데에 변수가 되리라고 본다.

## 2. ASIC 시장

ASIC에 사용된 반도체 기술은 70년대에 TTL, 80년대에는 CMOS가 주종을 이루었고 90년대에는 집적도가 높고 구동능력이 뛰어난 BiCMOS가 주도할 것이라고 전망하고 있다. 속도면에서 우세한 bipolar 기술과 GaAs 기술이 경쟁하면서 발전하리라 예측한다. 또 시스템 현장에서 설계 제작을 가능하게 하는 EPROM, EEPROM, antifuse의 공정기술도 향상되고 중요한 기술로 자리잡을 것이다.

한때 예측하였던 표준셀형 ASIC 제품이 게이트 어레이형을 능가할 것이라는 것은 빗나가서 수년동안 게이트 어레이는 전 ASIC 시장의 60%를 점하고, 또 90년 중반 까지도 계속될 전망이다. 90년도 전세계 IC 매출액은 \$413억이고, 이 중에서 ASIC은 \$58억이다. 90년 중반까지 ASIC 시장은 년평균 13.4%가 성장하여 약 \$110억에 달할 것으로 전망한다. 이는 IC 평균 성장 예측율보다 4-5% 높아서 반도체 시장을 주도한다고 본다.

제품별 매출은 게이트 어레이가 계속 60% 점유율을 가지고 있고, 표준셀형이 20%를 점유하면서 조금씩 그 성장율이 높아지고 있다. FPGA를 포함하는 PLD 시장은 그 성장율이 높아서 16%에 점하고 있다. 앞으



표 5. 반도체기술과 ASIC 산업의 발전

60년대	70년대	80년대	90년대
<ul style="list-style-type: none"> <li>· Linear IC</li> <li>· TTL SSI, MSI</li> <li>· Full-custom</li> </ul>	<ul style="list-style-type: none"> <li>· Microprocessor</li> <li>· DRAM</li> <li>· 반주문형 IC 출력</li> <li>· CAD(Digitizer)System</li> </ul>	<ul style="list-style-type: none"> <li>· RISC CPU</li> <li>· M DRAM</li> <li>· Engineering Workstatin</li> <li>· CAE 기술</li> <li>· ASIC 전문 설계 및 제조 회사</li> </ul>	<ul style="list-style-type: none"> <li>· Single-chip computer</li> <li>· 64M-1G DRAM</li> <li>· VHDL Synthesis</li> <li>· ASIC : 15%/년</li> <li>· FPGA</li> </ul>

로 FPGA에의 기술이 성장하여 90년대를 주도할지는 두고 보아야 할 것이다.

3. 국내 ASIC 산업의 문제점과 대책

국내의 ASIC 산업은 아직 모색 단계에 있다고 본다. 기억소자 특히 DRAM 분야는 그 설계, 제조기술 및 생산양에서 세계 2-3위를 달성했다고 보면 ASIC은 상대적으로 크게 뒤진다고 볼 수 있다. ASIC은 근본적으로 우리나라의 여타 전자분야가 가진 문제를 그대로 가지고 있으면서, 또 최첨단 기술로서의 특징적인 문제점을 가지고 있다.

흔히 ASIC이 반도체 부품이다 또는 시스템의 일부이다 하는 논란이 있으나, 근본적으로 반도체로 분류되면, 시스템이 발전하지 않으면 쓸모없게 되는 양면성을 지니고 있다. 산업의 쌀이라기보다는 산업의 두뇌이고, 산업의 신경세포인 반도체 중에서 ASIC 기술은 시스템과 핵심 반도체를 보완하는 유기체이다.

반도체 부품으로서의 ASIC을 발전시키는 것은 그 시장성에서부터 따져야 한다고 본다. 우선 기억소자에 다음가는 구성비를 가지고 있어서, 90년에서 95년까지 \$50억 - \$100억의 시장규모를 가지고 있다. 세계시장에서 단순한 논리를 적용시켜서 기억 소자의 경우와

같이 10-20%를 점한다면 년 \$5-20억의 시장을 확보할 수 있다. 기억 소자 시장을 91-92년 기준으로 \$20억 시장을 점한다고 볼때, 국가적으로 공식 과제로 85년부터 투입된 연구개발 자금이 \$3-4억이고, 기업체의 실비자금을 넣으면 이보다 훨씬 크다고 본다. 이에 반해서 ASIC에 직접 투자된 금액은 통계로도 잘 잡히지 않을 정도로 미미하다.

ASIC을 반도체 부품기술로 보아, 일본의 방법을 답습하는 것도 적극적 대응 방식으로 생각된다. 기왕에 잘 닦여진 메모리 제조 기술을 활용하여 ASIC의 대량 제조 시설을 갖추고, 선진국 특히, 미국의 ASIC 설계 기술과 협력하는 방안이다. 대부분의 국내 반도체 회사들이 시도해 단기간의 기술도입으로 끝나는 경우가 많았었으며, 국내에서 이 기술을 소화하고 개선하는 노력과 투자가 너무나 빈약했다.

근자에 ASIC 기술로 떠오르고 있는 FPGA 기술도 또한 적극 도입하여 생산하는 것이 초기투자도 줄이며, 또 시장이 성장할 때 큰 이익을 볼 수 있다고 생각한다. 대체로 우리나라에서는 선진국에서 성숙기나 쇠퇴기에 든 기술을 도입하는 것이 장기적으로 큰 문제이다. 기업을 책임맡은 사람은 단기간에 흑자운영이 중요하므로 어쩔수 없을지도 모른다. 반도체 회사로서 단일

표 6. 90년-95년 제품별 전세계 ASIC 매출예상(미국 In-Stat 자료)

(단위 : \$백만)

구분/년	1990	1991	1992	1993	1994	1995
PLD	851	969	1,514	1,380	1,548	1,786
게이트어레이	3,556	3,796	4,344	5,195	5,904	6,482
표준셀	1,136	1,243	1,420	1,696	1,951	2,226
선형 어레이	223	234	248	267	285	299
계	5,766	6,209	7,167	8,538	9,723	10,793

품목으로 기억소자 다음으로 시장이 큰 ASIC을 활성화 하는 것은 기억소자에 버금가는 국가적인 집중투자와 집중된 노력이 있어야 할 것이다.

기억소자는 국가와 정부의 공동연구과제로 85년부터 만 7년간 수행해왔고, 또 앞으로도 2000년까지 지속될 전망이다. 기억소자는 대기업형 과제이고, ASIC도 대량 생산체제로 갖추는 것은 대기업에서 해야한다. 그러나 ASIC core cell이나 ASIC용 CAD 기술, ASIC 설계, ASSP 개발 등은 특징적으로 중소기업에 알맞고, 또 이미 선진국에서 입증되고 있는 사실이다. 우리와 경쟁국인 Taiwan은 50-60여개의 ASIC Design Center가 있고, ASIC 반도체 전문제조업체가 10여개가 있는 셈이다. 이에 반해서 우리나라는 2-3개의 중소형 ASIC 설계 회사가 있고, ASIC 전문제조업체는 대기를 빼면 전무한 실정이다. 대기업의 ASIC 시설도 기존 표준형 반도체 제조시설을 빌려쓰고 있는 형편이라 Taiwan에 비해서 절대적으로 열세이고, 독자적인 사업 추진 의욕이나 자금지원이 극히 저조하다고 본다. ASIC 전문제조 업체와 이에 근거하는 ASIC Design House를 적극 늘려가는 방안이 필요하다.

Taiwan이 70년대 말이나 80년대 중반에 반도체 전문업체를 국가연구기관(ERSO)에서 분리하여 두번이나 독립시킨 것이 큰 참고가 되리라 본다. 3년간의 보조기간을 거쳐서 UMC는 ASIC, ASSP, SP등 설계 분야에 강한 반도체 전문회사로 성장했고, TSMC는 submicron 기술을 목표로 해서 foundry 전문회사로 80년대 말에 자리를 굳혔다. 대체로 이들 반도체 전문회사는 \$5천만-\$2억 판매 규모로 채산성을 가지고 특정기술분야에 두각을 나타내고 있다. 세계적으로 수십억 달러를 투자하여 개별소자 및 특수소자 등 수많은 제품(표준형)과 ASIC을 섞어서 상승효과를 노리는 방식의 반도체 산업도 필요하다. 또한 전문분야에 치중하여 세계 선두분야에 나서는 것이 경제, 산업, 과학분야에서 미국과 일본의 1/15-1/30의 국력면에서 합당하고, 90년에 더욱 다양해지는 제품과 기술의 추세에도 맞다고 본다.

미국의 Silicon Valley에서 끊임없이 새 기술이 창출되고, Taiwan의 신츄공업단지에서 중소 전문회사들이 세계적인 경쟁을 뚫고 성공하는 것은 그 핵심이 기술인력의 보급에 있기 때문이라고 본다. 일차적인 기술인력의 양성은 학교에서 하겠지만, 급격히 발달하는 첨단 현장 응용기술은 기업이 주도하고 있다. 대기업의 일부 공장에서 자체 생산시설을 이용하는 사내 창업제도가 있듯이, ASIC 설계분야에서도 각 기술부분 (가전, 통

신, 컴퓨터, 제어)에서 좋은 제품 및 기술을 현장 설계 기술자 및 생산자들이 고안해서 실용화할 수 있는 사내 창업제도를 만드는 것도 한가지 방안일 것이다. 창의적이며 기술의 발전과 회사의 이익에 기여한 직원에게 더욱더 직접적인 혜택이 돌아가게 하는 것이 크게 보아서 회사나 국가에도 이익이 될 것이다. 국가출연연구소에서 일부 연구소 창업제도를 운용하고는 있으나, 씨앗만 있지 씨앗이 자랄 토양이 경쟁국에 비해서 너무나 척박하다. 미국과 일본은 이미 자생적으로 자랄 수 있는데 반해서, Taiwan의 ERSO는 제품의 시장성, 자금, 인력을 창업자에게 3년까지 지원을 해준다. 그 이상의 직접적인 지원은 없으므로 창업자는 독립 채산을 위해서 최선을 다하게 된다. 이러한 결과로 ASIC 설계 회사의 50-60개중에 약 절반을 ERSO에서 창업한 기술 인력이 차지하고 있다.

우리나라의 반도체 설계부분의 대학교육은 이미 미국에서 70년대에 시작하여 80년대에 꽃을 피우고 열매를 맺은 IC 설계 분야에 대해서만 극히 일부의 대학에서 뜻있는 교수들에 의해서 주관되고 있다. 대학원 중심의 IC/VLSI 설계 교육이 학부과정에서 전공으로 가르쳐져야 추후 현장 근무에서 IC/ASIC을 만들어 보려하는 적극성을 가질 것이다. IC의 설계 및 제작 실험은 많은 투자가 뒤따라야 하나 적어도 컴퓨터를 이용한 설계 및 제작의 모의 실험은 할 수 있으리라 본다. 시스템 및 알고리즘의 IC/VLSI화는 더욱 피할 수 없는 추세인데, 기초와 응용이 적절히 배합된 교육을 하는 것이 대학교의 숙제이다. 지난 수년간 과학기술처의 MPC/MPW 과제를 통해서 연간 수십명의 대학원 학생이 IC 설계에 대한 연구 과정을 거쳤고, 이러한 과정에서 축적된 기술 및 제품개발이 각계에서 많은 공헌을 하고 있다. 근년에 서울대학교 반도체공동연구소, 연세대학교 ASIC 설계연구소를 비롯하여 여러 대학교에 VLSI 및 CAD 연구실이 갖춰져서 인력양성에 큰 몫을 하고 있다고 본다. 이 분야의 교육을 학부과정으로 내리고 적절한 연구과제가 지속적으로 주어진다면, 좋은 인력양성의 토양은 마련되리라 본다.

이상을 종합하여 국내 ASIC 산업 발전에 대한 몇가지 제언을 하면, (1) 교환기, 컴퓨터 및 기억소자에서와 같이 시장이나 기술과급효과가 큰 ASIC 기술 및 제품개발을 국가과제로 만들고 이에 대한 시장도 창출한다. (2) 수직적인 생산 구조를 가진 반도체 회사도 필요하지만 어느 대기업군에도 속하지 않은 전문 ASIC 제조업체가 필요하다. (3) 많은 ASIC 설계 전문회사가 자랄 수 있는 환경(인력, 기술, 자금, 시설)을 구축한

다. (4) 국가연구기관에 ASIC 기술센터를 만들고, ASIC에 필요한 기본기술인 cell library와 CAD 툴을 개발하여, 교육 및 기술 보급을 염가로 할 수 있게 한다. (5) 대기업이나 국가연구기관에서 규모의 체질상 맞지 않는 기술이나 제품을 기업화할 수 있는 창업제도를 효율적으로 운용한다. (6) 대규모 국가연구과제가 대기업중심으로 수행되었는데 반해서, ASIC은 중소기업이 주도하고 그 결과를 국가연구기관이 데이터 베이스에 저장·관리하여 저가로 쓸 수 있게 한다. (7) 대학교의 IC 및 VLSI설계 및 연구를 지원할 수 있는 국가과제가 지속적으로 필요하다.

ASIC 기술·제품·산업은 한마디로 요약하기 어렵게 전자산업 뿐만이 아니라 여타 산업과도 중첩으로 연관되어 있다. 불행하게도 ASIC 부문은 국내에서 체계적이고 종합적인 부분으로 다루어지지 않았다. 다행이 근래에 한국전자부품종합연구소에 ASIC 개발 센터를 개설할 예정으로 있으면서 국내 ASIC 기술을 선도해 나아가리라 본다. ASIC은 위에서 지적한 문제점과 대책 외에도 백명의 사람이 백가지 말을 할 수 있다. 90년대 반도체 산업을 선도할 ASIC에 대해서 중지를 모으고, 집중적이고 지속적인 개발 노력이 국가적으로 수행되어야 2000년대에 선진국에 도달할 것으로 생각한다. (10)

## 筆者紹介



柳 泳 昱

1946年 6月 2日生

1973年 2月 한양대학교 전자공학과졸

1975年 8月 한국과학원 전기 및 전자공학과졸

1975年 9月~1977年 1月 한국과학기술원 반도체기술 개발센터 연구원

1977年 2月~1985年 1月 한국전자기술연구소, 선임연구원

LSI 설계실 실장, 미국 사무소 소장

1983年 3月~1985年 7月 VLSI Technology, Inc.(San Jose, Ca, USA)

Design Center 근무

1985年 8月~1989年 1月 한국전자통신연구소,

자동설계기술 개발부 연구위원

1989年 1月~1990年 3月 Valid Logic Systems, Inc. 한국지사장

1990年 4月~현재 (주)서두로직, (주)서두미디어 대표이사

주관심 분야 : Electronic CAD 기술 개발, Textile CAD 기술 개발

통신, 음성, 영상용 ASIC 개발, Multimedia chip/board 개발