

SRAM 제품 및 기술의 현황과 전망

尹光鉉, 朴大永, 朱東燮

金星일렉트론(株) 研究所

I. 서 론

SRAM은 전체 반도체 메모리 시장의 약 25%에 달하는 시장규모를 가지고 있을 뿐 아니라 DRAM의 경기변동에 대한 보완 제품의 성격도 있으므로 메모리사업에서 전략적으로 중요한 의미를 갖는다.

SRAM은 DRAM에서 요구되는 refresh 동작을 필요로 하지 않으며 address multiplexing을 하지 않으므로 사용상 간편하고 고속 동작이 용이한 이점이 있으나 집적도가 DRAM에 비해 약 1/4정도이고 따라서 bit당 가격이 높은 것이 단점이다. SRAM의 제품 개발 추이의 특성은 고집적화, 고속화, 저소비전력 및 저전압동작 등으로 요약될 수 있다.

고집적제품으로는 4M SRAM이 일부 회사에서 소량 생산중인 단계이고 16M SRAM의 개발이 진행되고 있으며 고속제품은 BICMOS기술을 이용하여 access time이 10ns에 가까운 제품들이 생산되고 있다. 또한 휴대용 전자기기가 향후 급속히 보급되리라는 전망에 따라 저소비전력 및 저전압동작(3V 및 1.5V)을 위한 제품 전개도 활발히 이루어지고 있다.

SRAM은 현재 PC주변기기, 사무용기기, 통신기기, 컴퓨터의 고속메모리, 전자게임 기기등에 다양하게 이용되고 있으며 향후 system의 고속화, 휴대용 전자기기의 보급등으로 응용범위는 더욱 넓어질 전망이다.

본고에서는 먼저 SRAM의 시장동향과 응용분야등을 살펴본 후 SRAM의 특성, 동작원리, 제품기술 및 기술발전의 추이에 대해 기술한 후 향후 성공적인 SRAM 개발방향에 대해 고찰하고자 한다.

II. SRAM 시장과 응용분야

1. SRAM 시장 현황

표1에서 보는 바와 같이 전세계 반도체 시장은 91년도에 662억\$에 달했는데 그중 MOS IC는 337억\$로 전체의 56%에 달한다. 이 중 memory가 차지하는 비중은 22.5%로 앞으로 점점 늘어날 전망이다. Memory는 크게 DRAM과 SRAM 그리고 non-volatile memory로 대별할 수 있는데 SRAM은 MOS memory IC시장에서 23%를 차지하고 있다. 1990년에 전체 MOS memory 시장의 총출하액은 126억\$로 1989년의 157억\$에서 19.7% 감소하여 침체되었으나 이 중 MOS 고속 SRAM과 flash memory는 예외적으로 plus 성장을 했으며 이 중 fast SRAM은 전년비 6.4% 증가한 것으로 나타났다. 현재는 SRAM의 시장규모중 slow SRAM이 fast SRAM을 능가하고 있으나 향후 fast SRAM은 기하급수적으로 증가하여 1995년이 되면 전체적으로 slow SRAM 규모를 넘을 것으로 생각된다.

2. SRAM 제품 응용분야

전체적으로 반도체 memory의 응용분야는 표2에 나와 있는 바와 같이 매우 다양하다. 그중 SRAM의 응용분야는 다른 어느 memory보다 넓다. SRAM은 DRAM에 비해 refresh동작이 불필요하고 timing이 얻기 쉽다든가 address multiplexing을 채용하지 않기 때문에 clock 신호가 불필요하며 system적으로 사용하기 쉽고 고속화나 저소비 전력화를 꾀하기 쉽다는 등 여러 가지 이점이 있기 때문에 SRAM의 용도는 광범위하고 여러갈래로 되어 있어 비교적 저기억 용량의 SRAM도

표 1. 세계 반도체 시장 SRAM data (Dataquest 91년 자료)

(단위 : 백만불)

	'88	'89	'90	'91	'92	'93	'94	'95
SEMICONDUCTOR TOTAL	50859	57213	58225	66223	77189	89803	99225	105531
MOS MEMORY TOTAL	12491	15698	12698	13671	16711	20451	23809	25519
DRAM	6708	8968	6830	7260	9242	11353	12670	13319
SLOW SRAM	1789	2364	1745	1783	2097	2354	2734	2539
FAST SRAM	816	1008	1171	1292	1591	1988	2756	3284
EPROM	1947	1808	1446	1543	1653	1911	2016	2265
ROM	954	1221	1157	1310	1355	1523	1786	18499
EEPROM	274	318	314	350	439	581	645	750
FLASH	3	11	35	133	334	741	1202	1515
OTHERS								

(a) MOS memory forecast

	'88	'89	'90	'91	'92	'93	'94	'95
16K Fast SRAM	188	143	83	73	51	35	24	17
16K Slow SRAM	394	341	117	102	48	30	15	9
64K Fast SRAM	320	480	429	316	338	368	319	218
64K Slow SRAM	572	527	347	341	273	203	148	117
256K Fast SRAM	263	350	409	517	641	776	798	616
256K Slow SRAM	764	1312	892	892	903	847	778	644
1M Fast SRAM		9	145	328	522	762	1370	1839
1M Slow SRAM	55	176	322	404	630	830	1059	1026
4M Fast SRAM					18	79	346	673
4M Slow SRAM				40	243	435	657	562

(b) Total worldwide MOS SRAM forecast

지금까지 계속 사용되고 있다.

1) Low power 분야

Low power 분야는 소형 휴대용기기 시장이 유망하며 휴대용단말기, palm top computer, 전자수첩, memory card 등이 있다. 휴대용단말기는 91년 예상 40-50만대로서 연 20-40% 성장하고 있다. 이 분야 제품은 대당가격이 비싸서 대기시 소비전류가 작은 SRAM을 채용한다. 기억소량은 128K-1.5M byte로서 256K와 1M

SRAM으로 구성되어 있으며 95년경에는 2-4M가 될 것으로 예상된다. 소형 palm top computer는 기억용량이 128K-1M byte인데 256K와 1M SRAM으로 구성하여 key 입력시 대기상태에서 소비전류를 200 μ A 이하로 억제할 수 있다. 아직 시장 규모는 작으나 향후 보급이 확대됨에 따라 이 분야에서 SRAM 시장이 급속히 커질 가능성이 있다. Notebook PC는 주기억장치로 가격이 싼 DRAM을 쓰고 있으나 동작전압 범위가 넓

표 2. Memory의 응용분야와 사용 memory 종류

분야	기 기 명	기 록 정 보	SRAM	DRAM	EPROM	EEPROM	MASK ROM
FA	창고관리	재고, 입출하, 고객정보	0		0	0	
FA	SEQUENCE CONTROLLER	SEQUENCE제어수준	0		0	0	
FA	자동반송기	제품인식표, SENSOR상태	0		0	0	0
FA	공정관리	생산, 공정관리DATA	0		0	0	
FA	NC기기	SOURCE PROGRAM	0		0	0	0
OA	FAXIMILE	PROGRAM, DATA 압축	0		0	0	0
OA	PPC복사기	DATA MEMORY	0		0		0
OA	전자TYPEWRITER	문서MEMORY	0				0
OA	16 BIT PC	PROGRAM, BUFFER	0	0	0		0
OA	HAND HELD COMPUTER	PROGRAM, 외부MEMORY	0	0			0
OA	PRINTER, WORD PROCESSOR	FONT MEMORY, BUFFER	0	0	0		0
OA	POS SYSTEM	PROGRAM MEMORY			0	0	
가전	다기능전탁, 전자수첩	PROGRAM, DATA MEMORY	0				0
가전	GAME기	GAME SOFT			0		0
가전	전자악기	음부, 음원	0			0	0
가전	전자사전	사전DATA	0				0
가전	전자RANGE	PROGRAM, DATA MEMORY	0				0
가전	VTR	정지화면MEMORY	0	0			
가전	미싱	봉재DATA	0				
가전	통신교육기기	DATA, SOFT, 음원	0				0
계측	혈압계	계측DATA	0		0		
계측	중량계	계측DATA	0		0		
계측	자동차용 계측기	계측DATA	0		0		
계측	파형INDICATER	계측DATA	0		0		
계측	육의계측기	계측DATA	0		0		
계측	분석기	계측DATA	0		0		
공공	TIME RECORDER	입출기록DATA, 사원증	0		0		
공공	도서관리SYSTEM	대출기록	0				0
공공	의료SYSTEM	보험증, 건강상태	0		0		
공공	경비SYSTEM	입퇴기록, 경비기록	0				
교통	TACOMETER	주행, 승차시간DATA	0			0	
교통	ID CARD	ID DATA			0	0	
교통	NAVIGATION SYSTEM	지도, 도로정보			0		0
교통	TAXI METER	주행, 승차시간DATA	0			0	
유통	물류SYSTEM단말	물품선행인식표	0			0	
유통	VENDER MACHINE	TALKING DATA					0
유통	자동판매기	상품관리DATA				0	0
유통	HANDY-POS단말	상품관리DATA	0		0	0	
통신	전화기	전화번호정보, 전화부	0		0	0	
통신	자동차용통신기	동조DATA, 통신기록				0	
통신	무선기	동조DATA, 통신기록				0	
통신	CATV단말	정보DATA			0	0	
기타	수경재배SYSTEM	온습도관리DATA	0			0	
기타	광고표시장치	표시DATA			0		
기타	음성합성SYSTEM	음원MEMORY			0		0

은 SRAM을 쓰는 경우도 있고 전자수첩은 대기시 소비전류를 10 μ A이하로 요구하므로 SRAM의 유력한 응용분야가 되고 있다. 현재 생산량이 가장 큰 기준은 기억용량이 32K byte로서 작으나 장래 1M byte용량이 되면 4M SRAM 2개가 필요하게 된다.

Floppy disk의 대체품인 memory card는 가격이 싸고 data 유지에 전지가 필요없는 flash memory와 경쟁이 되나 아직 data 소거 방법등이 표준화 되어있지 않아 표준화하는데 시간이 걸릴뿐 더러 system내에 높은 write 전압 발생회로가 필요하므로 현재는 SRAM이 더 유망하다.

2) High speed 분야

High speed분야로는 super computer, main frame, workstation, PC, 교환기, 계측기기등 고속처리가 필요한 장치를 들 수 있다. 이 응용분야는 크게 나누어 cache memory, buffer memory, 그리고 main memory로 나눌 수 있다. Super computer와 main frame에서는 5ns 전후의 ECL RAM과 10-20ns의 MOS 고속 SRAM이 사용된다. 이 용도는 MPU의 cache memory와 main memory로서 1대당 memory size는 10M-수십 giga byte에 이른다. Work station과 PC에서는 10-35ns의 MOS 고속 SRAM이 cache memory로 사용된다. Work station의 cache size는 64K-256K byte, PC는 32K-128K byte로 고속화에 따라 증가하고 있다. 교환기는 원래 buffer memory로서 소용량의 고속 SRAM이 사용되나 기업내 LAN 보급 또는 version up

표 3. 50MHz이상 동작시 TTL SRAM과 ECL SRAM의 비교

	T T L	E C L
가격	싸다	비싸다
표준 논리 IC수	많다	적다
고속성	보통	매우 빠르다
집적밀도	높다	낮다
소비전력	작다 (속도에 비례)	크다 (속도의존성 작다)
전원	5V 단일 (저전압도 가능)	2전원이 필수
적용기술	CMOS BiCMOS	BiCMOS Bipolar

등에 의해 고속 SRAM이 main memory로서 채용되고 있다. Memory size는 수 G byte가 된다. 향후 이 같은 통신분야도 고속 SRAM의 큰 시장이 될 것으로 보인다. 그리고 현재까지는 TTL I/O 방식이 주종인데 50MHz 이상의 high speed가 되면 TTL I/O와 ECL I/O가 서로 경합을 벌이게 될 것으로 보이며 ECL I/O가 추가되는 것은 100MHz정도 이상이 되어야 될 것 같다. (표3 참조)

3) 향후 제품경향

(1) Microprocessor에 특화되는 경향

고속 SRAM 제품은 향후 그림1과 같이 점점 다양해질 것으로 보인다.

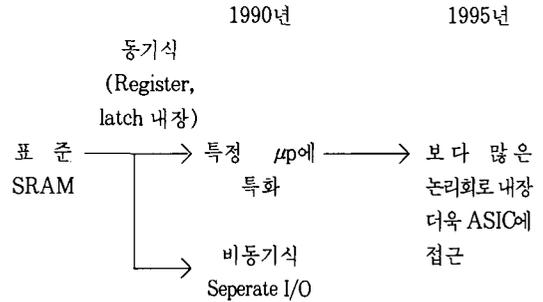


그림 1. 고속 SRAM의 다양화 경향

Clock 주파수가 50MHz이상의 microprocessor가 등장하면서 access time이 15ns인 고속 SRAM의 필요성이 높아지게 된다. SRAM이 고속화되면 system 성능 발휘에 외부 표준 논리 IC의 delay가 점점 큰 영향을 미치게 된다. 이 성능을 더욱 높이려면 논리 회로를 SRAM에 내장시켜 지연시간을 단축시키는 연구가 필요하며 또한 최적성능을 발휘하기 위해서는 각각의 다른 종류의 microprocessor에 대해 최적기능을 가진 SRAM이 필요하게 되는데 이에 따라 현재 microprocessor에 특화된 SRAM들이 개발되고 있다.

(2) 多bit 구성제품

Super computer나 main frame의 memory에서는 1bit 또는 4bit 출력구성의 대용량품을 쓰는데 비해 workstation과 PC등 소규모 장치의 cache memory는 address 공간의 크기를 억제하기 위해 多 bit 구성제품이 사용되는 경향이 있다.

X8/X9/X16으로 되는 多bit구조에서는 잡음을 줄이는 문제가 중요하므로 현재 고속 SRAM은 package의 corner에 V_{cc} 또는 V_{ss} pin이 있는 300mil폭의 DIP와

SOJ를 쓰는데 address time이 10ns이하가 되면 inductance와 정전용량 크기가 더욱 심각한 문제가 되므로 package의 중앙에 V_{cc} 또는 V_{ss} pin을 놓는 center pin package가 필요하다. (그림2, 표4 참조)

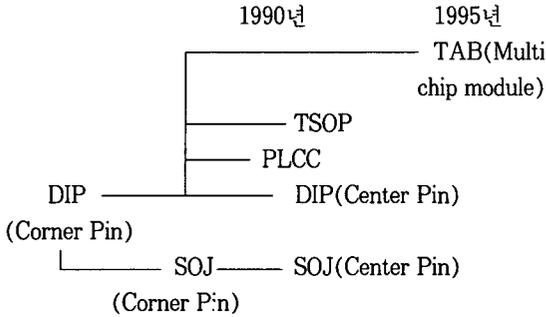


그림 2. Fast SRAM package trend

표 4. Inductance와 정전 용량 크기 비교

	L (nH)	C (pF)
300 mil DIP (Corner Pin)	10	1.5
300mil SOJ (Corner Pin)	6.5	1.0
TSOP (type 1) (Center Pin)	2	0.5

III. SRAM의 동작과 특성

1. SRAM Cell의 종류

SRAM cell은 cross-coupled inverter 쌍으로 구성된 filp-flop으로 볼 수 있다.

Cell의 memory logic 상태는 두 inverter 출력단의 전압 level에 의해 결정되며, power가 공급되는 한 inverter 출력단의 한 쪽이 low(VA)면 다른 한쪽 inverter의 출력단은 high(VB)로 유지된다. (그림 3)

Flip-flop의 상태를 바꾸기 위해서는 충분한 크기의 trigger전압을 적절한 시간동안 'A'단자와 'B'단자에 가하면 된다. 일반 memory cell이 안정한 상태로 정해지면, trigger 전압을 제거해도 그 상태가 유지되므로 SRAM은 DRAM과 달리 저장된 정보를 지속적으로 보유하도록 하기 위한 주기적인 refresh 동작을 필요로 하지 않는다.

따라서 SRAM cell은 DRAM cell에 비해 안정된 동작을 하고, 전력소모가 작으며 flip-flop의 self-restoring

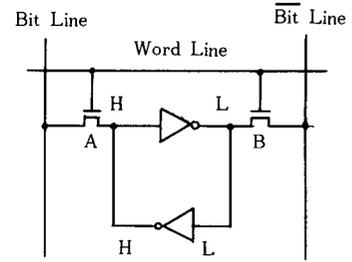


그림 3. 논리회로에 의한 구성

과 static peripheral circuit의 특성때문에 반도체 memory중 가장 빠르게 동작하는 장점이 있는 반면에, 하나의 cell을 구성하는데 최소한 6개의 소자가 필요하여 집적도가 낮은 단점이 있다.

SRAM cell은 부하소자의 종류에 따라 크게 4가지 종류로 분류할 수 있다.

1) NMOS cell(그림 4)

집적도가 낮은 SRAM에 주로 사용된 구조로, 2개의 NMOS depletion load Tr. (TL1, TL2), 2개의 N-MOS drive Tr.(Td1, Td2)과 2개의 NMOS access Tr.(Ta1, Ta2)로 구성된다.

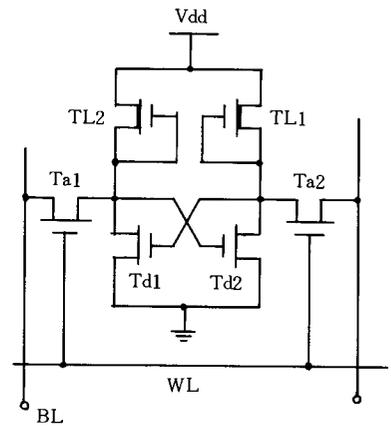


그림 4. NMOS cell

1개의 cell을 구성하기 위하여 6개의 transistor가 필요하므로, cell당 면적이 크며, load Tr.의 turn-off 전류가 커서, 대기시 소비전력이 큰 단점이 있다.

2) Poly load 저항 cell(그림 5)

2개의 NMOS access Tr.(Ta1, Ta2), 2개의 NMOS

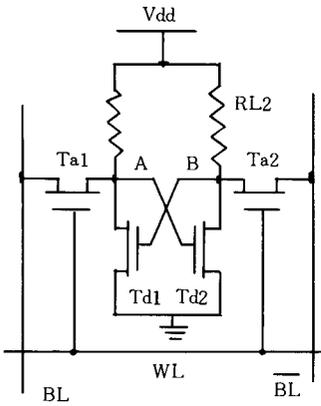


그림 5. Poly load 저항 cell

drive Tr.(Td1, Td2)과 drive Tr. 위에 적층시킨 2개의 polysilicon 부하저항(RL1, RL2)으로 구성된다.

MMOS, CMOS cell보다 집적도가 높고, 또한 NMOS cell보다 대기시 소비전력이 적은 장점이 있다.

그러나 α -particle immunity나 cell stability가 낮은 단점이 있다.

3) Full CMOS cell(그림 6)

2개의 NMOS access Tr.(Ta1, Ta2), 2개의 NMOS drive Tr.(Td1, Td2)과 2개의 PMOS load Tr. (TL1, TL2)로 구성된다.

α -particle immunity가 높고, 접합 누설전류에 따른 cell 특성 변화가 적어서, 대기시 소비전력이 적고, 동작 온도 범위도 넓으며 cell stability도 높아 battery back-up이 가능한 장점이 있다.

그러나 하나의 cell을 구성하기 위하여 PMOS와 NMOS Tr.을 동시에 제작해야 하므로 cell 면적이 넓어, 집적도가 낮은 단점이 있다.

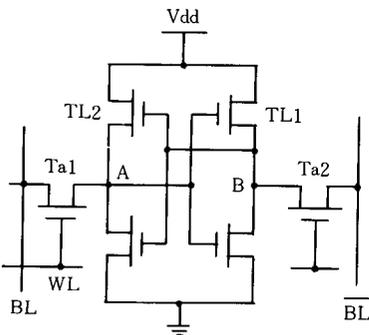


그림 6. Full CMOS 및 PMOS TFT cell

4) PMOS TFT cell(그림 6)

Full CMOS cell에서 PMOS load Tr.(TL1, TL2)을 drive Tr.(Td1, Td2)의 gate 위에서 polysilicon을 적층시킨 후, 재결정 성장시켜 PMOS thin film Tr.(TFT)을 형성하여 부하소자로 사용한다.

따라서, cell의 동작특성은 full CMOS cell과 거의 동일하게 좋고, 또한 집적도는 poly load 저항 cell만큼 높은 장점이 있다. 그러나, polysilicon film을 재결정 성장시키는 공정이 복잡한 단점이 있다.

2. SRAM의 동작

그림6의 CMOS cell을 예로 들어, 그 동작을 살펴본다.

1) Write

Word line 전압을 V_{dd} 로 올리고(Ta1, Ta2는 'ON'), bit line을 'high'(V_{dd}), bit bar line을 'low'(GND)로 가하면, 'A'단자가 $V_{dd}-V_{th}$ 로 되어 Td2는 'ON' TL2는 'OFF'된다. 또한 'B'단자가 0 V로 되어 TL1은 'ON', Td2는 'OFF'되어 SRAM cell에는 정보 '1'이 쓰여진다.

이와같이 하나의 상태로 memory cell의 전압이 결정되고 나면, 전원이 계속 공급하는 한, 'A'단자는 TL1이 'ON'되어 V_{dd} 로부터 TL1을 통하여 항상 전류가 흘러들어오고, 'B'단자는 Td2가 'ON'되어 'B'단자로부터 전류가 Td2를 통하여 항상 흘러나가, 저장된 정보가 유지된다.

SRAM cell에 data '0'을 쓸 때는 정보 '1'을 쓸 때의 반대과정을 거친다. (Bit line은 0V, bit bar line은 V_{dd} 로 가해진다.)

2) Read

Memory cell에 이미 정보 '1'이 쓰여져있다고 가정한다.(즉 'A'단자는 'high', 'B'단자는 'low')

정보를 읽기 위해 bit과 bit bar line을 sense amplifier(S.A)의 DC 동작점인 약 3V로 하강시키고, 양쪽 line의 전압을 같게 만든 후(equalization), word line 전압을 V_{dd} 로 상승시켜(Ta1, Ta2는 'ON') cell을 선택하면, bit line의 전압은 TL1('ON')을 통하여 흘러들어오는 전류로 인하여 V_{dd} 쪽으로 약간 상승하고, bit bar line의 전압은 Td2('ON')을 통하여 GND로 전류가 흘러나가 약간 감소한다. 이때 발생한 bit line과 bit bar line의 전위차를 S.A(일종의 차동 증폭기)를 통하여 그 전위차를 증폭 시켜서, 출력 buffer로 전달한다. 출력 buffer로 전달된 신호를 부하를 구동시킬 만큼의 크기로 증폭시킨다.

정보 '0' 읽기도 동일한 방식이나, bit과 bit bar line의 전압 증감만 반대이다.

3. SRAM Cell의 특성

1) Read stability(그림 7)

SRAM cell의 lead stability는 cell에 정보를 읽을 때 cell에 쓰여진 정보의 반전이 일어나지 않는 정도를 나타내는 것으로, cell Tr.의 β ratio, cell 접지선의 저항 및 cell 소자의 symmetry등의 3가지 요소에 의해 결정된다.

(1) Cell Tr.의 β ratio

정보(여기서는 정보 '1')을 읽는 동안에 bit bar line에서 cell의 'low' 단자쪽으로 흐르는 전류로 인해 drive Tr.(Td2)의 양단에 전압강하가 발생하여, 'low'단자의 전압이 상승하게 된다. 상승된 'low' 단자의 전압(Td1의 V_{th} 보다 클 경우)은 'high' 단자의 drive Tr.(Td1)의 게이트 전압이므로 Td1을 turn-on시키게 된다. 이로 인해 'high' 단자의 전압은 감소하여 'low'상태가 되고, 반대로 'low' 단자의 전압은 Td2의 게이트 전압('high' 단자의 전압)이 V_{th} 보다 작아져서 Td2가 turn-off되어 'high'상태가 되어, cell 정보가 반전된다.

따라서, 이와같은 cell 정보의 반전을 방지하기 위해서는 drive Tr. (Td1, Td2)의 전도도를 증가시켜 전압강하를 줄여야 하고, access Tr.(Ta1, Ta2)의 전도도를 감소시켜 전압강하를 증가시켜야 한다. 그러나 drive Tr.과 access Tr.의 전도도는 독립적으로 영향을 미치는 것이 아니라, 상호간의 전도도비(Td1/Ta1 혹은 Td2/Ta2의 전도도비, 즉 β ratio)가 영향을 미친다. 정보의 반전없이 cell이 안정되게 동작하려면 β ratio는 3이상 이 되어야 한다. 그러나, battery를 사용하는 휴대용 제품에서 주로 SRAM을 사용하는 추세이므로 저전압에서 동작할 수 있는 SRAM cell이 요구되고 있다. 이를 만족시키려면 β ratio는 4 이상이 되어야 한다.

β ratio를 증가시키는 방법으로 drive Tr.의 채널 폭을 넓히고, 길이를 줄이거나, access Tr.의 채널 길이를 늘이고, 폭을 줄이면 되나, SRAM의 집적도가 높아짐에 따라 cell 면적과 cell 동작의 신뢰도 및 수율 때문에 그 한계가 주어진다.

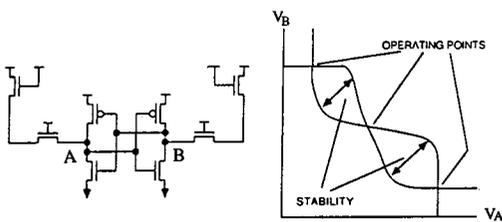


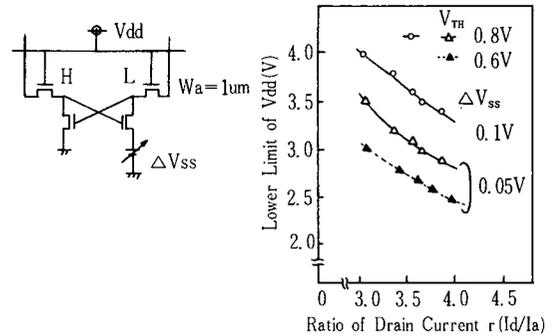
그림 7. Full CMOS cell의 전달 특성 곡선

(2) Cell 접지선의 저항(그림 8)

Cell에서 정보를 읽을 때, 'low' 단자쪽의 bit line Tr.로 부터 access Tr.과 drive Tr.을 거쳐 cell의 접지선을 통해 전류가 흐르게 된다. 이 전류로 인하여 접지선에 전압강하가 발생하여 drive Tr.의 소오스 전압이 상승하게 되어, 'low' 전압이 상승하게 되어 'high' 단자쪽의 drive Tr.을 turn-on 시키게 된다. 결과적으로 cell 정보의 반전이 발생하게 된다.

또한, 접지선의 전압강하로 인하여, 같은 접지선을 사용하는 cell들 중 외부 접지선에서 멀리 떨어진 cell일 수록 병렬로 연결된 cell 전류로 인하여, drive Tr.의 소오스 전압이 더 높게 된다. 따라서 외부접지선에서 떨어진 cell이 외부 접지선에 가까운 cell보다 저전압 특성이 나쁘게 된다.

따라서, 안정된 cell 동작을 위해서는 접지선 저항값의 감소가 필요하다.



(a) Memory cell의 안정도 추정용 회로도 (b) Vcc 하한값 시뮬레이션 결과

그림 8.

(3) Cell 소자의 asymmetry(그림 9)

Memory cell의 asymmetry는 cell내의 각 소자들(drive Tr. Td1과 Td2, access Tr. Ta1과 Ta2, 부하저항 RL1과 RL2)간의 design mismatch(layout 및 size 차이)와 공정 mismatch(층간 정렬, 노광 및 식각시 critical dimension 차이)때문에 각 Tr.간의 V_{th} 및 전류 구동능력 차이로 인하여 발생한다. 따라서 각 Tr.의 특성이 서로 차이가 발생한다면 (예 Td1-, Ta+, Td2+, Ta2-), 'A' node와 'B' node 사이의 안정도 차이가 생겨서, read시 cell이 항상 어느 한쪽으로 기울어지려는 경향이 강해져서 정보의 반전이 발생할 수 있다.

이와같은 특성은 cell size가 작아질수록 design rule

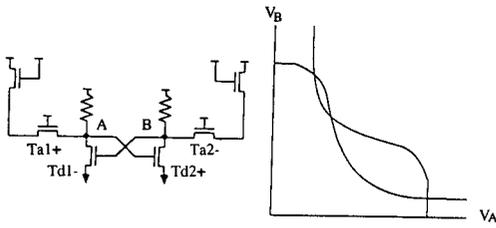


그림 9. Poly load cell의 asymmetry

이 작아짐으로 인해서, 공정상의 차이 및 정렬에 따른 불균형이 커지므로, 집적도가 높아질수록 cell의 불균형을 없애려는 노력이 점점 더 요구되고 있다. 최근 발표된 자료에 따르면, 16M SRAM에서는 cell의 symmetry 특성을 확보하기 위하여 완전 대칭 구조의 cell을 채택하고 있다.

2) Data 보유 특성(그림 10)

V_{cc} 전압이 낮춰져도(일시적인 정전이 발생해서 battery back-up으로 동작시) data가 여전히 보유되는 정도를 나타내는 특성이 data 보유전압(V_d)이다.

Data 보유 전압은 drive Tr.(Td1, Td2)의 V_{th} 가 낮을수록, subthreshold 누설전류가 낮을수록, 접합 누설전류가 적을수록, 부하 저항값이 작을수록(data '1' node에 전류공급 능력) 낮아진다.

고온에서는 drive Tr.(Td1, Td2)의 subthreshold 누설전류의 증가보다(85°C가 상온보다 10배 정도 증가) 부하저항값의 감소가 커서(85°C가 상온보다 35배 정도 감소) V_d 특성은 문제가 되지 않으나, 저온(0°C)에서는 subthreshold 누설전류, 접합 누설전류는 거의 감소하지 않으나, 부하저항값은 크게 증가하기 때문에, data '1' 단자쪽의 총 누설전류를 부하저항이 보상 할 수 없게 되어서 data 보유 능력이 현저하게 감소한다.

이 특성을 개선하기 위해서는 부하저항의 저항값을 감소시켜야 하나, 이때는 고온(85°C)의 대기시 소비 전류가 급격히 증가하는 문제가 있다.

따라서, V_d 특성과 대기시 소비전류 양쪽을 다 만족시키면서, 고집적(4M SRAM 이상) SRAM 소자를 제조 하려면 능동부하소자(P-MOS bulk Tr. 혹은 TFT)를 사용하여야 한다.

3) α -Particle immunity(soft error rate)

소자의 외부 혹은 molding compound 내의 방사선 물질에서 발생한 알파선입자가 기판에 도달하여 전하쌍을 발생시키면, 이 전하쌍으로 인하여 memory cell의 기억 node에 저장된 전하가 접합면을 통하여 방전하게 되어 정보를 잃게 된다. 이와같은 특성을 α -particle

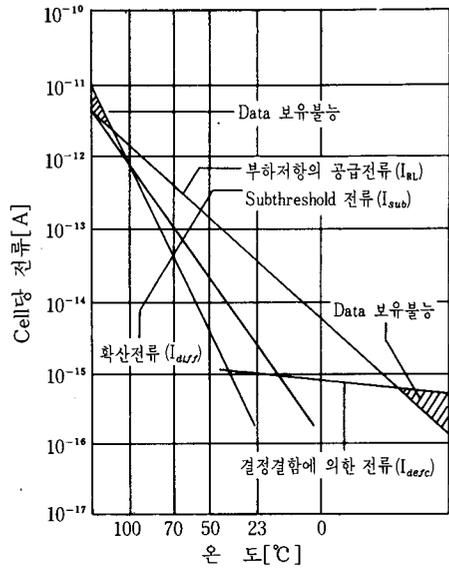


그림 10. Poly load에 대한 data 보유와 연관된 전류 성분

immunity 혹은 soft error rate(SER)라고 한다.

일반적으로 SER 특성은 알파선 입자로 인하여 방전된 전하를 부하소자가 보상해주기 때문에 SRAM cell이 DRAM cell 보다 좋다.

그러나 SRAM의 집적도가 높아짐에 따라 cell 면적이 작아져서, cell 내부 node의 정전 용량이 작아지게 되므로 전하량의 변화에 따른 전압 변동분이 커지고, 또한 대기시 소비전력 감소를 위하여 부하 저항값을 높게 되므로 방전된 전하량을 충전하기가 어려워져서, SRAM cell에도 SER 감소를 위한 노력이 필요하다.

SER을 감소시키기 위하여 다음과 같은 방법이 사용된다.

- ① α -particle이 도달되는 단면적을 줄이기 위해, N형 기판위에 형성된 P형 well 내에 memory cell을 형성
 - ② Layout 기술로 cell 면적의 증가없이 cell의 정전용량을 증가시키는 방법
 - ③ α -particle에 의해 방전된 전하량을 신속하게 보상해 줄 수 있는 능동부하소자의 사용
 - ④ α -particle을 차단할 수 있는 물질로 chip을 coating 하는 방법
- 등이 있다.

4. SRAM의 동작속도

SRAM의 동작속도는 address buffer와 decoder의 신호 전달 지연, word line과 bit line의 charging/discharg-

ing으로 인한 지연 및 sense amplifier와 data output 회로의 신호전달 지연에 의해 결정된다.

(1) Address buffer와 decoder의 신호 전달 지연은 input/output 수가 증가하면, 비례하여 길어진다.

(2) Word line과 bit line의 charging/discharging으로 인한 지연은 word line과 bit line의 저항과 정전용량을 곱한 값이 증가함에 따라 증가한다. 보통 bit line은 metal(알루미늄)로 형성되기 때문에 저항값이 낮아 지연요소는 아니나, bit line에 병렬로 연결되어 있는 기생 정전용량(a. access Tr.의 junction cap., b. bit line과 기판간의 overlap cap., c. bit line과 bit line 사이의 coupling cap.)에 의해 속도가 제한된다.

Word line은 보통 doping된 poly silicon($R_s=20-40 \Omega/\square$)이나 polycide($R_s=1-5 \Omega/\square$)이 사용되므로 저항값이 커서 속도제한의 한가지 요소이며, word line에 병렬로 연결되어 있는 access Tr.의 gate cap.도 또 한가지의 요소이다.

따라서 속도를 높이기 위해서는 bit line과 word line에 연결되는 cell의 수를 줄여서 parasitic cap.을 줄여야 한다.(divided word line/divided bit line)

(3) Sense amplifier의 감지속도를 향상시키기 위하여, address transition detection(ATD) 회로기술 및 다단 sense amplifier 등을 사용한다.

5. Polysilicon 고부하저항 제조

대기시 적은 전류가 흐르는 cell을 만들려면 고저항이 필요하다. Soft error rate(SER)을 낮추면서, 또한 적은 면적에 고부하 저항을 제조하려면, R_s 값(sheet resistance)이 높은 재료가 필요하다. 이러한 재료로써 적합한 것은 undoped polysilicon 이다.

예를 들어 1 Mega bit SRAM의 대기시 전류를 약 $100\mu A(85^\circ C)$ 로 만족시키려면 부하저항값은 약 $150 G \Omega(85^\circ C)$ 이 필요하다. 이 값을 만족하는 1M SRAM용 고부하저항을 제조하려면, 두께 50 nm, 폭 $0.8\mu m$, 길이 $4\mu m$, R_s 가 $45 G \Omega/\square$ 인 polysilicon film을 사용하여야 한다.

Undoped polysilicon은 film내의 불순물들이 입계면으로 석출되어 free carrier를 효율적으로 생성하지 않고, 또한 입계면은 생성된 free carrier의 일부를 trap시키기 때문에 높은 비저항을 갖는다.

연결전극을 형성하기 위하여 고농도로 doping 시킨 영역으로부터 저농도 부위로 측면확산이 일어나게 되며, 이로인해 저항의 유효길이가 큰폭으로 줄어든다. 특히 polysilicon은 낮은 온도에서도 입계면을 통해

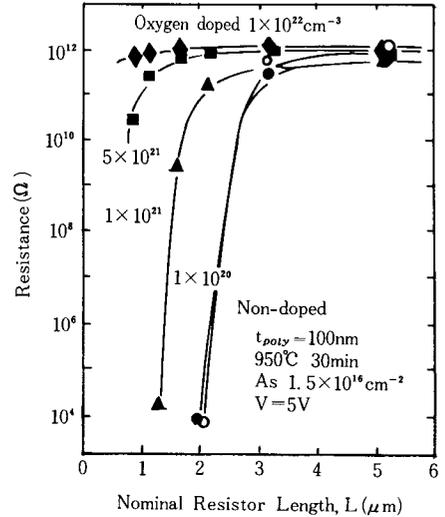


그림 11. 산소 이온주입 농도에 따른 polysilicon 저항 특성

빠른 확산이 일어나므로 SRAM cell 설계에 있어서 중요한 고려사항이다. 이러한 측면확산을 감소시키기 위한 방법으로 고농도의 산소를(약 $10^{22}/cm^3$) polysilicon에 이온주입하기도 한다.(그림 11.)

또한 plasma로 증착된 nitride막에서 수소가 polysilicon내로 확산되어 들어오므로 인하여 polysilicon의 저항이 감소하게 된다.

IV. Thin Film Transistor(TFT) Load Cell

1. SRAM Cell 기술동향

Poly 저항을 이용한 고저항부하용 cell은 공정이 간단하고 cell size를 작게 할 수 있는 이점 때문에 집적도가 1M bit이하의 SRAM에서는 거의 모든 상용제품에 사용되어 왔다. 그러나 집적도가 4M bit 이상이 되면서 고저항부하용 cell은 cell의 data 유지안정성 및 cell의 소비전류 감소라는 두가지 요구사항을 동시에 만족시키기 힘들게 되어 한계에 부딪히게 되었다. 따라서 4M bit 부터는 상기 cell 특성을 쉽게 만족할 수 있는 TFT cell을 적극 채용하는 추세이며 TFT 공정기술이 성숙함에 따라 향후 모든 SRAM 제품에 확대 적용될 가능성도 있다.

2. TFT Cell

(1)개요(TFT cell의 필요성 및 저항부하형과의 비교)
 위에서 언급한 바와 같이 거의 모든 maker가 4M SRAM부터는 TFT를 채용하고 있다. 4M SRAM의 대기 소비전력을 만족하기 위해서는 고저항부하 cell을 사용할 경우 cell 1개당 I_{dr} (data 유지전류)이 기억 node의 누설전류값에 가깝게 되어 양호한 data 유지특성을 얻기 어렵다. Data retention시 memory cell 내부 node의 전위는 고저항부하를 통한 공급전류와 high level node에서 흐르는 누설 전류와의 관계로 결정된다. 그림 12에서와 같이 누설전류와 고저항부하에서의 공급전류의 비가 10배 정도가 되면 이 high level node의 전위는 전원전압에 대해 약 10% 저하되면서 memory cell의 동작 margin이 작아진다. 고저항부하의 저항값이 변화, high level node의 누설전류의 변화, 충분한 동작전압 보증 및 안정된 양산성 등을 고려하면 누설전류와 고저항부하의 공급전류비는 100 이상이 되어야 한다. 그림 12에서보면 고저항부하는 공급전류비가 10-100 정도인데 비해 TFT load는 10^6-10^8 로 매우 안정적이다. 고저항 부하형 cell의 경우 대기 소비전류(I_{sb}) $1\mu A$ 를 실현하려면 고저항 부하에 $0.25pA$ 만 흐르게 되는데 cell node의 누설전류는 $1-10fA$ 정도이므로 고저항 부하형 cell로서 I_{sb} $1\mu A$ 를 실현하려면 4M가 한계이다.

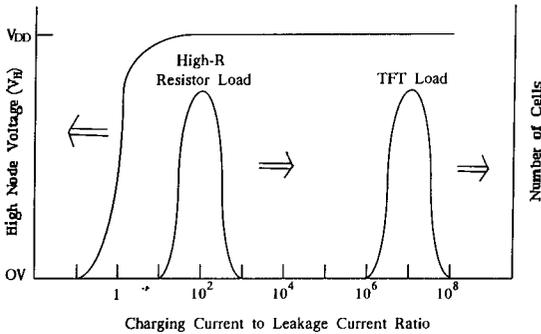


그림 12. 공급전류비 감소에 따른 memory cell 동작 margin 비교

고저항부하 cell을 사용하여 4M에서 $1\mu A$ 의 I_{sb} 를 얻으려면 저항값이 상온에서 약 $15T \text{ ohm}$ 이 되어야 한다. Cell 면적상 저항부분을 $2\mu m$ 이상으로 길게 하기가 어렵고 또 poly저항의 막두께를 500\AA 이하로 균일하게 제어하기도 힘들다. TFT cell에서는 high level node의 누설전류가 P-channel TFT의 on 상태의 전류로 보상되

기 때문에 안정된 data retention 특성을 갖는다. 또한 대기 소비전류는 low level node로 흐르는 전류 즉 TFT의 off 상태의 전류로 결정되므로 cell의 data 유지특성과 소비전류를 TFT의 on특성과 off 특성으로 분리하여 각각 최적화 할 수 있는 이점이 있다.

표 5. 고저항부하형과 TFT형 cell의 비교

비교 항목	고저항부하형	TFT 형
I_{sb}	$1 \mu A$ 이하	$0.4 \mu A$ 이하
Soft error rate	1	1/10 이하
I_{dr} margin	2 ORDER	6 ORDER 이상
cell 면적비	1	1 이하
Process cost비	1	1.1-1.2

(2) 온도 특성에 따른 신뢰성

4M에서 고저항부하를 쓰면 저온에서 yield가 감소될 수 있다. 대용량 SRAM은 표준조건에서 $1\mu A$ 의 I_{sb} 를 유지하며 전지로 수년간 backup 할 수 있어야 하는데 이렇게 되려면 고저항부하를 흐르는 I_{dr} 의 평균치가 $0.25pA$ 이하로 되어야 한다. 그러나 고저항부하는 온도에 따른 특성변화가 커서 $-10^\circ C$ 에서는 10 fA order이하의 전류공급 능력 밖에 없다. 한편 cell내부의 node에 결정결함이 존재할 경우 거의 온도에 상관없이 100 fA 정도의 leakage전류가 발생할 수 있다. 이같은 leakage가 있는 cell은 저온에서 high level의 전위를 유지할 수 없다. 여기에 비해 TFT를 부하로 하면 TFT의 on off 비를 수 order로 함으로써 이 문제를 해결할 수 있다.

(3) 저전압 안정성

4M SRAM에서는 저전압동작이 중요하게 되는데 외부 전원전압 3V에 동작하도록 설계하려면 memory cell의 β 비를 크게 하는 것과 cell에 V_{cc} 를 공급하는 방식을 어떻게 하느냐가 중요하다. β 비를 3에서 4로 크게 하면 동작전압이 약 0.6V 내려가지만 cell면적이 상대적으로 커진다. TFT를 사용하면 nA order의 on전류가 가능하므로 같은 β 비를 가정할 때 고저항부하형 cell에 비해서 저전압 동작시의 안정성이 더욱 개선된다.

(4) Soft error rate

Memory cell 내부 node의 high level은 word선이 선택되면 $V_{cc}-V_t$ 가 된다. Word선이 꺼진후 cell 내부 node의 high level의 전위는 부하저항을 통해 충전되어 V_{cc} 까지 상승한다. 그러나 고저항부하형은 고저항치 $10T\Omega$ 과 cell node용량으로 결정되는 시정수가 수십 ms

정도로 길기 때문에 평균적인 동작시에 cell node의 high level은 $V_{cc}-V_t$ 에 가까운 값이 되어 soft error에 약해진다. 그래서 soft error에 대한 저항성을 높이기 위해서 부하소자의 충전능력을 높여서 cell node의 high level을 단시간에 V_{cc} level로 높일 필요가 있다. 특히 cycle time이 짧을때 고저항부하형 cell에서는 충전전류가 작아 data retention node 전압을 전원 전압까지 복귀시킬 수 없으므로 잡음등으로 인해 data가 파괴되기 쉽다. 그러나 TFT형은 cell node의 충전전류가 1-10 μA 로서 고저항 부하형보다 훨씬 크며 따라서 data retention node 전압을 즉시 V_{cc} 로 복귀시킬 수 있어 data가 소실되지 않는다. V_{cc} 5V에서의 동작시 soft error rate는 3V data retention시의 SER과 거의 같으나 TFT를 부하소자로 하면 동작시에도 cell node의 high level을 V_{cc} 까지 회복할 수 있으므로 3V로 내부강압해도 5V로 동작하는 고저항부하형 cell과 같은 SER을 얻을 수 있다.

(5) TFT구조

TET는 구조와 형성방법, offset TR형성에 따라 각각 다르다. 구조는 대부분 4 poly구조로 4층 poly를 TFT channel, 3층 poly를 TFT gate로 사용하면 cell 면적감소 및 공정이 쉬워진다. 표 6에 각사의 TFT 구조를 비

교하였다.

(6) TFT process

TFT process의 핵심은 형성 gas, 고상성장, 미결합 bond제거에 대한 것이다. 형성용 gas는 poly Si형성에 통상 사용하는 SiH_4 과 저온 deposition이 가능한 Si_2H_6 가 있다. Channel부를 저온으로 dep할 수 있는 Si_2H_6 는 poly Si이 성장할 때 핵밀도를 2 order정도로 내릴 수 있어 큰 grain size를 얻을 수 있으므로 grain경계면에서 발생하는 I_{off} 를 줄일 수 있다. 고상성장 온도는 600 $^{\circ}C$ 가 보통으로 8-15시간 anneal하여 poly Si으로 성장시킨다. 그러나 별도의 고상성장없이 BPSG anneal 시 동시에 처리하여 고상성장에 소요되는 시간을 절약하는 방법도 있다. 미결합 bond의 제거는 off전류의 경로가 되는 TFT 표면을 얇게 산화하는 방법, O_2 plasma 처리로 공급된 H로 미결합 bond를 없애는 방법과 NH_3 와 수소계의 gas를 써서 H를 공급하여 미결합 bond를 제거하는 방법이 있다. 현재는 chip의 보호막으로 형성하는 plasma Si_3H_4 중에 존재하는 H를 400-450 $^{\circ}C$ 에서 열처리하여 확산시켜 미결합 bond를 제거하는 방법이 많이 사용하고 있다.

그리고 off 전류를 낮추기 위해 drain과 channel부 사이에 0.4 μm 정도의 offset 영역을 두는 방법이 있는데

표 6. 각사의 4M SRAM 용 TFT 구조 비교

		Hitachi	Mitsubishi	Sony	Oki	Toshiba	Sharp
Poly 배선	1층	Poly	WSi	WSi	WSi	WSi	WSi
	2층	WSi	WSi	WSi	WSi	WSi	Poly
	3층	Poly	Poly	Poly	Poly	Poly	Poly
	4층	Poly	Poly	Poly	Poly	Poly	없음
TFT BODY	막두께 (Å)	400	200	200-400	500	500	500
	Grain size(μm)	-	1	0.2	3	0.5-1	-
	Gate oxide	400	250	400	400	300	500
TFT BODY 형성법	Gas	SiH_4	Si_2H_6	SiH_4	Si_2H_6	SiH_4	Si_2H_6
	Dep. 온도	520 $^{\circ}C$	480 $^{\circ}C$	550 $^{\circ}C$	450	525-550	500
	고상 성장온도	없음	600 $^{\circ}C$	600 $^{\circ}C$	600	600	600

*. Poly 배선 1) Sharp만 TFT body가 2층 poly이고 나머지는 4층 poly를 TFT body로 사용된다.
 2) 각 Poly배선의 용도, 1층Poly : NMOS Gate 전극, 2층Poly : V_{ss} line & Interconnection, 3층Poly : TFT Gate 전극, 4층Poly : TFT body

이 영역에 10^{13} 정도의 boron을 implant하여 off 전류를 내릴 수 있다. 이때 drain과 channel부 사이에 P-영역이 형성되면서 전계가 완화되어 off 전류가 내려가고 또한 offset 영역의 저항이 감소되므로 I_{on} 이 증가한다. 이와같이 하는 경우 TFT의 on전류는 10 nA이상 off 전류는 100-10 fA 정도가 가능하고 따라서 I_{ob} 는 1-0.4 μ A 정도가 가능하게 된다.

V. 향후 전망 및 결론

1. 향후 전망

지금까지 SRAM이 주종이었던 전자기기용 memory 시장을 DRAM, pseudo SRAM(PSRAM), flash EPROM등이 급속히 위협하고 있다.

SRAM에 비해 bit당 가격이 낮은 DRAM은 약점인 소비전력을 저감하려고 노력하고 있으며 16M DRAM 세대부터 3V용 저소비전력 제품이 차례로 나오고 있다. DRAM과 같은 memory cell 구조를 가진 PSRAM에는 data 유지에 필요한 refresh 전류를 10μ A로 하여 1M DRAM에 비교하여 소비전류를 1/7이하로 내린 4M 제품이 시장에 나오고 있다. Flash EPROM은 data 유지에 전지가 필요없는 장점을 살려 memory card 시장을 겨냥하고 있으며 궁극적으로 SRAM보다 유망할 것으로 예측된다. 현재 1M는 제품화되어 있고 4M도 1992년 sample이 출하될 예정이다. 한편 저소비전류가 장점인 SRAM은 4M에서는 TFT cell을 채용하여 보다 낮은 저소비 전력화를 추구하여 소형 휴대기기 사향에 활로를 열고 있다. SRAM의 약점은 가격이 DRAM의 3-4배에 이른다는 것인데 이 약점을 저소비 전류 특징으로 얼마만큼 보상할 수 있는지가 SRAM의 채용여부를 결정할 것이다. 또한 고집적화에 수반하여 DRAM도 성능이 더욱 다양하게 개발되어 DRAM과 SRAM의 차이가 없어짐에 따라 고속이면서 동작여유가 넓으며 신뢰성이 높은 SRAM이 앞으로 더 유망해지고 미세가공기술의 진보에 따라 고집적화보다는 오히려 소비전력이나 전원전압의 문제해결이 더 중요한 과제가 될 전망이다.

2. 결론

메모리제품의 집적도는 반도체 공정기술의 발전에 따라 지속적으로 향상될 것이므로 SRAM도 향후 16M bit 이상으로 고집적화가 계속될 것이다. SRAM의 고

집적화에 필수적인 TFT기술은 현재 4M bit 제품부터 채용되고 있으나 TFT cell이 갖는 양호한 특성때문에 향후 TFT기술이 안정되고 성숙됨에 따라 모든 SRAM 제품군에 채용될 가능성이 있다. SRAM의 동작속도는 반도체소자의 지속적인 scale down과 BiCMOS 공정 및 설계기술의 채용으로 bipolar 메모리에 근접하는 성능을 갖게 될 것이다. 현재 PC, work station 등 system의 속도가 계속 빨라지는 추세이고 이에 따라 고속 SRAM이 향후 수 년이내에 SRAM의 주종이 될 것으로 예측되므로 고속 SRAM 설계 기술의 확보가 향후 SRAM 개발에 중요한 요소가 될 것이다. 또한 SRAM의 설계 기술은 SRAM 자체의 동작 속도뿐 아니라 system의 성능을 극대화하는데 초점을 맞추어 synchronous SRAM, dual port SRAM 등의 제품, microprocessor에 특화된 제품 및 특정 용도를 위한 제품을 개발하는 방향으로 활발히 전개될 것으로 보인다.

한편 전자기기의 소형화 및 휴대용 기기의 보급으로 인하여 저소비전력 및 저전압용 메모리의 수요가 급속히 증가할 것으로 보이는데 SRAM은 특성상 이 분야에서 다른 메모리에 대해 우위에 있으므로 앞으로 SRAM의 시장이 이 분야에서 크게 확대될 가능성이 있다. 그러나 DRAM과 flash memory가 집적도면에서 SRAM보다 우수하고 이들의 동작속도와 소비전력도 꾸준히 개선되고 있으므로 응용분야에 따라서는 SRAM과 치열한 경쟁이 벌어질 가능성이 있다. 그러므로 SRAM은 앞서 열거한 기술 및 제품 특성상의 우위성 및 시장조건등을 어떻게 조합하여 제품을 전개해 나가느냐 하는 것이 향후 성공적인 SRAM 개발의 관건이 될 것으로 보인다.

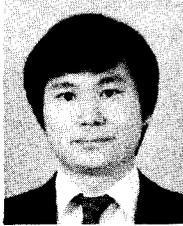
參 考 文 獻

- [1] Nikkei Microdevices, "4M SRAM 양산단계", 1991. 6
- [2] Nikkei Microdevices, "MOS LSI 저전압하의 시나리오", 1991. 4
- [3] 전파신문, "반도체 Device 현상과 전망", 1992. 1. 20.
- [4] Nikkei Electronics, "고속 SRAM 특정 Microprosser에 특화", 1990. 4.
- [5] Electronic World News, "SRAM 특집", 1992.2.
- [6] 반도체, "MOS SRAM Device기술", 1989. 10.
- [7] S. Wolf, Silicon Precess for the VLSI Era, vol.2, pp. 572-587

[8] IEDM Memories & Microprocessors, An Introduction to Design & Technology, Dec. 11, 1988.
 [9] Nikkei Electron, 1992년 2월호

[10] K. Yuzuriha, et al, "A New Process Technology for a 4M bit SRAM with Polysilicon Load Resistor Cell", Symp. on VLSI Technology, pp. 61-62, 1989. 

筆者紹介



尹 光 鉉
 1959年 4月 5日生
 1982年 2年 서울공대 공업공학과 (학사)

1982年 10月 ~ 1987年 3月 삼성반도체통신 근무 (기흥연구소)
 1987年 4月 ~ 1988年 1月 금성반도체 안양연구소
 1988年 1月 ~ 1989年 3月 금성사 중앙연구소
 1989年 3月 ~ 현재 금성일렉트론(주) 연구소 선임연구원
 주관심 분야 : SOI 구조의 thin film transistor 공정개발



朴 大 永
 1961年 1月 10日生
 1983年 2月 경북대학교 전자공학과 졸업
 1985年 2月 경북대학교 전자공학과 대학원 졸업

1985年 2月 ~ 현재 금성일렉트론(주) 선임연구원
 주관심 분야 : SRAM process 및 소자



朱 東 懌
 1974年 2月 서울대 공대 전자공학과 (학사)
 1976年 2月 한국과학원 전기 및 전자공학과 (석사)
 1984年 7月 미국 Univ. of Minnesota (박사)

1976年 3月 ~ 1980年 7月 삼성반도체(주)
 1984年 8月 ~ 1987年 7月 Honeywell Inc.
 1987年 7月 ~ 1989年 7月 Advanced Micro Devices
 1989年 8月 ~ 현재 금성일렉트론(주) 연구소 이사
 주관심 분야 : Submicron 반도체 소자, 공정, 신뢰도 기술 및 이를 이용한 고집적 memory technology 개발