

Design for Testability를 위한 檢査方式

李康鉉, 金容得*

朝鮮大學校 電子工學科, 亞洲大學校 電子工學科*

I. 序 論

電子産業의 半導體 分野는 CAD 툴(tool)의 도입으로 인하여 LSI/VLSI 設計技術이 급속히 發展함에 따라 칩(chip)의 集積度가 매우 增加하는 추세에 있다. 이로 인하여 回路의 複雜度가 높아지면서 칩 生産 以後에 回路檢査(circuit under test: CUT)에 대한 問題點이 심각하게 대두되고 있다.^[1-3] 設計된 回路의 論理的 機能을 100% 檢査할 수 있어야 하고 redundancy가 없어야 된다. 回路의 檢査費用(test cost)은 칩 價格과 直接的으로 관련되므로 이제는 回路檢査에 대한 電要性이 技術의 次元이 아닌 經營의 次元에서 다루지 않으면 안되게 되었으며, 대두된 檢査問題의 解決은 CUT에 대한 檢査方法과 檢査패턴(test pattern) 生成過程에 대한 評價가 된다. 이에 따라 D-알고리즘, PODEM, FAN, LSSD^[4-7] 등의 檢査方式이 提案되어 設計된 回路의 exhaustive 檢査, 機造的 檢査, 機能의 檢査에 사용되었다. 최근의 大規模化, 複雜化된 LSI/VLSI의 檢査는 방대한 檢査패턴이 要求됨에 따라 設計된 칩의 内部에서 自體的으로 故障를 檢出할 수 있는 機能을 內藏한 BIST(built-in self test)^[8]가 出現하였다.

본 原稿에서는 BIST의 範疇에 속하는 여러 檢査方式 중에서 回路全體를 機能的으로 檢査할 수 있을 뿐만 아니라 檢査패턴과 檢査時間을 激減시킬 수 있으며, 單一(single) stuck-at(이하 s-a) 故障뿐만 아니라 製造 工程上의 에러(error)로 인한 多重(multiple) s-a 故障까지도 檢出할 수 있는 pseudo-exhaustive 檢査^[9,10]를 소개한다. 제 2장에서는 BIST의 階層構造를 略述하고, 제 3장에서는 BIST 具現을 위하여 pseudo-exhaustive 檢査의 基本概念이 되는 副回

路의 分割(segmentation)과 回路機能의 檢證(verification)을 소개한다.

II. BIST 階層構造

回路의 複雜度가 상승함에 따라 回路의 檢査 패턴은 回路 入力數의 指數的으로 增加하게 되어, 回路 入力數가 10이상이 되면 檢査 패턴의 수는 1024 이상이 되어 사실상 非實用的인 檢査方法이 되어 檢査의 의미가 없게 된다. 따라서 적은 檢査패턴으로 設計된 回路의 精確한 動作을 檢證할 수 있는 檢査方法이 要求된다. 이 問題의 一般적 接近은 檢査의 容易性(testability)을 回路設計의 初期段階에서 考慮하는 "design for testability(이하 DFT)"^{[11][12]} 技術이다. DFT를 위하여 構造의 設計方式을 사용하더라도 複雜度가 높은 回路에서는 많은 양의 檢査패턴이 要求되므로, 칩 内部에서 檢査패턴의 生成을 自體的으로 減少시키고, 自體的으로 故障를 檢出하는 BIST를 사용하여 解決할 수 있다. 그림 1은 BIST의 基本構造로서 CUT의 入, 出力端에 BILBO(built-in logic block observer)가 附加되어 있다. 入力端 BILBO는 檢査패턴 生成器이며, 出力端 BILBO는 出力信號 分析器이다. 이러한 方法으로 BIST는 칩내에 또는 同一 보드상에 附加的으로 內藏되어 内部 機能回路를 自體的으로 檢査하고, 出力應答을 正常信號와 比較하여 故障의 有無를 分析하게 된다. 이러한 BIST의 長, 短點은 표 1과 같고, BIST의 범주에 속하는 檢査方法의 階層構造는 그림 2와 같다. 設計된 回路의 主出力(primary output: PO)은 그 出力機能을 나타

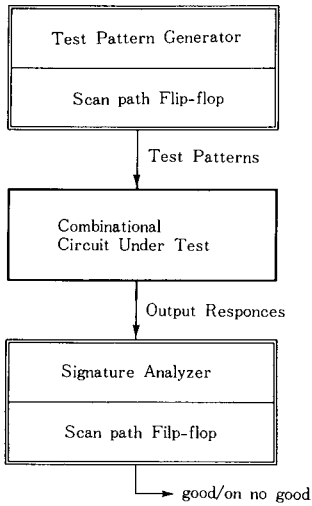


그림 1. BIST의 기본구조

표 1. BIST의 장, 단점

장 점	단 점
故障 모델 및 시뮬레이션이 不必要	檢査回路의 附加的 要用이 듬
檢査패턴 生成의 프로그램이 不必要	Compaction scheme 을 사용하는 出力응답의 檢證은 故障의 適用範圍를 놓칠 수 있음.
모든 出力應答의 記憶이 不必要	
스피드 檢査의 實行이 可能	

要求된다. 이러한 경우의 檢査方法은 exhaustive 檢査 및 랜덤檢査를 사용하게 된다. 그리고 主出力이 모든 主出力에 依存하지 않는 回路는 副回路의 分割 및 回路機能의 檢證으로서 實行되는 pseudo-exhaustive 檢査를 사용한다. 이상의 3가지 檢査方式의 故障適用 範圍(fault coverage) 損失은 exhaustive 檢査가 制限적이고, 그 다음은 pseudo-exhaustive 檢査, 그리고 랜덤檢査의 順이다.

1. Exhaustive 檢査

Exhaustive 檢査는 故障 모델과 故障 시뮬레이션이 제거된 檢査方式이다. 回路機能의 多樣化 및 複雜度의 상승에 따라 入力數가 增加하게 된다. Exhaustive 檢査는 入力數가 n일 때 檢査패턴의 數는 指數的으로 增加하여 2^n 으로 生成되므로 2進 計數器를 檢査패턴 生成器로 사용할 수 있지만 多入力の CUT에서는 非實用的인 檢査方法이 된다. 組合的 故障 모델의 表現을 위한 回路의 경우에 exhaustive 檢査가 必要하나, 檢査패턴의 數와 檢査時間이 크므로 制限的 故障 모델을 採擇할 필요성이 있게 된다. 이 檢査方式의 長點은 組合回路를 順序回路로 바꾸지 않고 檢出 可能한 모든 組合的 故障(bridging 故障 포함)을 檢出할 수 있는 故障適用 範圍가 크다는 점이다.

만약에 檢査패턴의 生成順序가 필요하지 않다면, 모든 狀態를 自動的으로 巡廻하는 LFSR(linear feedback shift register)의 使用이 보다 效果的이 된다. 이 檢査方式을 위해서 all-0 狀態가 必要한데 기존의 2^n-1 의 길이를 갖는 LFSR을 개선하여 그림 3과 같은 LFSR을 구성할 수 있다. 初期狀態를 1000로 하여 다음 狀態를 0000이 되게 하므로서 한 cycle은 $2^4=16$ 이 된다.

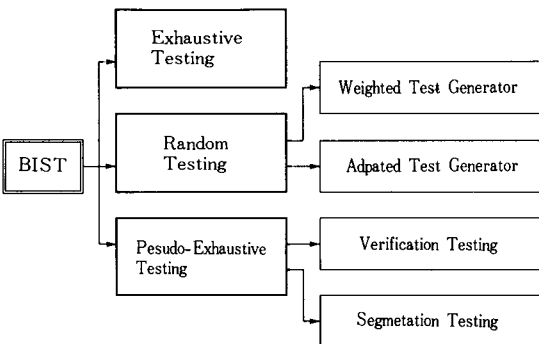


그림 2. BIST 檢査方法의 계층구조

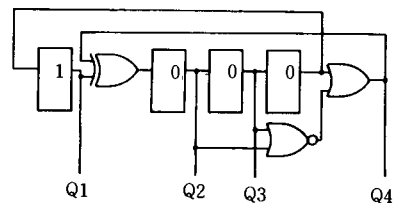


그림 3. All-0 狀態가 있는 4段 LFSR

내기 위하여 回路의 主入力(primary input :PI)에 依存하게 된다. 이때 主出力이 모든 主入력에 依存하는 回路는 檢査패턴이 모두 0인 狀態(all-0 state)가

2. 랜덤檢査

랜덤 檢査方式은 順序回路 및 組合回路에 다같이 適用할 수 있으면서, 適當한 檢査패턴의 數를 生成

할 수 있다. 反面에 回路의 故障適用 範圍가 줄어들고 必要한 檢査패턴의 數와 故障適用 範圍를 決定하기가 어렵다. 그러나로 어떤 回路는 이를 위하여 回路修正에 따른 再設計가 要求되기도 한다.

回路檢査의 確실한 信賴性을 얻기 위하여 必要한 랜덤 檢査패턴 數의 決定은 故障適用 範圍와 故障檢出度 사이의 關係를 使用한다. 랜덤 檢査패턴은 最大길이를 갖는 LFSR로 生成이 되고 이들 패턴중에서 1과 0의 生成確率은 각각 0.5의 順序를 만들어 낸다. 이를 위하여 그림 4는 外部 入力이 없는 D 플립-플롭을 直列連結하고 XOR 게이트에 의해 피드-백을 提供하는 autonomous LFSR의 構成이다.

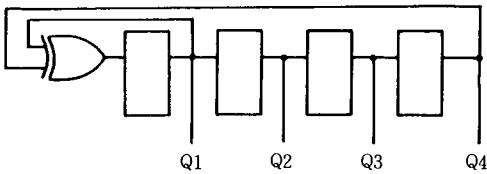


그림 4. 4段 autonomous LFSR

3. Pseudo-Exhaustive 檢査

回路의 主出力들이 모든 主入力에 依存하지 않는 回路는 回路全體를 exhaustive하게 檢査할 필요가 없다. 그러므로 하나의 主出力의 依存하는 主入력으로 구성된 回路의 部分(副回路)만을 exhaustive하게 檢査하는 패턴만을 生成함으로써 檢査패턴을 減少시킬 수 있다. 이 檢査方式은 故障 모델에 根據를 두고, 主出力이 依存하는 主入力の 組合이 故障表現에 의해 增加하지 않게 되므로 回路檢査는 主出力의 機能에 따른 副回路를 中心으로 實行이 된다. 그리고 이 檢査方式은 回路의 자세한 分析없이도 單一 s-a 故障의 適用範圍를 保障할 수 있지만, exhaustive 檢査에 비해 故障의 適用範圍의 損失을 가져온다. 그림5의 回路는 出力과 入力の 依存關係를 보여준다.

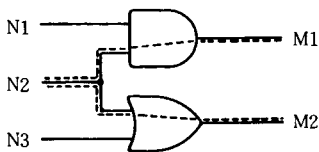
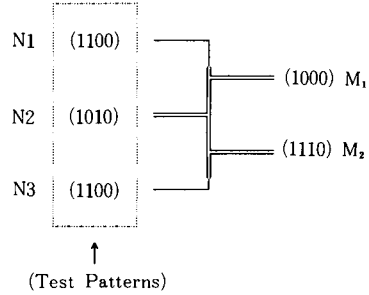


그림 5. 入, 出力의 依存關係

入力 N_2 는 出力 M_1, M_2 에 共有되는 依存入力이 되므로 표 2와 같이 構成하여 pseudo-exhaustive 檢査패턴을 生成한다.

표 2. 그림 5의 pseudo-exhaustive 檢査패턴



그 結果, exhaustive 檢査패턴의 數 $2^3=8$ 에 비해 50%가 減少된다.

Ⅲ. BIST 具現을 위한 CUT의 分割

이 후에서는 BIST 具現을 위한 CUT의 分割問題를 다루기로 한다. 2章에서 考察한 檢査方法들 중에서 故障의 適用範圍가 中間程度이고 減少된 檢査패턴으로 exhaustive 檢査의 長點을 가지고 있는 pseudo-exhaustive 檢査의 回路分割에 대하여 서술한다. 그리고 이에 따른 segmentation 檢査와 verification 檢査를 例를 들어 說明한다.

1. CUT의 副回路 分割

n 個의 入力과 m 個의 出力을 갖는 CUT는 2^n 個의 入力組合으로 生成되는 exhaustive 檢査패턴으로 m 個의 出力端을 各各 正確하게 檢査해야 한다. 이때 n 個의 入力を 갖는 回路의 exhaustive 檢査費用은 식(1)과 같이 檢査 패턴의 數로 正해진 檢査長 tl (test length)이다.

$$COST(exhaustive \ tl) = 2^n \quad (1)$$

入力數 n 이 커지면 exhaustive 檢査의 檢査長은 指數的으로 增加하여 檢査時間이 많이 걸리게 되므로 CUT를 分割하여, 各各의 分割된 副回路를 exhaustive 檢査해야 한다. CUT를 pseudo-exhaustive 檢査하기 위해서는 그림 6과 같은 回路分割方

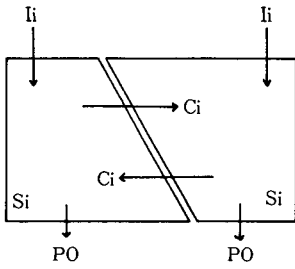


그림 6. CUT의 回路 分割

法을 使用하여 出力數 m 개의 副回路로 分割되는 各 副回路 $Seg.i$ 를 exhaustive 檢査할 수 있다(i 는 $1 \sim m$). CUT의 各 出力으로 부터 모든 入力으로 逆追跡(backtracking) 하게 되면 分割의 $Seg.i$ 의 入力數는

$$n(Seg.i) = I_i + C_i \quad (2)$$

이다. 여기서

I_i : $Seg.i$ 回路의 入力數

C_i : 이웃하는 $Seg.i$ 로 부터 境界線(cutline)을 통하여 들어오는 回路의 入力數

이다.

이때 各 分割의 境界數 上에서 傳達되는 正確한 C_i 의 入力數를 알아야하며, 檢査費用은 式(3)과 같이 檢査패턴의 全體 數로 정해진 t 이다.

$$COST(pseudo-exhaustive\ t)$$

$$= \sum_{(all\ seg.i)} 2^{n(seg.i)} = \sum_{i=1}^m 2^{I_i + C_i} \quad (3)$$

CUT 分割의 最適條件은 結局 낮은 檢査費用을 算出하는 것으로 式(4)와 같이 정의된다.

$$COST(pseudo-exhaustive\ t)$$

$$= \min_m \min_{seg.i} \sum_{i=1}^m 2^{n(seg.i)} \\ = \min_m \min_{(I_i + C_i)} \sum_{i=1}^m 2^{I_i + C_i} \quad (4)$$

2. Segmentation 檢査

Segmentation 檢査는 하나의 主出力이 거의 모든 主入力에 依存할 때 실행하는 檢査方法으로서 CUT는 構造的으로 多數의 副回路로 分割된다. 그림 7과 같은 (a)의 4 : 1 멀티플렉서 回路를 pseudo-exhaustive 檢査하기 위하여 (b)와 같이 構造的으로 分割하고, 國力된 副回路의 I_i 와 C_i 는 표 3과 같다.

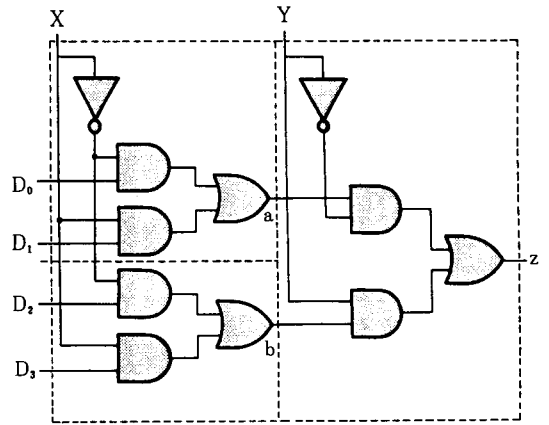


그림 7. (a) 멀티플렉서 (b) 回路의 分割

표 3. 그림 7의 各 S_i 의 I_i 와 C_i

	I_i	C_i
S1	D_0, D_1, X
S2	D_2, D_3, X
S3	Z	a, b

式(3)으로 부터 그림 7의 檢査패턴의 數는 24가 되고 이는 exhaustive 檢査패턴의 數 $2^6=64$ 에 비해 63%가 減少되어 있다.

3. Verification 檢査

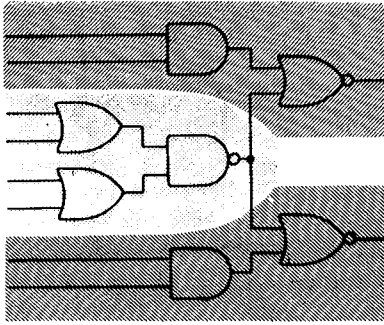
Verification 檢査는 하나의 主出力이 일부분의 主入力에만 依存할 때 실행하는 檢査方式이다. 이때 各 各의 主出力의 依存하는 主入力들을 決定하기 위하여 出力에서 入力으로 逆追跡을 한다. 그러므로 m 개의 出力을 갖는 CUT는 m 개의 副回路로 分割이 된다. 各 副回路가 exhaustive하게 檢査가 되면서 모든 副回路가 동시에 檢査가 이루어 진다. 그림8은 回路의 主出力과 主入力の 依存關係를 보여준다.

式(3)으로 부터 그림 8의 檢査패턴의 數는 出力 M_1 의 入力數 6에 의해 $2^6=64$ 와 M_2 의 入力數 6에 의한 $2^6=64$ 로서 128이 되어 exhaustive 檢査패턴의 數 $2^8=256$ 에 비해 50%가 減少되어 있다.

IV. 結 論

IC 設計는 CAD 툴의 導入으로 急速한 發展을 하

參 考 文 獻



Seg. 1, Shared, Seg. 2

그림 8. PO와 PI의 의존關係

였으며, 이에 따른 信賴度(reliability)가 높은 檢査技術도 要求하게 되었다. 이의 接近은 DFT이며, 이를 위한 代案이 設計된 칩내에 自體檢査 機能을 內藏한 BIST의 具現이다. BIST 具現을 위하여 組合論理 回路檢査에 exhaustive/pseudo-exhaustive 檢査研究가 持續되고 있으며, 效果인 檢査패턴 生成回로를 設計하기 위하여 CUT의 多角的인 分析이 必要하다.

3章에서 說明된 pseudo-exhaustive 檢査는 exhaustive 檢査에 비하여 檢査패턴은 50% 이상 減少할 수 있으면서 故障 모델 및 故障 시뮬레이션이 必要없는 檢査方式을 確認하였다. 그러므로 實際인 檢査時間은 故障 시뮬레이션 時間이 除外되므로 50% 보다도 훨씬 적음을 알 수 있다. 이 檢査方式은 回路의 主出力의 主入力에 대한 依存度에 따라 回路分割과 檢査方式으로 區分되었다. 여기서 考慮는 되지 않았지만 BIST의 모든 檢査方式은 同時型(concurrent) 檢査패턴 生成에 依存해야 한다. 그리고 이 檢査方式을 위해서 패턴生成이 容易할 수 있도록 計數器 및 시프트 레지스터를 基盤으로 한 檢査패턴 生成器의 設計가 切實히 必要하다고 생각이 된다.

따라서 이러한 檢査分野의 技術은 設計者와 回路檢査者 間의 원활한 협조 아래 새로운 試圖로서 DFT를 定立해 나가야 할 것이며, 回路檢査者만의 研究와 努力으로는 어려움이 남아 있다. 마지막으로 設計自動化를 위한 톨의 開發에서 自動 檢査 패턴 生成과 이를 利用하여 故障適用 範圍를 정의하는 故障 시뮬레이션의 機能을 갖는 톨이 포함되도록 開發, 研究되어야 할 것이다.

- [1] 이강현, 김용득, "關係行列을 利用한 CUT의 分割에 관한 研究," 電子工學會論文誌, vol. 27, no. 7, 1990. 7.
- [2] 이강현, 김용득, "t-分布를 利用한 回路分割의 境界노드 探索에 관한 研究," 電子工學會論文誌, vol. 27, no. 9, pp. 132-137, 1990.
- [3] E. Margir, "Design for Testability an Integrated approach to VLSI Testing," IEEE Int'l Conf. on Computer-Aided Design, pp. 68-70, Sept. 1983.
- [4] Roth J.P., "Diagnosis of Automation Failures: A calculus and a Methods," IBM J. Res. and Dev. 10, pp. 278-281, 1966.
- [5] Goel, P., "An implicit enumeration algorithm to generate tests for combinational logic circuit," IEEE Trans. on Computers, vol. C-30, no. 3, pp. 215-222, 1981.
- [6] Fujiwara, H., T. Shimono, "On the acceleration of test generation algorithms," IEEE Trans. on Comput., vol. C-32, no. 12, pp. 1137-1144, 1983.
- [7] E.B. Eichelberger and T.W. Williams, "A logic design structure for LSI testability," J. Des. Automat. Fault-Tolerant Comput., vol. 2, no. 2, pp. 165-178, May 1978.
- [8] McCluskey, E.J., "Exhaustive and Pseudo-exhaustive Test," Built-in Test Concepts and Techniques, Tutorial, ITC83.
- [9] Wang L. T. and E.J. McCluskey, "Circuits for Pseudo-exhaustive Test Pattern Generation Using Shortened Cyclic Code," IEEE 1987 Int'l Conference on Computer Design: VLSI In Computers & Processors, Port Chester, NY, Oct. 5-8, 1987.
- [10] Udell, "Test Set Generation for Pseudo-exhaustive BIST," CRC TR., Stanford Univ., Feb. 1987.
- [11] K.D. Wagner, "Design for Testability in the Amdahl 580," COMPCON Spring 83, pp. 384-388, 1983.
- [12] E.J. McCluskey, "Who Needs Design for Testability," 1991 IEEE Int. Solide-State Circuits Conf., San Francisco, CA, Feb. 1991. Ⓞ

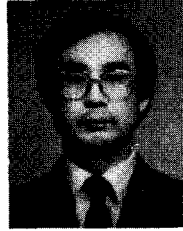
筆者紹介



李 康 鉉

1953年 7月 12日生
1977年 2月 조선대학교
전자공학과 졸업
1981年 8月 조선대학교 대학원
전자공학과(공학석사)
1991年 2月 아주대학교 대학원
전자공학과(공학박사)

1991年 10月 Stanford Univ., Center for Reliable
Computing의 Co-operative Research Staff
1977年 3月~현재 조선대학교 전자공학과 부교수
주관심 분야 : CAD/VLSI 및 시스템진단,
Design for Testability,
Fault Tolerance,
VHDL의 Fault simulation 합성기 개발



金 容 得

1946年 1月 30日生
1971年 연세대학교 전자공학과
졸업
1973年 연세대학교 대학원
(공학석사)
1978年 연세대학교 대학원
(공학박사)

1973年~1974年 불란서 ESE연구원
1979年~1980年 미국 Stanford대학교 연구 교수
1978年~현재 아주대학교 전자공학과 교수
주관심분야 : 하드웨어에 관련된 뉴-미디어 분야
로서 FA, OA, HA 네트워크 응용과 디지털 오디오
/비디오 활용 및 접속방안.

Concurrent Engineering

劉 泳 甲

忠北大學校 情報通信工學科

I. 병행공학 개관

세계 시장을 무대로 하는 제품개발에 있어서, 보수적인 개발방법에 의존하여 신제품 개발을 하는 기업이 병행공학(concurrent engineering)적인 방법을 쓰는 기업에 대하여 경쟁력을 상실하게 되는 경우가 늘고 있다. 이 갑작스런 경쟁력 약화는 제조원가, 품질, 신뢰성, 고객 만족도, 개발기간 등에 있어서, 새로운 접근방법이 강력한 힘을 발휘하기 때문이다. 이 병행공학적인 제품개발 방법은 이미 미국과 일본등 선진국 기업들의 신제품 개발 전략의 근간으로서 한국, 대만등 후발국 제품의 시장 진출 견제를 위한 주요한 수단이 되고 있는 것이다. 이 병행공학은 고품질 제품을 단기간내에 개발하여 최고의 고객 만족도를 확보하기 위한 제반 기법의 총칭으로 통하기 시작하였다.

지금까지의 보수적인 제품개발 전략은 순차적인 개발과정의 각 단계를 차례로 수행하는 것이 보통이다. 다른 전문 분야와의 교류는 미약하기 때문에, 제품 개발의 마지막 단계에는 관련 전문 분야간 이질화에서 오는 문제해결 노력을 항상 동반하게 되어 있다. 따라서 설계는 초기 단계에서부터 반복적인 수정작업을 되풀이 해야 하기 때문에, 전체 팀의 노력의 허비뿐만 아니라 개발기간 자체도 길어지게 된다. 이는 모든 설계요구사항을 만족시키기 위하여, 설계시양서의 매 항목마다 비슷한 반복적인 노력이 요구되기 때문이다.

병행공학에서는 모든 전문영역이 동시에 설계에 참여하기 때문에 작업초기의 한계와 요구사항간의 괴리를 정리해 버린다. 즉 모든 전문 분야의 요구사항이 총체적이고 통합적으로 고려된다. 따라서 반복적인 수정작업이 필요없게 되어 시간과 노력을 절약하게 된다. 이 개발과정은 최적 설계를 가져오게 되는데 이것은 동시에 병렬적으

로 작업하는 팀내에서 설계가능성을 신속하게 검증할 수 있기 때문이다.

병행공학적인 접근방법의 중요성은 신무기 체계 개발을 추진하고 있는 미국방성의 DARPA(Defense Advanced Research Project Agency)에 의하여 선도적으로 추진되고 있다. 신무기 체계가 요구하는 기술적 복잡도가 과도한 개발 및 생산비용의 급격한 증가를 요구하는 경향을 지니고 있는 바, DARPA는 병행공학적인 접근방법 채택에 의하여 이 비용증가를 억제함과 동시에 적기에 필요한 무기를 확보하고자 하는 활동을 활발하게 전개하고자 하는 것이다. 특히 최근 걸프전을 통하여 얻은 병참부분에서의 승리가 보여주는 것은 신무기들이 첫번의 실전배치에 성공적으로 기능을 발휘할 수 있어야만 현대전의 승리를 보장받을 수 있다는 것이다.

민수용 기기에 있어서도 개발비용 절감과 가격경쟁력의 유지는 신제품의 적기 출시와 맞물려서 이윤 극대화에 필수적인 요소가 된다. 5년의 시장수명을 가진 제품을 6개월 늦게 출시시키게 되면, 30% 정도의 이익감소를 겪게 되며, 거꾸로 경쟁사보다 30% 정도만 빨리 출시시키게 되면 50% 이상의 추가 이익을 가져올 수 있다고 한다. 이것은 과거 10년전 일본 SONY사의 휴대용 카세트 녹음기(상품명 Walkman)가 출시 초기에 300달러 이상의 가격을 경쟁사 출현시까지 유지하였다가 20달러 정도까지 하락한 예에서 잘 알 수 있게 된다.

병행공학이 추구하는 기법은 품질의 유지가 주요한 항목으로서, 이것은 제품 자체의 품질 뿐만 아니라 공정과 제도의 품질을 포함하는 총체적 품질관리전략(total quality control)을 포함한다. 이 총체적인 품질의 개념은 이미 국내에서도 보편화 되어 있는 일종의 투자 개념으로 받아들여지고 있다. 이 기법은 생산성 향상의 요체라고도 할 수 있는 바, 특히 공정불량률에 대한 재작업의 감