

## 통신에서의 신호처리 기술응용

김 대 영  
(충남대학교 전자공학과)

■ 차

례 ■

I. 서 론

II. 모델시스템의 개요

III. 송신부의 설계

IV. 수신부의 설계

V. DSP 사용시의 유의사항

VI. 결 론

### I. 서 론

최근 들어 실시간 처리의 빠른 능력으로 인해 관심을 끌고 있는 DSP 칩들이 신호처리, 제어 및 기타 통신 시스템에서 광범위하게 사용되고 있으며, 그 실행 속도의 향상과 더불어 on-chip 메모리의 확대 그리고 칩크기의 소형화가 가속화되고 있다. 이러한 DSP의 발달과 더불어 많은 통신 시스템들이 이에 의존하고 있고, 고속 DSP의 발달과 더불어 그 응용 분야는 더욱 확대되고 있다. 그 중에서 모뎀(modem)은 과거와 달리 거의 대부분의 기능들을 DSP 기술에 의존하고 있는 추세이다.

모뎀(modem)은 컴퓨터나 터미널 장치로부터 디지털 신호를 받아 전송 선로의 특성에 맞게 변조한 후 아날로그화 하여 송신하고, 아날로그화 된 변조신호를 복조하여 원래의 디지털 신호로 복원시켜 주는 일종의 신호 변환장치이다. 모뎀은 기본적인 변·복조를 포함한 핵심 기능, DTE(Data Terminal Equipment)와의 접속 기능, 전송 선로와의 접속 기능외에도 초기의 handshake, 자체 진단 및 시험, 오류 제어 등 여러 기능들이 필요하다. 통신 회선은 4선식 전용 회선과 2선식 공중 회선이 있으며 통신 회선은 근본적으로 제한된 대역폭을 가지므로 전송 도중에 여러 가지 왜곡을 겪게 된다. 따라서 이를 보상하는 여러 가지 기법이 요구되고 있고, 적응 등화기 및 반향 제거기 등의

복잡한 연산외에도 모뎀의 많은 부분들이 신호처리 기술에 의존하고 있다.

본 고에서는 CCITT V.22bis를 중심으로 모뎀의 핵심적인 신호 처리 기법들을 고찰해보고, 아울러 DSP로 구현할 때의 유의 사항을 언급한다.

### II. 모델 시스템의 개요

CCITT V.22bis 모뎀은 기본적으로 2400bps의 속도로 동작하며, FDM(Frequency Division Multiplexing)을 이용하여 주어진 대역폭을 양분하여 사용하고 있다.

(그림 1)은 V.22bis 모뎀의 전송 시스템 구성도이다. DTE로부터 입력된 데이터는 스크램블러를 통하여 랜덤(random)하게 된 후, 부호화기를 거쳐 in-phase와 quadrature-phase의 심벌 데이터 열로 변환된다. 부호화기를 거친 신호는 펄스 성형 여파기를 거쳐 대역이 제한되고, 이 기저대역(baseband)의 신호는 변조기에 의해 통과대역(passband)의 신호가 된다. 일반적으로 신호는 진폭 왜곡에 비해 위상 왜곡에 더 민감하므로 전화 선로를 통하기 전에 고정 등화기를 거쳐 선로상의 위상 지연을 어느정도 보상하게 된다.

수신부에 들어 온 신호는 대역 분리 여파기를 거쳐 고 자동 이득 조절기에 의해 신호 레벨이 조정되어진 후 힐버트 여파기를 거치게 된다. 복조기에 의해 거쳐

대역으로 된 신호는 시각 복구 회로에 의해 600baud의 신호열로 변환된다. 시각 복구 회로에 의해 동기된 신호는 전송 도중에 생긴 심벌 상호간의 간섭(ISI: intersymbol interference)과 잡음등에 의해 왜곡되어져 있으므로, 적응 등화기와 반송파 추적 회로를 통하여

이를 보상하게 된다.

왜곡 성분이 보상된 신호는 심벌 판정기에 의해 가장 인접한 성분으로 결정되어 복호화기를 거치게 된다. 이렇게 복호화된 데이터는 디스크램블러에 의해 원래의 신호로 복구된다.

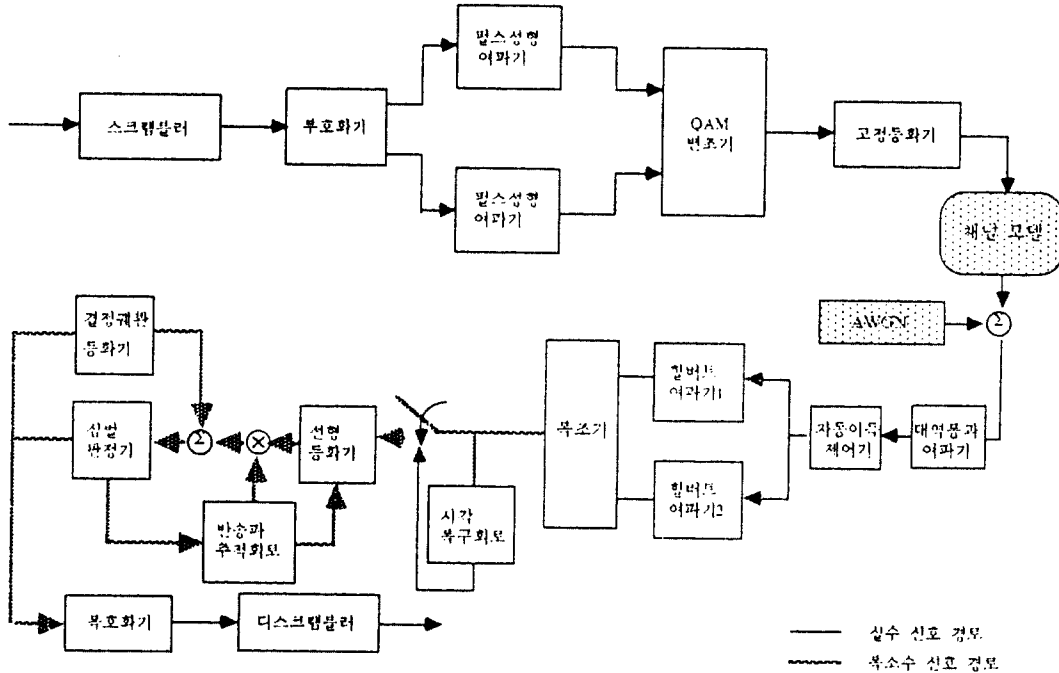


그림 1. 전송 시스템의 시뮬레이션을 위한 블럭 구성도

### III. 송신부의 설계

#### 1. 스크램블러

임의의 반복되는 데이터열이 전송될 경우 특정 주파수에 신호가 집중되어 인접 채널에 간섭을 야기하여 crosstalk의 주된 원인이 될 수 있다. 이러한 현상을 방지하기 위해서 스크램블러를 이용하는 데, 이는 데이터 패턴을 랜덤하게 하여 신호의 주파수 스펙트럼이 채널의 대역폭 내에서 거의 white하게 존재하도록 해 준다. 또한 스크램블러의 이용은 수신측에서의 심벌 동기 복구를 용이하게 해 준다. 즉, 심벌동기를 위해서는 심벌의 천이 성분이 필요한데, 데이터를 랜덤하게 하는 것은 결국 심벌의 천이를 증가시키게 되는

것이다.

예를 들어 CCITT V.22bis에서 채택하고 있는 스크램블러의 형태는 자기동기식(self synchronizing)으로써 발생다항식은 다음과 같다.

$$D_3 = D_1 \oplus D_3 \cdot X^{-14} \oplus D_3 \cdot X^{-17}$$

여기에서

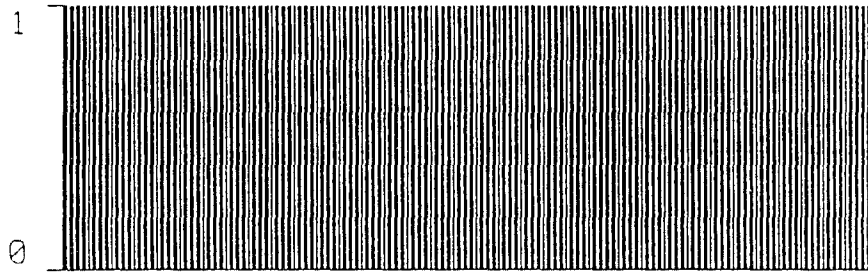
$D_3$ 는 스크램블러 출력에서의 데이터 열

$D_1$ 는 스크램블러에 인가되는 데이터 열

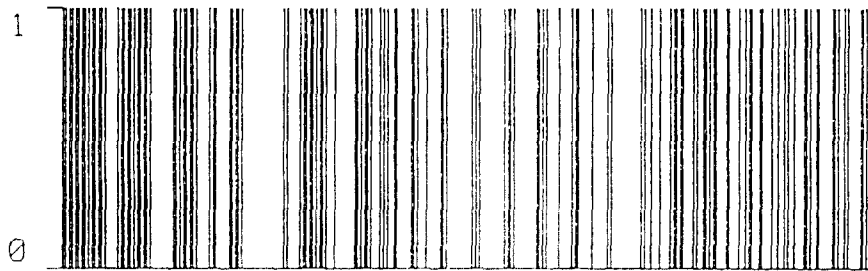
$\oplus$ : 모듈로(modulo) 2의 가산

$\cdot$ : 2진 승산

(그림 2)는 스크램블러의 입력으로 사용된 연속된 2진 "1"의 데이터 열과 스크램블링된 신호의 데이터 열이다.



(a) 연속 2진 "1"



(b) 스캔블록의 임펄스

그림 2. 스캔블록의 임펄스

## 2. 부호화기

제한된 대역폭을 갖는 선로를 보다 효율적으로 사용하기 위해서는 여러개의 데이터 비트들을 하나의 심볼로 변환시키는 작업이 필요하다. 따라서 스캔블록링된 데이터는 적당한 신호 근조로 부호화(encoding)된다. CCITT V.22bis 권고안에 따르면 모

뎀의 전송 속도는 2400bps이고 심볼 속도가 600baud 이므로 스캔블록의 출력은 4개의 비트당 1개의 심볼로 표시되어야 한다. 따라서 16레벨의 부호화가 필요하게 된다.

일반 스캔블록링 기간 신호열은 baud당 4개의 연속적인 비트(quadbit)로 나뉘어진다. 이 quadbit의 처음 두 비트는 먼저의 신호 element에 의해 점유된 quadrant와 비교하여 위상 quadrant를 변화시키고 나머지 두 비트는 새로운 quadrant에서 4 signal element 중 하나의 감정을 나타낸다. 이러한 차등 부호화(differential encoding)에 의해 송수신 모뎀간의 복조시의 동기화 문제가 극복할 수 있게 된다. 부호화기를 거친 후의 각 신호 element는  $1 + jQ$ 의 같은 복소수 형태로 인식되어진다. (그림 2)는 TMS320C25로 구현한 모뎀 시스템의 constellation이다.

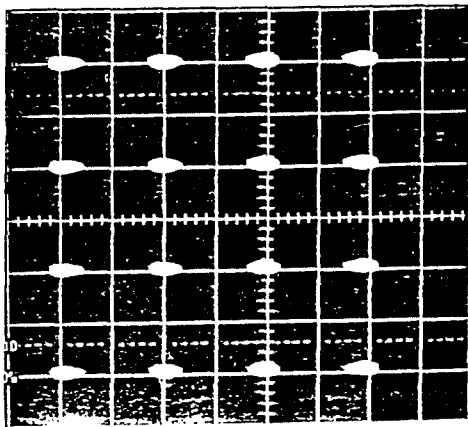


그림 2. 16QAM의 constellation

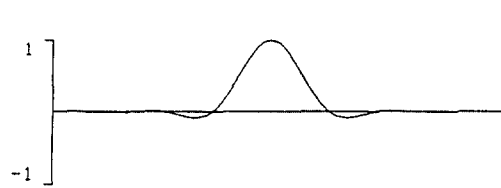
## 3. 펄수 성형 여파기

부호화기를 거친 신호는 시간 영역에서 분배 여전한 임펄스 열의 형태를 취하므로, 그 신호에 대한 스펙트럼은 무한대의 대역폭을 갖게 되어 제한된 대역폭을 갖는 선로상으로는 데이터 전송이 불가능하게

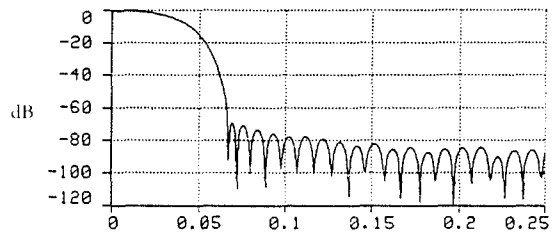
된다. 펄스 성형 여파기는 부호화기의 두 출력을 받아 전화 선로의 대역에 알맞도록 신호의 대역폭을 제한하는 동시에 전송 과정에서 야기되는 ISI를 방지하는 역할을 한다. 이러한 여파기의 특성은 이상적인 여파기를 이용하여 만족시킬 수 있으나, 실제 실현이 불가능하고 또한 임펄스 응답의 감쇄 특성이 완만하여 심벌 동기시의 timing error로 인하여 보다 많은 양의 ISI를 야기할 수 있다. 따라서 일반적으로 raised cosine spectrum을 갖는 여파기를 이용하게 된다.

CCITT V.22 bis 권고안의 경우 롤-오프(roll-off) 계

수가 75%인 raised cosine의 진폭 특성을 갖는 펄스 성형 여파기를 채택하고 있다. 일반적으로 펄스 성형 여파기는 선형 위상 특성을 갖도록 FIR(Finite Impulse Response)구조로 구현되어지는 데, 여파기의 임펄스 응답을 여파기의 탭(tap)수에 따라 truncation한 후 truncation의 결과로 발생하는 Gibbs 현상을 없애기 위하여 특정 window 함수를 truncation된 임펄스 응답에 곱하여 설계되어 진다. (그림 3)은 롤 오프 계수가 75%이고 Kaiser Window 함수와 함께 고려되어진 펄스 성형 여파기의 특성이다.



(a) 임펄스 응답 특성



(b) 주파수 응답 특성

그림 3. 송신 펄스 여파기의 특성

(그림 4)의 펄스 성형 여파기는 디지털 여파기로 구현할 때 발생하는 aliasing을 방지하기 위해 9, 600bps로 up-sampling한 FIR구조로써, 탭수는  $-3T \sim 3T$ 의 구간(T는 심벌 간격)을 가지도록 97개로 설정했다. 아울러 송신부와 수신부가 서로 양분한 형태의 여파기를 고려해야 하므로 실제 구현한 펄스 성형 여파기의 주파수 응답은 root-raised cosine의 특성을 취하고 있다.

일반적으로 97탭의 FIR 여파기의 구현시 97번의

곱셈과 1번의 덧셈이 필요하게 된다. 그런데 600Hz의 데이터율을 9600Hz로 16배 up-sampling하여 여파기를 거치기 때문에 한 심벌 사이에 15개의 0이 삽입된다. 따라서 이로인한 계산 시간의 낭비를 줄이고, DSP의 효율적인 사용을 위해서는 (그림 4)와 같이 파이프 라인 효과를 얻도록 코딩하는 것이 중요하다.

4. 변조기

펄스 성형 여파기를 기친 출력은 전화선의 대역에

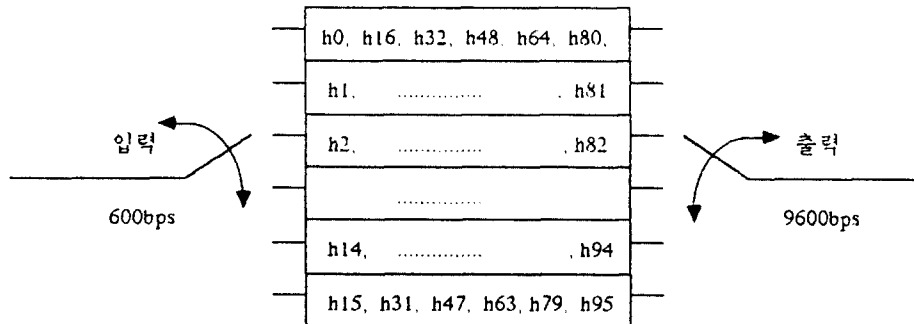


그림 4. 파이프 라인 효과를 얻기 위한 FIR 여파기의 구조

맞도록 변조되어야 하는데 in-phase channel은 cosine 파에 의해 quadrature phase channel은 sine 파에 의해 변조된다. 반송파와의 곱은 sine table을 만들고 table look-up 방식으로 행해진다.

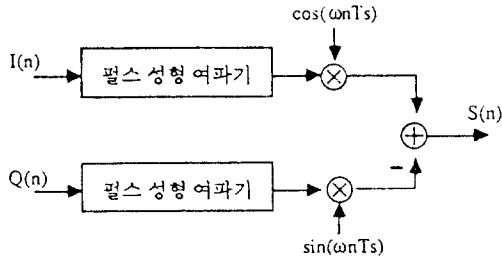


그림 5. QAM 변조기

5. 고정 등화기

일반적으로 신호는 전폭에 대한 왜곡보다 위상에 대한 왜곡에 더 민감하므로 신호를 전송하기 전에 신호에 대한 지연 왜곡을 보상하기 위해 고정 등화기가 두게 된다. 시간 지연만을 보상하기 위한 고정 등화기는 2차의 전대역 통과 여파기를 cascade로 연결하여 설계되어진다. 고정 등화기의 구현은 아날로그 영역의 여파기를 bilinear 변환을 이용하여 설계하였다.

2차의 전대역 통과 여파기

$$H(s) = \frac{s^2 - (\omega_c/Q)s + \omega_c^2}{s^2 + (\omega_c/Q)s + \omega_c^2}$$

을 bilinear 변환하면,

$$H(z) = \frac{(1 - \omega_c/Q + \omega_c^2) + 2(\omega_c^2 - 1)z^{-1} + (1 + \omega_c/Q + \omega_c^2)z^{-2}}{(1 + \omega_c/Q + \omega_c^2) + 2(\omega_c^2 - 1)z^{-1} + (1 - \omega_c/Q + \omega_c^2)z^{-2}}$$

$(\omega_c = \tan(\omega_c T/2))$

이 되고, 이를 cascade로 연결하여 구현하게 된다.

IV. 수신부의 설계

1. 자동 이득 제어기

전화선에 의한 감쇄로 인하여 입력되는 수신 신호는 그 레벨이 일정하지가 않다. 그러나 수신기에서의 신호 레벨은 통신 채널에 의한 감쇄와는 무관해야 한다. 이는 수신기의 적응 등화기, 반송파 복구 회로의 알고리즘이 신호 결정 회로의 threshold를 사용하는 것에 기인한다. 이러한 threshold level들은 입력 신호

의 실제적인 dynamic range에 걸쳐 일정하게 유지되어야만 한다. AGC(Automatic Gain Control)는 출력 신호가 어떤 일정한 레벨로 유지되도록 임의의 dynamic range에 걸쳐 동작하는 일종의 적응 시스템이다. AGC에서는 수신된 신호와 기준 신호간의 에너지 차를 인지한 후 이를 보상하게 된다. 따라서 안정적인 이득을 얻기 위해서는 AGC에서 계산되는 에너지는 long term averaging을 해야 하므로, 실제 구현에 있어서는 에너지는 수백 샘플에 대한 평균을 취해 구하였다. 아울러 AGC가 신호의 감쇄 특성을 보상한 후 일단 안정된 상태가 되면 사소한 이득 변화에 너무 민감하지 않도록 에너지 구간에 히스테리시스를 부여야 한다.

(그림 6)은 신호의 감쇄 특성이 각각 0.1배와 0.01배일때 AGC의 보상 특성을 보여주고 있다.

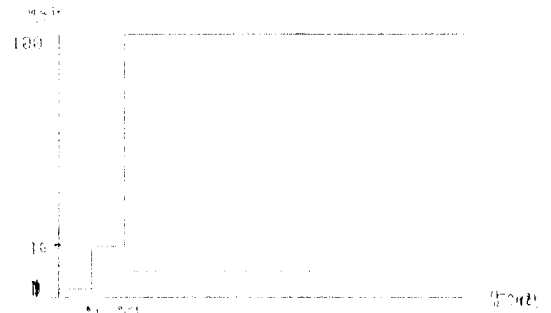


그림 6. AGC의 이득 보상

2. 복조기

복조기는 신호를 통해 수신된 통과대역 신호를 원래의 기저대역 신호로 변환시키는 역할을 한다. 힐버트(Hilbert) 여파기를 이용한 복조의 경우 수신 신호를 90도의 위상차로 갖는 힐버트 여파기에 통과시킨 후 반송파 주파수와 곱하여 원래의 기저대역 신호를 얻게 된다. 힐버트 여파기는 송신부의 펄스 성형 여파기와 같은 구조로써 송신 여파기의 중심 주파수를 전역시키지 설계하였다. 즉, I채널과 Q채널의 힐버트 여파기의 계수는 각각 송신 펄스 성형 여파기의 계수 h(nTs)로부터 다음과 같이 구할 수 있다.

$$h_i(nTs) = 2h(nTs) \times \cos(\omega_c nTs)$$

$$h_q(nTs) = 2h(nTs) \times \sin(\omega_c nTs)$$

힐버트 여파기를 가진 신호는 반송파와 복조음을

행함으로써 원래의 기저대역 신호로 된다. (그림 7)은 smoothing되기 이전 DAC출력단에서 관찰한 복조 신호의 눈모양이다.

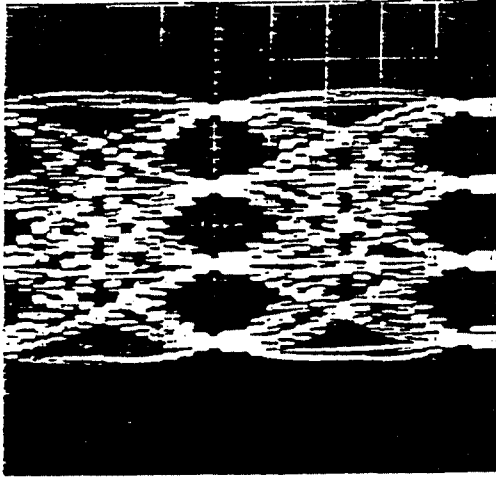


그림 7. 복조 신호의 눈모양(Smoothing되기 이전의 DAC 출력)

3. 시각 복구 회로

동기 데이터 통신을 이상적으로 수행하기 위해서는 송신측으로부터 전송되어 온 심벌 데이터를 정확히 표본화할 수 있어야 한다. 이를 위해 수신신호에 내포되어 있는 심벌 동기 정보를 추출할 수 있는 시각 복구 회로가 필요하다. 대표적인 방법으로 협대역 여파기와 자승기를 이용하는 방법이 있는데, 이 방법은 수신된 신호의 스펙트럼에서 심벌 동기 주파수를 중심 주파수로 하는 협대역 여파기를 이용하여 표본화 클럭을 추출하는 것이다. 복조기에서 출력되는 신호는 우선 비교적 낮은 Q값을 가진 협대역 여파기에 의하여 심벌 속도의 1/2에 해당하는 신호 성분으로 검출된 다음 자승기에 의해 자승된다. 자승기의 출력은 중심 주파수가 심벌 속도와 같은 협대역 여파기를

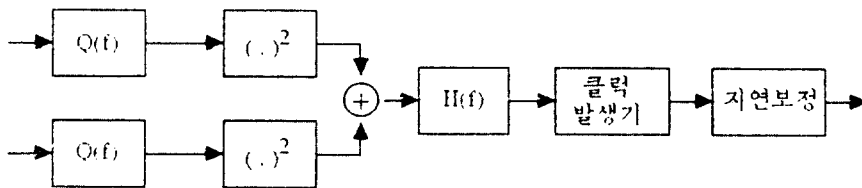


그림 8. 협대역 여파기를 이용한 시각 복구

가치게 되어 심벌 속도와 같은 정현파(tone)가 나오게 된다. 이 신호의 복조된 신호의 눈모양을 비교하여 복조 신호의 눈이 최대로 열리는 점에서 표본화를 하게 된다.

협대역 여파기 Q(f)는 중심 주파수가 심벌 주파수의 1/2인 300Hz로써 많은 전력을 얻도록 비교적 낮은 Q값을 가지며, H(f)는 중심 주파수가 심벌 주파수인 600Hz이고 높은 Q값을 가진다. 이 시각 복구 회로의 협대역 여파기의 구현은 고정 등화기와 유사하게 아날로그 영역에서 2-pole의 전달 함수를 구하여 bilinear 변환을 거쳐 z영역으로 전환시킨 IIR의 형태로 구현 된다.

통과대역 여파기의 z영역에서의 다음과 같이 얻어질 수 있다. 아날로그 영역에서 중심 주파수가 ω인 2-pole IIR여파기는

$$H(s) = \frac{\omega_0}{Q} \frac{s}{s^2 + (\omega_0/Q)s + \omega_0^2}$$

로 표현되며, 이를 bilinear 변환하면,

$$H(z) = \frac{1-B}{2} \frac{1-z^{-2}}{1+Az^{-1}+Bz^{-2}}$$

이 된다.

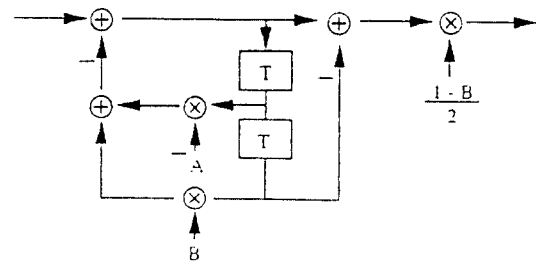


그림 9. IIR 여파기의 구조

(그림 10)은 시각 복구 회로의 출력인 600Hz 정현

파이다. 이를 (그림 7)의 복조 신호 눈모양과 비교하여 눈이 가장 크게 열리는 점에서 시각이 발생하도록

시연을 보정하게 된다.

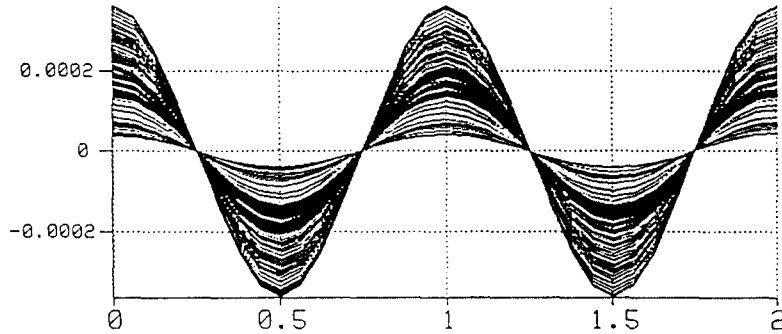


그림 10. 시각 복조를 정원파의 time wave

4. 적응 등화기

일반적으로 수신 신호는 통신 채널을 거치는 동안 잡음 및 심벌간의 간섭등에 의해 왜곡이 된다. 특히 ISI는 고속 데이터 전송을 저해하는 주 요소로 이는 선로의 주파수 특성이 이상적이지 못해 생기는 것으로써 데이터 검출 성능의 저하를 초래한다. 등화기는 채널의 결함을 보충하는 전달특성을 만들어 주파수상의 왜곡을 교정하게 된다. 선형 등화기(LTE; Linear Transversal Equalizer)는 심벌 속도를 표본화 클럭으로 사용하는 가장 일반적인 형태의 등화기로 그 구조가 간단한 편이나, 시각 위상에 따라 전력 영점이 발생할 수 있고 나이퀴스트 주파수 영역 밖의 주파수에서 잡음을 줄일 수 없다는 단점이 있다.

이에 반해 결정 궤환 등화기(DFE; Decision Feedback Equalizer)는 forward 및 backward 등화기로 구성 되어 신호를 비선형적으로 처리한다. 심벌 결정시의 시연이 문제가 되지 않는 경우 일반적으로 DFE는 LTE에 비해 우수한 성능을 나타내며, 시각 위상에도 덜 민감한 것으로 알려져 있다.

그림11의 DFE구조에서 multiplier는 delay항과 weighting 계수와의 곱셈을 행한다. 모든 tapped delay line으로부터의 항들은 최종적으로 더해져서 여파기 출력을 만든다. 이 여파기는 weighting 계수의 변화에 의하여 조절이 된다. weighting 계수는 decision logic으로부터 feedback된 에러에 의해 조정된다. Adaptive process는 LMS(Least Mean Squar)알고리즘에 의해 보

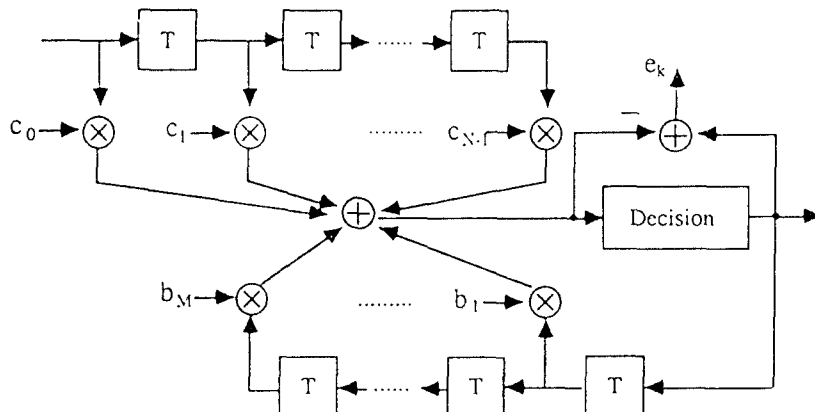


그림 11. DFE의 구조

든 계수를 조정한다.

전송 도중에 생긴 반송 주파수의 위상 변동을 복조기에서 직접 보상하지 않고 forward equalizer의 출력단에서 보상해 주는 경우, forward equalizer의 탭 작용식에  $\exp(j\theta(n))$ 의 항이 포함되어야 한다. 따라서 forward equalizer와 backward equalizer의 작용식은 각각 다음과 같이 표현된다.

forward equalizer :

$$C_i(n+1) = C_i(n) + \Delta f \sum_{i=1}^p X(n-p+i) c(n) \exp(j\theta(n))$$

$$i = 1, 2, \dots, p$$

backward equalizer :

$$C_i(n+1) = C_i(n) + \Delta b \sum_{i=1}^q A(n-q+i) c(n)$$

$$i = 1, 2, \dots, p$$

여기에서  $p$ 는 forward equalizer의 탭수,  $q$ 는 backward equalizer 탭수이고  $\Delta f$ 는 forward equalizer의 step size,  $\Delta b$ 는 backward equalizer의 step size이다.

(그림 12)에서는 step size에 따른 적응 등화기의 에러의 수렴 현상을 보여주고 있다. 적응 등화기의 step size는 LMS 알고리즘의 수렴 속도 및 안정성을 제어하는 인자가 된다. step size의 값이 너무 크면 탭 계수는 작은 잡음에 대해 발진하여 큰 왜곡을 발생시킬

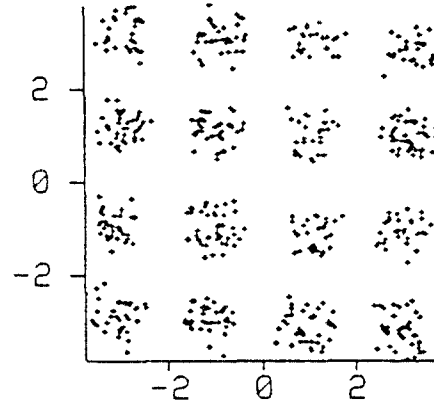
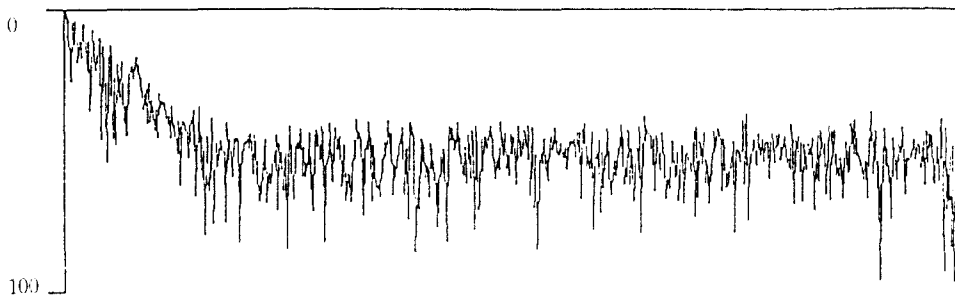
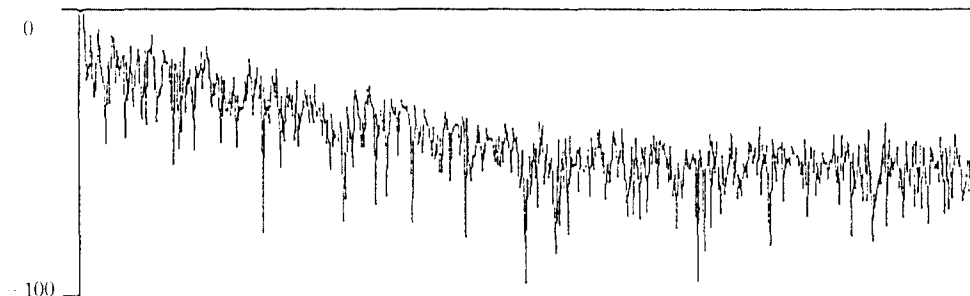


그림 13. 채널에 의해 왜곡된 신호 constellation



(a) step size =  $2^{-7}$



(b) step size =  $2^{-9}$

그림 12. step size에 따른 적응 등화기의 MSE



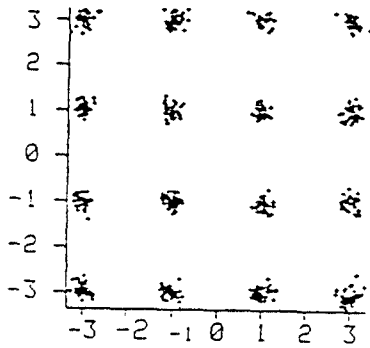


그림 14. 적응 등화기에 의해 보상된 신호 constellation

수 있으며 반대로 너무 작으면 탭 계수들이 수렴하는데 너무 큰 시간이 걸리게 된다. 즉 빠른 수렴 속도와 안정된 정상 상태는 서로 이율배반적이므로 적절한 trade-off를 고려하여 step size를 결정해야 한다.

5.반송파 추적 회로

수신 신호는 주파수 편차, 위상 지터(jitter), 초기 위상차등에 의해 왜곡되어 있으므로 정확한 복조를 위해서는 반송파 추적 회로가 필요하다. 반송파 추적 회로는 등화기의 탭 적응 알고리즘에 사용한 MSE를 동일한 cost function으로 하고 gradient following 알고리즘으로 이를 최적화하는 data-aided loop의 형태가 된다. 아울러 주파수 편차의 보상을 고려하여 반송파 추적 회로는 보통 2차로 구성된다.

수신된 신호에 주파수 편차나 위상 지터등의 위상 변동이 존재할 경우 반송파 추적 회로의 작용식은 등화기에서 estimate된 신호  $Y(n)$ 와 decision된 신호  $A$

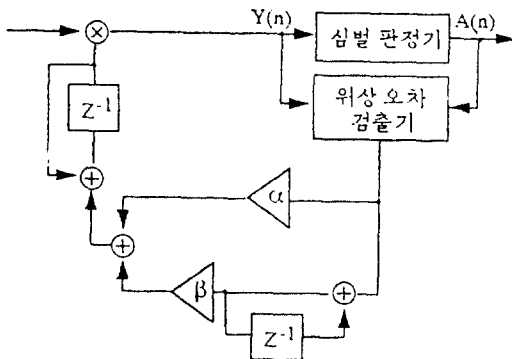


그림 15. 2차의 반송파 추적 회로

(n)으로부터

$$\theta(n+1) = \theta(n) + \alpha \text{Re}\{\text{Im}\{A(n) \cdot Y^*(n)\} + \sum \beta \text{Re}\{\text{Im}\{A(i) \cdot Y^*(i)\}\}$$

이 된다.

$\alpha$ 와  $\beta$ 는 loop filter의 parameter로써 adaptation 속도를 결정하는 step size이다.  $\alpha$ ,  $\beta$ 는 loop filter의 cut-off 주파수 성분으로써 적응 등화기의 step size와 마찬가지로 수렴 속도와 안정성을 고려하여 선택되어야 한다. (그림 15)는 2차의 반송파 추적 회로의 구조를 보여주고 있다.

(그림 16)은 V.22bis 원리에 제시된 최대 주파수 편차 7Hz에 의해 왜곡된 신호의 constellation이고, (그림 17)은 2차의 반송파 추적 회로에 의해 보상된 신호의 constellation이다.

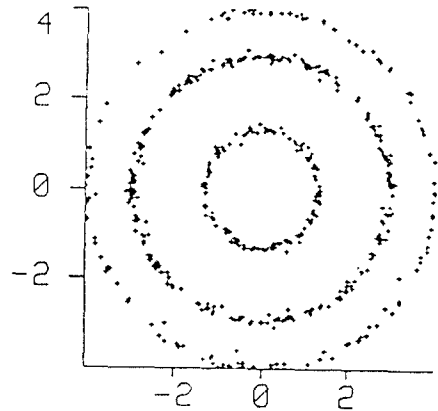


그림 16. 주파수 편차에 의해 왜곡된 신호 constellation

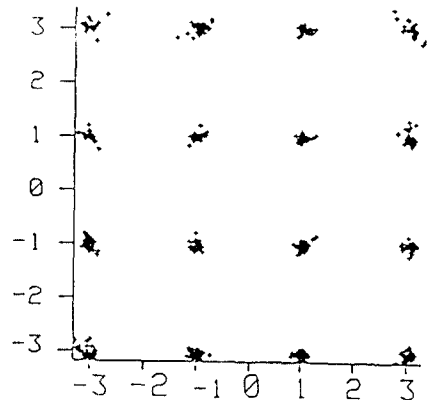


그림 17. 반송파 추적 회로에 의해 보상된 신호 constellation

### V. DSP 사용시의 유의사항

DSP에서는 정수 처리만이 가능한 것과 실수 처리까지 가능한 것으로 구분되고 있는데, 여기에서는 주로 정수 처리기의 사용에 있어서의 문제점들과 실행 사이클(execution cycles)과 명령 주기(instruction cycles)의 관계에 대해서 살펴본다.

#### 1. 정수 처리기 사용시의 문제점

대부분의 DSP칩들이 정수 처리만 가능하도록 제작된 것이 많으므로 (예를 들어 TI사의 TMS320 계열) 여파기나 등화기 그리고 제어기등의 구현에 있어서 모든 변수나 계수들의 표현에 있어 정수 표현이 가능하도록 해야한다. 실제로 16비트의 레지스터에 변수나 계수를 저장하고 덧셈, 곱셈들을 수행해야 하기 때문에 실수를 적당한 정수로의 형태 변환이 필요한데, 주로 쓰이는 것에는 S포맷과 Q포맷이다. Q포맷의 경우에는 Qa의 형식으로 사용되는데 여기에서 a는 소숫점 이하 자리의 크기를 의미한다. 예를 들어 16비트로 동작하는 DSP의 경우 Q15포맷을 사용한다면 (그림 18)과 같이 표현 된다.

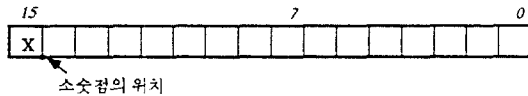


그림 18. Q15 포맷의 정수 표현

그림에서 보듯이 15번째 비트가 사인(sign) 비트이고 나머지는 소숫점 이하의 자리를 말한다. 그러므로 실수 0.5와 -0.5는 각각 16진수로 H4000과 HC000으로 표현되어진다.

그런데 만일 실수를 정수의 표현으로 사용했을 경우 덧셈의 경우는 소숫점의 위치에만 동일하게 맞추어 계산해 주면 되지만, 곱셈의 경우에는 유효 숫자와 함께 소숫점의 이동 위치를 찾아내야만 한다. 예를 들어 TMS320C25의 경우, Q15 포맷으로 된 두 수의 곱셈 결과는 32비트의 P 레지스터를 거쳐 ACC로 옮겨졌을 때 (그림 19)와 같이 소숫점이 Q30에 위치하게 되므로 16비트의 레지스터로 저장하기 위해서는 소숫점의 위치와 유효 숫자의 범위를 재지정해 주어야 한다.

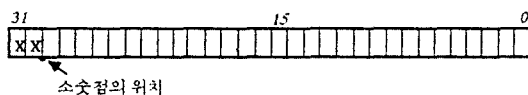


그림 19. Q15 포맷 데이터의 곱셈 후 소숫점 위치

또한 정수 표현의 형식을 빌었을 때 IIR 여파기등과 같은 계산을 할 때, overflow나 underflow의 문제를 함께 고려해야만 한다. Cascade형태로 IIR여파기를 구현할 때 여파기의 계수값들을 적당한 크기로 weighting해주지 않으면 overflow가 발생할 수 있다.

그러므로 정수 처리만이 가능한 DSP를 사용할 때에는 각 값들의 표현이나 계산 과정에 있어서 세심한 주의가 기울어질 필요가 있다.

#### 2. 실행 사이클의 문제점

대표적인 DSP의 제약중의 하나가 실행 사이클의 문제이다. 100ns의 한 명령 주기로 동작하는 TMS320C25의 경우, 내부 메모리(on-chip memory)만을 사용한 상태에서 수행할 때 만일 샘플링 주파수로 9600Hz를 선택했다면 한 샘플사이에서 데이터를 처리하는 속도가 1040사이클 정도로 제한된다. 따라서 만항 제기기등을 포함한 고속 모뎀 및 반복적인 많은 연산이 필요한 시스템의 경우 실행 사이클의 제한을 받게 된다. 따라서 DSP의 사용시 샘플링 주파수와 사이클의 제약을 고려해야만 한다. 실행 사이클의 제약을 다소 극복하기 위해서 많은 DSP들이 명령어의 실행 구조를 파이프라인에 의해 동작하도록 하고 있는데, 이러한 효과를 최대한 살리기 위해서는 branch 명령을 가능한 줄이고 사용된 DSP의 장점을 최대한 살리면서 동작하도록 실행 사이클을 줄이는 노력을 해야 할 것이다.

### IV. 결 론

이 상에서 CCITT V.22bis모뎀을 중심으로 통신 시스템을 DSP로 구현하기 위한 각 기능 블록의 알고리즘과 그에 따른 유의 사항에 대해서도 언급하였다.

일반적으로 전송 시스템을 DSP로 구현하기 위해서는 우선 각 기능 알고리즘의 설계 및 시뮬레이션이 선행되어야 한다. 시뮬레이션에 의해 검증과 아울러 범용 DSP를 이용한 에뮬레이션이 병행되어진다. 즉 시뮬레이션은 고급 언어 수준에서 각 기능 블록의 검증 및 최적화를 수행하며, 에뮬레이션에서는 실제 DSP를 통한 시스템 구현시의 문제점들을 최소화하기 위한 것이다. 따라서 에뮬레이션은 실시간 처리 검증에 위한 것으로써, overflow 및 DSP의 처리 능력에 따른 실행 사이클을 고려하여 프로그램을 최적화하는 것이 중요하다.

앞으로 고속 DSP의 발달과 더불어 이걸 이용한 많은 응용 알고리즘의 개발과 이에 따른 신호처리 기술의 향상이 기대된다.

#### 감사의 글

본 고에 일부 인용된 실험결과들을 도출하는데 지원을 해주신 한국전자통신연구소의 최해욱 부장님, 광명신 실장님 및 관련 반도체단 연구원분들께 감사드립니다.

#### 참 고 문 헌

1. CCITT, Rec. V.22, V.22bis, V.24, V.25, CCITT Blue Book, VIII.1, Oct. 1988.
2. John G. Proakis, Digital Communication, McGraw Hill, New York, 1983
3. John A. C. Bingham, The Theory and Practice of Modem Design, John Wiley & Sons, 1988.
4. Sergio Benedetto, Ezio Biglieri and Valentino Castellani, Digital Transmission Theory, Prentice Hall, 1987.
5. Edward A. Lee and David G. Messerschmitt, Digital Communication, Kluwer Academic Publishers, 1988.
6. R. W. Lucky, J. Salz and E. J. Weldon, Jr., Principles of Data Communication, McGraw Hill, 1988.
7. Alan V. Oppenheim and Ronald W. Schaffer, Discrete Time Signal Processing, Prentice Hall, 1989.
8. John A. C. Bingham, The Theory and Practice of Modem Design, John Wiley & Sons, 1988.
9. Lawrence R. Rabiner and Bernard Gold, Theory and Application, Digital Signal Application Prentice Hall, 1975.
10. Masahiro Koya, Kohhei Ishizuka and Namiichi Maeda, High Speed Data Modem using Digital signal Processor, 14.7.1-14.7.5, IEEE, 1981.
11. Jack Kurzweil and John A. C. Bingham, "A Microprocessor Implementation of a Switched Network Full-Duplex 2400bps Modem", IEEE, 1981.
12. M. Ajmone Morsani, G. Albertengo and S. Benedetto, "High Speed Modem with Microprocessor: Design and Implementation of the Synchronization Algorithms", IEEE, 1981.
13. D. N. Green, "Global Stability Analysis of Automatic Gain Control Circuits", IEEE Tr. Circuits and Systems, Vol. CAS-30, No.2, pp. 78-83, Feb. 1983.
14. L. L. Franks and J. P. Bubrowski, "Statistical Properties of Timing Jitter in a PAM Timing Recovery Scheme", IEEE Tr. Comm. Vol. COM-22, No.7, pp.913-920, July 1974.
15. K. H. Mueller and M. Muller, "Timing recovery in Digital synchronous data receivers", IEEE Tr. Comm., Vol. COM-24, No.5, pp.516-531, May, 1976.
16. R. W. Chang and R. Srinivasagopalan, "Carrier recovery for data communication system with adaptive equalizer", IEEE Tr. Comm., Vol. COM-28, No.8, pp.1142-1153, Aug. 1980.
17. Shahid U. H. Qureshi, "Adaptive Equalization", proceedings of the IEEE, Vol.73, No.9, pp. 1319-1381, Sep. 1985.
18. J. Salz, "Optimum mean-square decision feedback equalization", B. S. T. J., Vol.52, No.8, pp. 1341-1373, Oct. 1973.
19. M. S. Mueller, "Least square algorithms for adaptive equalizers", B. S. T. J., Vol.60, No.8, pp. 1905-1925, Oct. 1981.
20. D. D. Falconer, "Jointly adaptive equalizer and carrier recovery in two-dimensional digital communication system", B. S. T. J., Vol.55, No.3 pp. 317-331, Mar. 1976.
21. D. D. Falconer, "Application of passband decision feedback equalizer in two dimensional communication systems", IEEE Tr. Comm Vol. COM-24, No.10, pp. 1159-1166, Oct. 1976.
22. D. N. Godard, "Self Recovering Equalization and Carrier Tracking in Two Dimensional Data Communication Systems", IEEE Tr. Comm., Vol. COM-28, No.11, Nov. 1980.
23. G. Kenneth Miller, "Automatic Adaptive Equalization for Medium Speed Modems", Computer Design, pp.233-238, Sep. 1982.
24. 한국전자통신연구소, "CCITT V.22 bis 모뎀 시스템의 알고리즘 연구", 1991.
25. 김지현, 이용준, 예충영, 최해욱, "CCITT V.22 bis 모뎀 시스템의 알고리즘 연구", 제 4 회 신호처리합동학술대회 논문집, pp.447-451, 1991.9.
26. 김지현, "CCITT V.22bis 모뎀의 시뮬레이션 연구"

- 구,” 충남대학교 석사학위 논문, 1993.
27. 이용주, “CCITT V.22bis 모뎀의 에블레이션 연구,” 충남대학교 석사학위 논문, 1993.



김 대 영

- 
- 1952년 5월 28일생
  - 1975년 2월 : 서울대학교 전자공학과 졸업(공학사)
  - 1977년 2월 : 한국과학기술원 전기 및 전자공학과 졸업(공학석사)
  - 1983년 2월 : 한국과학기술원 전기 및 전자공학과 졸업(공학박사)
  - 1983년 5월 ~ 현재 : 충남대학교 공과대학 전자공학과 부교수