

Al-1%Si 박막 금속화의 신뢰도 향상을 위한 연구

최재승 · 김진영

광운대 전자재료공학과
(1992년 7월 22일 접수)

A Study for the Increased Reliability of Al-1%Si Thin Film Metallizations

Jae Seung Choi and Jin Young Kim

Department of Electronic Materials Engineering, KwangWoon University

(Received July 22, 1992)

요 약—Electromigration은 인가된 전계하에서 발생하는 전자풍력에 의한 금속 이온의 이동 현상이며, 반도체 디바이스의 주요 결함 원인으로 보고되어 왔다. 선폭 $1\mu\text{m}$ 의 Al-1%Si 금속 박막 전도체에 대한 electromigration 수명 실험을 위해 인가된 d.c. 전류밀도는 10 MA/cm^2 이었고, electromigration에 대한 활성화 에너지 측정을 위한 분위기 온도는 80°C , 100°C 그리고 120°C 이었다. 평균수명 및 신뢰성에 대한 보호 절연막 효과를 위해 두께 3000 \AA 의 SiO_2 산화막을 sputtering 진공 증착기를 사용하여 Al-1%Si 금속 박막 전도체 위에 증착하였다. 주요 연구 결과는 다음과 같다. Al-1%Si 금속 박막 전도체의 electromigration에 대한 활성화 에너지값은 0.75 eV 이었고 온도가 증가함에 따라 Al-1%Si의 수명은 감소하였고 신뢰성은 향상되었다. SiO_2 보호막은 electromigration에 대한 저항성을 크게함으로써 평균수명을 향상시켰으며, electromigration failure는 lognormal failure distribution을 갖는 것으로 나타났다.

ABSTRACT—Electromigration describes the transport of a metal ion in thin film metallizations by an “electron wind” force under the influence of an applied electric field. This has been reported to cause the serious failures in microelectronic circuits. Electromigration life tests were performed on Al-1%Si thin film metallizations at a d.c. current density of 10 MA/cm^2 and in ambient temperatures of 80°C , 100°C and 120°C . In order to study the passivation effects, a silicon dioxide of 3000 \AA in thickness was deposited onto the conducting Al-1%Si thin films by using a sputtering deposition. The main results of this study are as follows: (1) The activation energy for electromigration failures is 0.75 eV for the Al-1%Si thin film metallizations, (2) The life time of Al-1%Si is decreased as the temperature is increased, but the reliability of Al-1%Si is improved, (3) The SiO_2 overlayer improves both the resistance for the electromigration and the reliability of the Al-1%Si thin film metallizations, (4) The electromigration failures show lognormal distribution.

1. 서 론

고밀도 고집적화 기술의 지속적인 발전으로 현재는

VLSI 시대를 거쳐 ULSI 시대에 이르렀다. 하나의 chip 위에 많은 성분을 집적할 때 상대적으로 큰 chip 영역을 차지하는 interconnect와 gate 그리고 con-

tact으로 사용되는 금속화는 이러한 집적화된 반도체 소자의 결함 발생 요인으로 대두된다. 금속화의 조건은 소자 제조 기술에 따라 변하며 모든 VLSI 회로에 적합한 유일한 금속화를 정의하는 것은 불가능하다. 하지만 모든 VLSI 금속화에서 공통적으로 나타나는 문제점들 중에 하나가 electromigration에 의한 금속 박막 전도체에서의 결함이다. VLSI 회로들의 최소 크기와 선폭이 1 μm 또는 그 이하로 작아짐에 따라 새로운 요구는 interconnection을 위한 신소재, 신기술에 집중되고 귀금속, refractory metal, impurity doped aluminum 등의 단일 박막 금속화 또는 barrier층과의 다층 박막 금속화등 다양한 연구[6, 7]가 진행 중이다. IC 성능과 소자밀도(device density) 개선을 목적으로 하는 device scaling이 electromigration에 미치는 영향은 두 가지로 나타난다. 하나는 전류밀도의 증가로 인해 나타나는 것이고, 다른 하나는 소자의 크기가 감소됨으로써 나타나는 것이다. 전류밀도의 증가는 Joule heating을 증가시켜 전도체 온도를 증가시키고 결국 원자 확산계수를 크게하여 물질이동을 일으키게 된다. 이러한 요소들이 결합하여 전류밀도만으로 발생하는 것보다 훨씬 더 증가된 electromigration flux가 발생한다. 여러 기술 개발기간에서 FET와 bipolar 소자에 대한 선폭과 전류밀도의 값을 표 1에 나타내었다.

Electromigration은 인가된 전계의 영향으로 금속 내에서 발생하는 원자의 이동현상이다. 이러한 electromigration은 금속화 결합기구로서 VLSI microelectronic device의 신뢰성 판정에 중요한 역할을 담당한다. Electromigration의 구동력은 두 가지 효과가 합쳐져서 나타난다. 가전자가 떨어져 나간 원자의 ionic core와 전계사이의 정전기적 상호작용(electrostatic force), 그리고 이러한 ion과 흐르고 있는 전하(charge carrier) 사이의 마찰력 소위, "electron wind" force가 함께 나타나며 금속 박막에서는 일반적으로 electron wind force가 우세하다.

즉, 다결정질 박막 전도체(polycrystalline thin film conductor)를 통해 전류가 흐를 때, atomic flux, J 는 주로 격자(lattice)와 결정립계(grain boundary)에서의 electromigration으로 생겨난다. 격자에 대해

$$J_1 = \frac{1}{kT} N_1 D_1 j \rho e Z_1^* \quad (1)$$

표 1. 소자내의 electromigration parameter의 추세

기 간	Line width(μm)	Current density (10^5 A/cm^2)	
		FET	Bipolar
1970년대	3-6	0.2-0.5	0.5-1
1980-85	1.5-3	0.5	1
1980년대 후반	0.5-1.5	1-2	8-15

이상적인 결정립계 구조에 대해

$$J_b = \frac{1}{kT} \frac{N_b \delta}{d} D_b j \rho e Z_b^* \quad (2)$$

여기서 N 은 원자밀도, D 는 확산계수, j 는 전류밀도, ρ 는 비저항, eZ^* 는 유효전하, k 는 Boltzmann 상수, T 는 절대온도이다. δ 는 물질이동을 위한 effective boundary width($\sim 10 \text{ \AA}$)이고 d 는 결정립의 평균 크기이다.

두 성분의 상대적인 기여도는 J_1 와 J_b 의 비로 구할 수 있다.

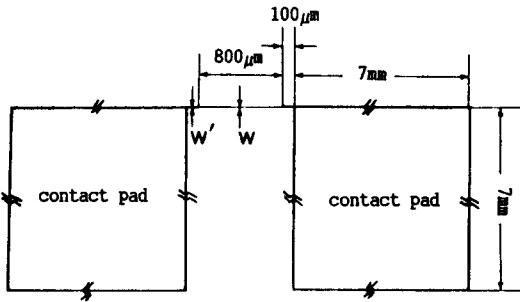
$$\frac{J_1}{J_b} = \frac{N_1 d D_1 Z_1^*}{N_b \delta D_b Z_b^*} \quad (3)$$

0.5 T_m 에서 1 μm 의 결정립을 갖는 박막에 대해

$$N_1 \cong N_b, \quad \frac{d}{\delta} \cong 10^3, \quad \frac{D_1}{D_b} \cong 10^{-7} \quad \text{and} \quad \frac{J_1}{J_b} \cong 10^{-4}$$

따라서 매우 높지 않은 온도에서 lattice diffusion으로 인한 atomic flux는 grain boundary diffusion에 비교하여 작게 감소하여 grain boundary diffusion이 물질 이동에 주요한 형태가 된다.

Electromigration 현상은 한 세기 이상 관측되어 왔으나, 1950년대 초에 와서야 비로서 체계적인 연구가 시작되었다. 금속 박막에서의 electromigration에 관한 연구는 알루미늄 스트라이프(stripe)에서 electromigration에 의해 crack이 형성된다는 사실이 Blech와 Sello에 의해 관측된 이후 1970년대 초부터 시작되었다[1-3]. 대부분의 연구는 반도체 IC내에서 electromigration-induced failure에 대한 신뢰성 문제에 중점을 두었다. Electromigration 평균수명을 증가시키기 위한 alloying effect도 연구되어 Si의 첨가가 Al



Test Line = 800 microns $w = 1 \text{ micron}$
 L = 100 microns $w' = 2 \text{ microns}$

그림 1. Electromigration test stripe의 도식도.

박막 전도체의 평균수명에 이로운 효과를 갖는 것[2, 6]이 밝혀졌다. 금속 박막에서의 electromigration에 관해 정리한 많은 논문들이 1970년대에 발표되었고, 1980년대에는 electromigration 현상을 통계적, 이론적으로 정확히 해석하기 위한 연구[7-10]가 이루어졌으며, 최근에도 IEEE thin-film electromigration workshop 등에서 논의되고 있다.

본 accelerated stress test는 stress condition에서 금속화의 failure를 나타내는 sample parameter들을 구하고자 하는 것이다. 이러한 parameter들은 금속화 신뢰도 판정에 이용되며, 금속화와 공정 기술의 선택을 위한 중요한 결정에 이용된다. 본 연구에서는 Al-1%Si 박막 전도체에 대해 온도에 따른 failure를 분석하여 박막 전도체의 평균수명 및 신뢰성을 연구하였고 또한 활성화 에너지를 구함으로써 electromigration에 대한 저항성을 연구하였다.

2. 실험

Electromigration test를 위한 test structure는 E-beam lithography로 제작되었다. E-beam lithography로 제작된 pattern은 d.c. 전류를 인가하여 electromigration으로 인한 금속 박막 전도체의 저항 증가를 관찰함으로써 failure distribution을 규정하도록 설계되었다. Work station SUN을 사용하여 pattern을 설계하였으며, 이 데이터를 GDS format으로 magnetic tape에 저장하여 electron beam machine, Cambridge model EBMF 10.5에 입력하였다. Pattern의

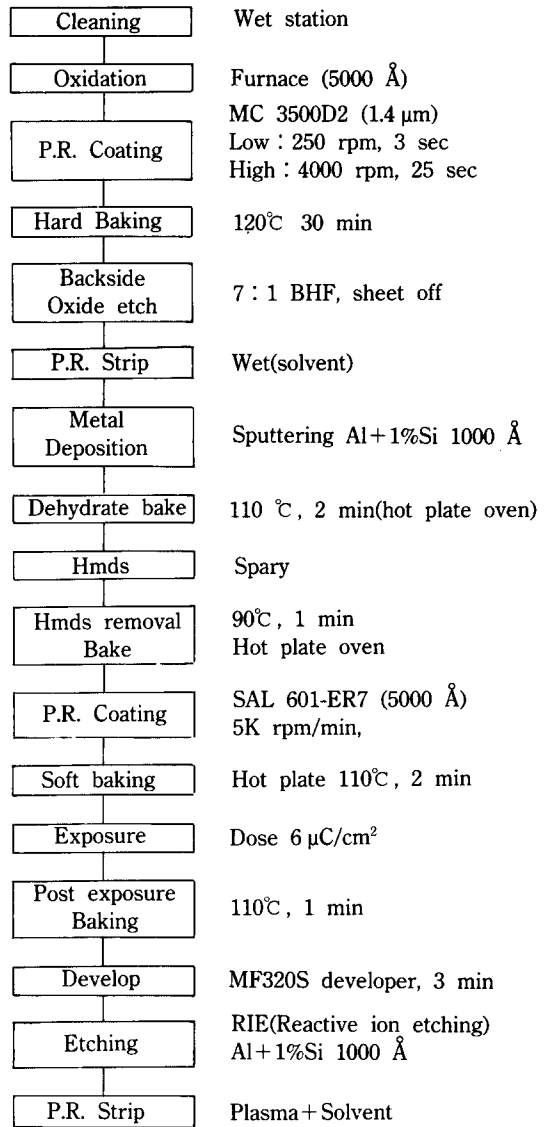


그림 2. E-beam lithography.

구조는 전류를 인가하고 전압을 측정할때 사용하는 2개의 단자로 구성되어 있다. Metallization의 형태는 폭(w)이 1 μm, 길이(L)가 800 μm인 straight test line이다. Test line의 각 끝은 폭(w')이 2 μm인 wider line에 연결되며 wider line에서 contact pad까지의 거리(L)은 100 μm이다. 이를 그림 1에 나타내었다.

E-beam lithography에는 dopant로서 boron이 첨가된 p-type (1 0 0) 웨이퍼를 사용하였으며, 4-inch 웨이퍼 위에 18개의 test structure가 제작되었다.

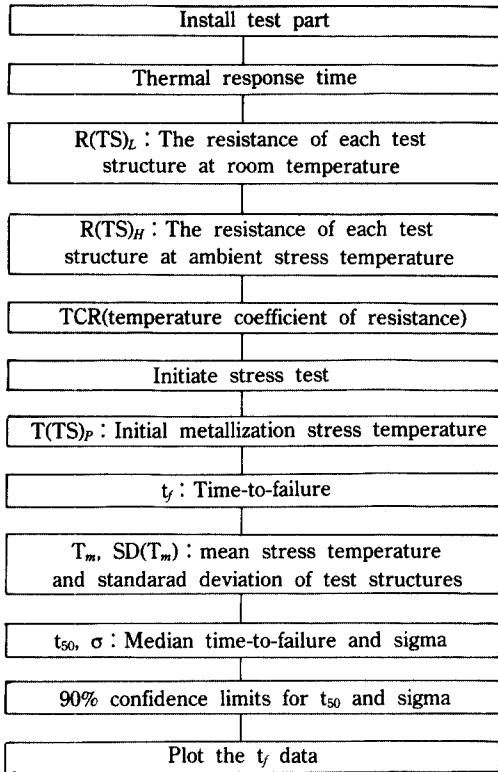
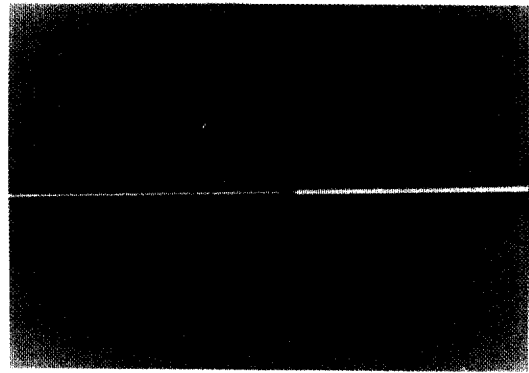
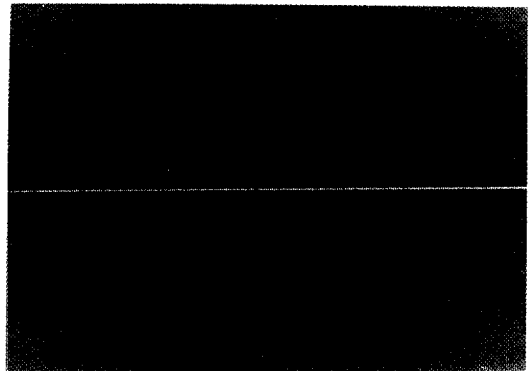


그림 3. Electromigration test.

Thermal oxidation으로 성장된 산화막의 평균두께는 약 $5000 \pm 20 \text{ \AA}$ (σ)이었다. MRC 920M sputter를 사용하여 두께가 1000 \AA 인 Al-1%Si 금속 박막을 증착하였으며 평균 면저항은 $320 \text{ m}\Omega$ 이다.

평균수명을 비교하기 위하여 일부 test structure는 passivation layer를 형성시켰다. Passivation은 SiO_2 target을 장착한 Annelva Co. SPF-210 sputter를 이용하였으며 산화막의 두께는 약 3000 \AA 이다. Test structure의 전체적인 제작 공정을 그림 2에 나타내었다.

금속 박막 전도체의 시간에 따른 저항 변화를 관찰하여 회로의 open으로 인한 저항의 급격한 증가를 보이는 시간으로 수명(t_f)을 측정하였다. 인가된 d.c. 전류밀도는 10 MA/cm^2 이었고, 활성화 에너지를 구하기 위해 80°C , 100°C 그리고 120°C 의 분위기 온도에서 실험하였다. 또한 passivation 효과를 연구하기 위하여 E-beam lithography로 제작된 후 3000 \AA 의 SiO_2 산화막을 성장시킨 test structure는 10 MA/cm^2 의 전

그림 4. (a) 10 MA/cm^2 , 80°C , EM test 후의 test stripe ($\times 500$).그림 4. (b) 10 MA/cm^2 , 100°C , EM test 후의 test stripe ($\times 500$).

류밀도로 150°C 에서 실험하였다. 전류원으로 HC-P 2330AD를 사용하였고 time-to-failure, t_f 와 전압 변화 그리고 test structure를 통과하는 전류를 결정하기 위해 FLUKE 8050A digital multimeter를 사용하였다. 온도 측정은 K-type(Chromel-Alumel)의 thermocouple을 사용하였다. 전체적인 electromigration test 과정을 그림 3에 나타내었다.

3. 결과 및 고찰

모든 test structure에 대해서 failure는 stripe을 따라 불규칙하게 분포한다. 각 온도에서 임의로 선택한 test structure에 발생한 failure를 그림 4에 나타내었다. 물질 이동으로 인한 open circuit failure를 보여주고 있다. 그림 5의 SEM 사진은 물질이동으로 인해 stripe의 양극 부분에 발생한 hillock을 나타내고

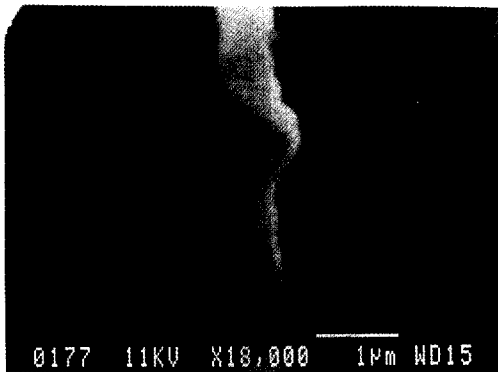
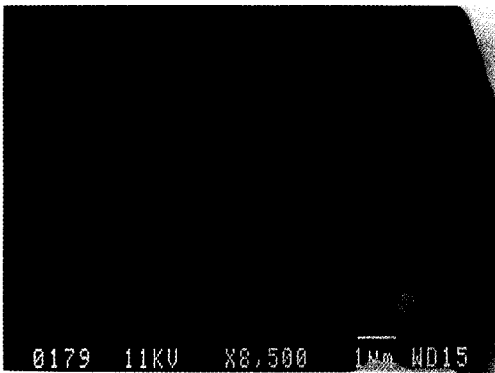


그림 5. 10 MA/cm², 120°C, EM test 후의 test stripe SEM.

있다.

Stripe에 인가되는 전체 온도는 식 (4)와 (5)에 나타나 있는 TCR(temperature coefficient of resistance)을 이용하여 계산하였으며 약 10°C 정도의 Joule heating이 발생하였다.

$$TCR = \frac{R(TS)_H - R(TS)_L}{R(TS)_L \cdot \{T(TS)_H - T(TS)_L\}} \quad (4)$$

$$T(TS)_P = T(TS)_O \frac{R(TS)_P - R(TS)_H}{R(TS)_L \cdot TCR} \quad (5)$$

여기서 T(TS)₀는 주기적으로 변하는 분위기 온도의 평균값이다. Stripe에 인가되는 각각의 평균 온도 (mean stress temperature), T_m과 표준편차, SD(T_m) 그리고 TCR의 평균값을 표 2에 나타내었다.

실험 중에 측정된 전도체의 저항변화는 각 온도에서 거의 같은 경향을 나타내었다. 전형적인 저항변화를

표 2. Stripe에 인가되는 stress temperature와 표준편차

Specimen	1	2	3
T _m	91	114	131
SD(T _m)	3.04	4.36	1.16
TCR	0.00346	0.00248	0.00249

표 3. 평균시간과 표준편차

Specimen	t ₅₀	Conf (90%)	σ
1	4.71	1.38 ≤ t ≤ 16.90	1.50
2	1.48	0.42 ≤ t ≤ 5.23	1.50
3	0.41	0.13 ≤ t ≤ 1.31	0.99
4	6.86	2.03 ≤ t ≤ 23.24	0.90

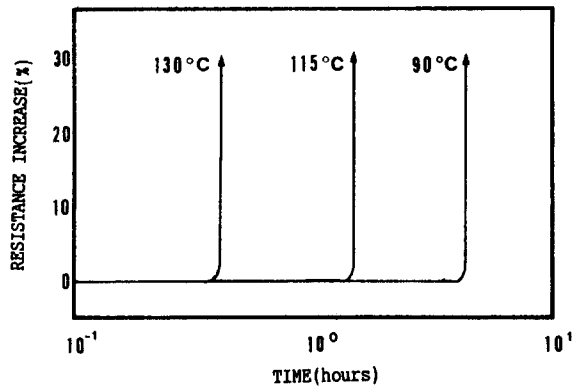


그림 6. 전도체의 저항변화.

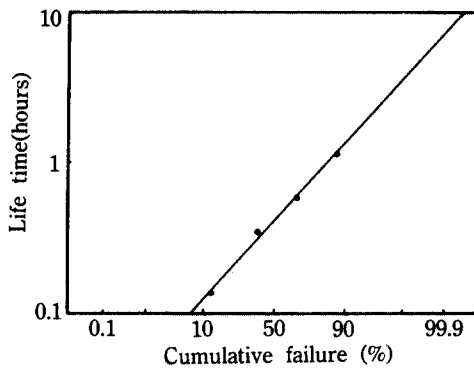
그림 6에 나타내었다. 어느 정도의 잠복기가 지난 후 급격한 저항 변화가 발생하였으며, 이것은 점차적인 저항 증가를 보이는 순수한 알루미늄이나 알루미늄을 기본으로 하는 다른 합금들과는 다른 결과[9, 10]이다. 따라서 failure의 범위는 회로의 open으로 결정하였다.

각 온도에서 test structure의 평균시간(median time-to-failure)과 표준편차 그리고 각각의 90%의 신뢰구간을 표 3에 나타내었다. t₅₀은 ln(t)의 평균을 구한후 다음 식을 이용하여 계산한다.

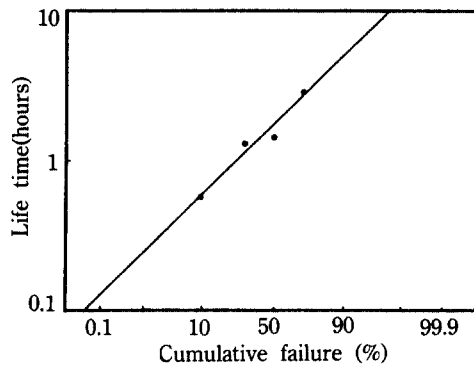
$$t_{50} = \exp \bar{Y}$$

Ȳ : mean of the ln(t)

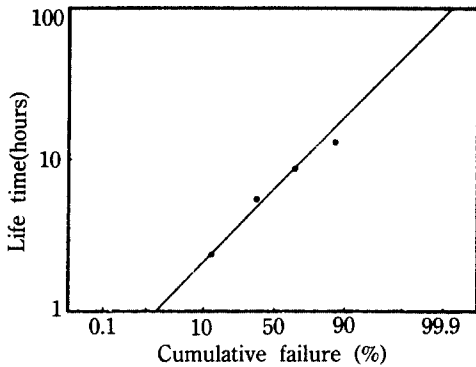
sigma, σ는 다음식



(a) 90°C의 stress temperature



(b) 115°C의 stress temperature



(c) 130°C의 stress temperature

그림 7. Time-to-failure vs. cumulative percent.

$$\sigma = \left[1 + \frac{1}{4(N-1)} \right] \left[\frac{\sum_{i=1}^N (\ln t_{fi} - \ln t_j)^2}{N-1} \right]$$

을 이용하며 N 은 sample 수이다. t_{50} 과 σ 에 대한 90% 신뢰한계는 다음식을 이용하여 구한다.

$$t_{50s} \exp[\pm t(0.95; N-1) \cdot \sigma / (N)^{1/2}]$$

$$\sigma \left[\frac{N-1}{x^2(0.95; N-1)} \right]^{1/2} \text{ and } \sigma \left[\frac{N-1}{x^2(0.05; N-1)} \right]^{1/2}$$

여기서

$t(0.95; N-1) = N-1$ 의 자유도를 갖는 t 분포의 95번째 percentile

$x^2(0.95; N-1) = N-1$ 의 자유도를 갖는 x^2 분포의 95번째 percentile

$x^2(0.05; N-1) = N-1$ 의 자유도를 갖는 x^2 분포의 5번째 percentile

Specimen 1, 2, 3은 SiO_2 보호막을 갖지않는 test structure들로서 각각 90°C, 115°C, 130°C의 stripe 온도에서 electromigration test를 수행하였다. 결과는 stripe 온도가 증가함에 따라 평균수명은 감소하고 신뢰성은 향상하는 것으로 나타났다. Specimen 4는 약 3000 Å의 SiO_2 보호막을 갖는 test structure들로서 150°C의 분위기 온도에서 electromigration test를 수행하였다. SiO_2 보호막을 갖지않는 specimen 1, 2, 3과 비교하여 평균수명이 상당히 증가하였고 신뢰성 역시 향상되었다. 이러한 결과로부터 SiO_2 보호막이 Al-1%Si 금속 박막 전도체의 electromigration에 대한 저항성을 향상시키는 것으로 추정하였다.

그림 7은 증착된 금속화(metallization)를 세 가지 온도에서 실험하여 얻은 failure time, t_f 에 대한 누적 확률(cumulative probability)을 나타낸 것이다. Cumulative percent failure는 가로축에 나타내었고 log를 취한 failure time은 세로축에 나타내었다. 데이터 좌표의 위치는 Hazen algorithm을 사용하여 계산하였다. 즉, $F(t)$ 는 $[i-0.5]/N$ 이며 여기서 i 는 failure의 분류된 순위이고 N 은 전체 sample 수이다. 데이터 변환의 마지막 단계에서 적당한 분포함수, $\ln[-\ln[1-F(t)]]$ 의 역수를 취해 X축의 값을 얻는다. 그림과 같이 모든 점들은 90%의 신뢰구간에서 직선적으로 나타난다. 따라서 electromigration failure는 lognormal distribution을 갖는다고 할 수 있으며 이것은 일반적으로 나타나는 electromigration failure distribution[7]과 일치한다.

일정한 전류밀도로 실험한 test structure들에 대해 온도의 역수에 대한 $\ln(t_{50})$ 의 Arrhenius plot을 취하고 Black[1]에 의해 수식화된 다음식을 이용하여 활성화 에너지(activation energy)를 구하였다.

$$\text{MTF} = A_j^{-n} \exp(Q/kT)$$

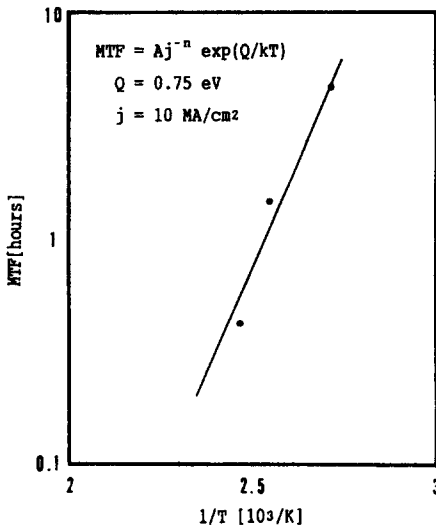


그림 8. 고정된 전류밀도에서 평균시간의 arrhenius plot.

여기서 A는 재료 상수(material constant), Q는 electromigration failure에 대한 활성화 에너지, j는 전류 밀도, k는 볼츠만 상수 그리고 T는 절대온도이다. Test structure 온도는 TCR(temperature coefficient of resistance)을 사용하여 구했으며, 계산된 Al-1%Si 박막의 활성화 에너지 값은 0.75 eV 이다. Median time-to-failure에 대한 Arrhenius plot을 그림 8에 나타내었다.

4. 결 론

1. Al-1%Si 박막의 electromigration에 대한 활성화 에너지 값은 0.75 eV로 나타났다.
2. 분위기 온도가 80°C 에서 120°C 로 증가함에 따라 평균수명은 감소하였고 신뢰성은 향상되었다.
3. SiO₂ 보호막은 Al-1%Si 박막 금속화의 평균수명 및 신뢰성을 향상시킨다.

4. Electromigration failure 는 d.c. 전류하에서 log-normal distribution으로 나타났다.

감사의 글

본 연구는 1991년도 교육부 학술 연구 조성비에 의하여 이루어졌으며 이에 감사드립니다.

참고문헌

1. J.R. Black, *IEEE Trans. on Electron. Dev.* ED-16, 338 (1969).
2. G.J. van Gorp, *Appl. Phys. Letters* **11**, 476 (1971).
3. Francois M. d'Heurel, *Proc. IEEE* **59**, (1971).
4. Federico Sequeda, *Journal of Metal* November, 54 (1985).
5. Devendra Gupta and Paul S.Ho, "Diffusion Phenomena in Thin Films and Microelectronic Materials", p369 Noyes Publication, New Jersey, (1988).
6. C.A. Martin, J.C. Ondrusek and J.W. McPherson, *IEEE/IRPS*, 31 (1990).
7. Janet M. Towner, *IEEE/IRPS*, 100 (1990).
8. D. J. Hannaman, N. Zamani, J. Dhiman, and M. G. Beuhler, *IEEE/IRPS*, 55 (1990).
9. Kanji Hinode, Yoshio Homma, *IEEE/IRPS*, 25 (1990).
10. William Baerg, Ken Woo, Paul Davies, *IEEE/IRPS*, 119 (1990).
11. ASTM Standard Guide for Design of Flat, Straight-Line Test Structure for Detecting Metallization Open-Circuit or Resistance-Increase Failure Due to Electromigration, F 1259-89, AnnualBook of ASTM Standards, Vol. 10.04.
12. ASTM Standard Test Method for Estimating Electromigration Median Time-To-Failure and Sigma of Intergrated Circuit Metallizations, F 1260-89, Annual Book of ASTM Standards, Vol. 10.04.