

<연구논문>

Dichlorosilane Gas를 이용한 High Temperature Oxide Thin Film의 특성

이승석 · 이석희 · 김종철 · 박현섭 · 오계환

현대전자 반도체연구소
(1991년 12월 23일 접수)

Characteristics of High Temperature Oxide Thin Film Using Dichlorosilane Gas

S.S. Lee, S.H. Lee, J.C. Kim, H.S. Park and K.H. Oh

*Semiconductor Research and Development Lab.
Hyundai Electronic Industries Co., Ichon-Kun Kyungki-Do 467-860
(Received December 23, 1991)*

요 약-Dichlorosilane(DCS) gas를 이용한 High Temperature Oxide(HTO) thin film의 물리적, 전기적 성질에 대해서 고찰하였다. 낮은 wet etch rate와 우수한 step coverage 특성을 보였으며, Si-O bond 양상은 Thermal Oxide와 유사하였다. I-V특성 역시 thermal oxide에 근접하였으나, Time Dependent Dielectric Breakdown(TDDB) 결과는 thermal oxide의 1/4 수준이었다. 반면, 넓은 면적(0.3 cm^2)에서 측정된 defect density level은 thermal oxide보다 훨씬 우수하였다.

Abstract-In this study we have investigated physical and electrical properties of high temperature oxide (HTO) thin film using dichlorosilane (DCS) gas. This film had low etch rate and excellent step coverage, and its characteristics of Si-O bond were similar to those of thermal oxide. I-V curves also showed similar electrical properties to those of thermally grown oxide (SiO_2) while time dependent dielectric breakdown (TDDB) results revealed 1/4 value of thermal oxide. However, defect density was measured to be much lower value than that of thermal oxide.

1. 서 론

CVD oxide는 반도체 제조공정에 빠른 증착속도, 비교적 우수한 전기적 특성, 낮은 film stress 등의 여러 가지 공정특성에 기인하여 층간 절연막(Inter-layer Insulator) 등으로 가장 많이 이용되어 왔다 [1-3]. 현재 gate insulator로 흔히 이용되는 thermal oxide는 우수한 전기적인 특성에도 불구하고 몇 가지 문제점을 갖고 있다. 즉, silicon-substrate의 특성과 pre-cleaning 효과가 oxide의 전기적 특성에 민감하게 나타나며[4, 5], silicon-substrate의 metallic contami-

nation 등에 기인된 microdefect와 관련하여 넓은 면적($\geq 0.04\text{ cm}^2$)에서의 TDDB 특성 등이 악화되는 문제점을 안고 있다[6-8]. 또한, cell density의 증가에 따른 복잡한 geometry로 의해 edge 부위에서의 oxide thinning 현상에 의한 불균일한 전기적 특성 등이 야기되고 있으며, 이러한 문제점을 보완하기 위해서 thin dielectric CVD oxide의 개발 및 CVD insulator(SiO_2 , Si_3N_4)와 thermal oxide로 형성된 multi-layer gate oxide에 관한 연구가 활발히 진행중이다[4, 5, 9, 10].

특히, 최근 high density SRAM에서 standby current를 낮추어 전락소모를 줄이면서 soft error의 발

생을 억제시키고, 고속동작 등의 유리한 이점 때문에 High Load Resistor(HLR) 대신 Thin Film Transistor(TFT) 구조를 채택하는 추세이다. 이러한 TFT 구조에서는 gate insulator 제조에 CVD 방법을 이용할 수 밖에 없으며, 일반적인 CVD oxide나 nitride, 또는 그들의 적절한 조합에 의한 다층의 절연막 등이 TFT의 gate insulator로서 이용되고 있다[11-13].

본 연구에서는 보다 더 우수한 thin dielectric용 CVD oxide를 확보하기 위하여 DCS gas를 이용하여, SRAM 제조공정 가능 온도인 850°C 근처에서, 가장 적절한 공정조건을 확립하고 여기서 얻어진 thin film의 wet etch rate, step coverage, film stress, Si-O bond 특성 등의 물리적 성질을 측정분석하였으며, 전기적 특성을 같은 두께(150 Å)의 thermally grown dry oxide(920°C, O₂)와 비교 연구하였다.

2. 실험

Films 증착을 위해 SiH₂Cl₂(DCS)와 N₂O gas를 이용하였으며, 일반적인 Low Pressure Chemical Vapor Deposition(LPCVD) 장치를 사용하였다. 공정조건은 균일한 증착두께와 적절한 증착속도를 위하여 증착압력을 300 mTorr로 고정시켰고 증착온도를 800°C, 850°C, 905°C로 변화시키면서, 각 증착온도에서 N₂O/SiH₂Cl₂ gas ratio(γ)를 2, 3, 5로 변화시켰다. 이때 wafer 크기는 6 inch였고, wafer loading 간격은 4.8 mm로 고정시켰으며, 증착막의 두께 측정은 Nanospec을 이용하였다. 공정 전, 후에 Surfscan을 이용하여 0.3 μ m 직경 이상의 particle를 monitoring함으로써 공정상태를 점검하였다. 10 : 1, 50 : 1, 100 : 1 HF와 9 : 1, 50 : 1 BOE(NH₄F : HF)에서의 HTO film의 wet etch rate를 silane based-Low Temperature Oxide(LTO), TEOS based-oxide, thermal oxide 등과 측정비교하였다. Poly-Si를 이용하여 aspect ratio=0.77~2.50의 topology를 형성시킨 다음 증착온도 850°C와 905°C, $\gamma=3$ 인 공정조건인 HTO film 2000 Å, 4000 Å 6000 Å,을 증착시켜 SEM 사진상에서 step coverage를 측정하였다.

HTO film의 Si-O bond 특성 및 Si : O stoichiometry, defect density 등의 특성을 thermal oxide와 비교하기 위하여 FTIR spectrometer 분석을 시도하였으며, HTO film내에서 SiH₂Cl₂ gas의 열분해시 오

염될 수 있는 chlorine 등의 불순원소 분포양상과 oxygen profile을 확인하기 위하여 SIMS 및 AES 분석을 실시하였다. Refractive index의 측정은 Tylan Tyger와 Rudolphe ellipsometer를 이용하였고 film stress는 FSM 장비로 측정하였으며, 이 때 film의 두께는 2000 Å이었다. 전기적 특성조사를 위한 시편제조에는 p-type(100) wafer를 사용하였다. I-V와 Constant Current Stress Test(CCST)는 100×100 μ m² pattern에서 측정하였으며, HP 4145B semiconductor parameter analyzer를 이용하였다. Defect density 측정을 위한 linear voltage sweep test는 0.3 cm²인 넓은 면적의 pattern을 이용하였다. Positive charge trapping 특성을 조사하기 위하여 C-V test에서 F-N electron injection을 인가한 후 flat band voltage shift (ΔV_g)를 측정분석하였다.

3. 결과 및 고찰

3.1. 공정특성

일반적으로 공정온도가 높을수록 oxide film의 물리적, 전기적 특성 등은 향상되는 것으로 알려져 있다. HTO의 일반적인 공정온도는 ~900°C로 보고되고 있으나, 이 온도는 고집적 소자의 후 공정온도로는 너무 높은 온도이다. 본 연구에서는 증착온도 800, 850, 905°C에서 N₂O/SiH₂Cl₂ gas ratio(γ)=2, 3, 5 각각에 대한 영향을 조사하였으며, 전기적 특성에 미치는 이들의 영향을 연구하였다. 각 공정조건에 대한 증착속도, 증착막 두께의 균일도, refractive index 등의 공정결과를 Table 1에 종합하였다. 이 때, wafer to wafer 두께의 균일도는 wafer 75장에 대한 것이다. 결과에서 보듯이 각 증착온도에서 γ 가 2, 3, 5로 증가함에 따라서 증착속도는 감소하였다. 이러한 이유는 SiH₂Cl₂ gas의 반응로 내에서의 분압이 N₂O gas의 양이 증가함에 따라서 감소하기 때문이며, 이것은 HTO 반응이 SiH₂Cl₂ gas에 의해 율속됨을 보여주는 결과이다. Fig. 1에 $\gamma=3$ 일 때의 HTO 반응에 대한 증착속도와 온도를 Arrhenius plot하였다. 이 직선의 기울기로부터 구한 반응에 대한 활성화 에너지는 58 kcal/mole(2.5 eV)이었다. 이 값은 TEOS based-oxide의 40 kcal/mole[10]보다 더 큰 값이며, 이것은 wafer to wafer 두께 균일도를 확보하기 위한 온도 구배 구간이 좁아질 수 있음을 시사하는 결과이다.

Table 1. Experimental data of various HTO process conditions

Dep. Temp.	Items γ	Dep. Rate (Å/min)	Within water thick. uniformity (%)	Wafer to wafer thickness uniformity (%)	R.I.
850°C	2	1.4	± 1.9	± 1.4	(N/D)
	3	1.2	± 1.1	± 1.6	1.443
	5	0.7	± 0.7	± 2.2	(N/D)
850°C	2	4.3	± 2.1	± 0.6	1.449
	3	3.8	± 1.4	± 0.4	1.443
	5	2.1	± 1.9	(N/D)	(N/D)
905°C	2	20.4	± 2.3	± 1.2	1.453
	3	14.5	± 1.9	± 1.6	1.458
	5	8.6	± 1.7	± 1.9	1.448

(N/D) : Nothing data, cf) Thermal oxide=1.469, LTO=1.456, TEOS=1.445.

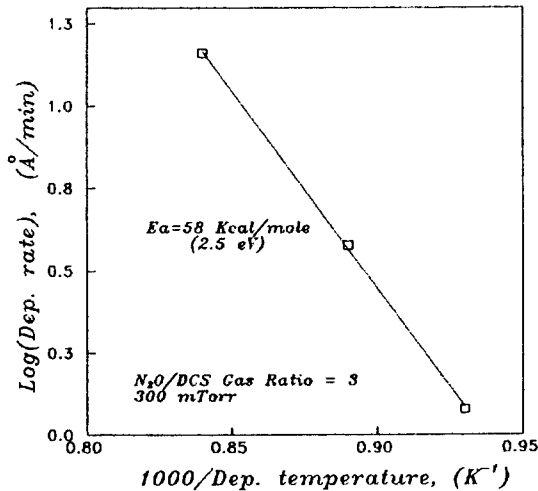


Fig. 1. Arrhenius plot of the deposition rate vs deposition temperature.

두께의 균일도는 모든 경우에서 ±2.5% 이하로 우수하였으며, 공정을 전, 후한 0.3 μm 직경 이상의 particle 증가량은 20개 이하로 양호하였다.

3.2. 물리적 특성

Oxide의 식각용액인 HF, BOE(NH₄F+HF)에서의 HTO film의 wet etch rate를 thermal oxide, LTO, TEOS based-oxide와 함께 측정하여 Table 2에 종합하였다. Fig. 2는 각각의 용액에서의 etch rate를 thermal oxide의 etch rate로 나누어 준 값을 도시한 것이다. 이들 결과에서 보듯이 HTO film의 etch rate는 LTO나 TEOS based-oxide에 비해 낮은 값을

Table 2. Etch rate of each SiO₂ film (HTO : 850°C, $\gamma=3$, 300 mTorr) (R=Ratio), Unit : Å/sec

Mater.	Etchants R	HF			BOE	
		10 : 1	50 : 1	100 : 1	9 : 1	50 : 1
Therm. Ox.		6.55	1.66	0.84	14.8	3.1
HTO 3-850		16.8	4.13	2.14	33.5	5.2
LTO		29.7	8.04	4.09	52.8	6.6
TEOS		55.1	11.8	6.48	71.7	8.5

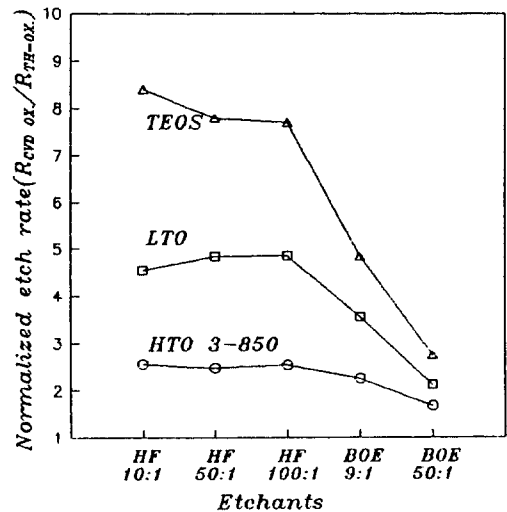
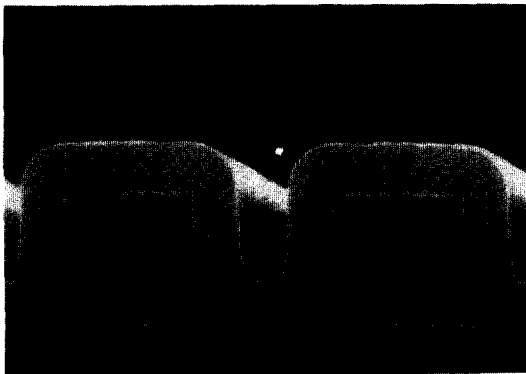


Fig. 2. Etch rate of the CVD oxides normalized by thermal oxide. (R=Etch Rate)

가졌으며, thermal oxide의 값에 근접하였다. 이러한 원인은 HTO 공정온도(850°C)가 LTO(420°C)나

Table 3. Step coverage of the HTO films as a function of aspect ratio for different film thickness and deposition temperature

		Unit : Percent (%)									
Dep. Temp.	Aspect ratio	0.77	0.83	0.90	1.00	1.11	1.25	1.42	1.66	2.00	2.50
	Thick.										
850°C	2000 Å	93	93	93	90	90	90	90	90	85	Fill
		95	95	90	90	88	87	87	87	85	Fill
905°C	4000 Å	88	88	86	86	84	84	84	82	Fill	
	6000 Å	84	84	84	80	Fill					



0.5 μm

Fig. 3. SEM photograph of HTO (850°C, $\gamma=3$) 4000 Å at aspect ratio=1.0.

TEOS(710°C)에 비해 높아서 공정 중 densification effect가 나타나기 때문이다. Densification effect는 크게 physical densification에 의한 밀도증가와 chemical densification에 의한 Si-O bond 특성개선 효과로 나눌 수 있으며, 이러한 효과는 etch rate를 감소시킨다.

Fig.3은 증착온도 850°C, $\gamma=3$ 인 조건인 HTO film의 aspect ratio=1.0에서의 step coverage 특성을 보여주는 SEM 사진이다. 증착온도 850°C와 905°C에서 $\gamma=3$ 인 공정조건의 HTO film 2000 Å, 4000 Å, 6000 Å에 대한 각각의 aspect ratio에서 측정된 step coverage값을 Table 3에 종합하였다. 모든 aspect ratio에서 증착온도의 큰 영향없이 80% 이상의 우수한 step coverage 특성을 보였다.

Table 4에 각각의 film stress를 측정비교하였다. Thermal oxide, LTO, TEOS based-oxide, HTO 모든 film이 p-type Si(100) 단결정 위에서 압축응력을 보

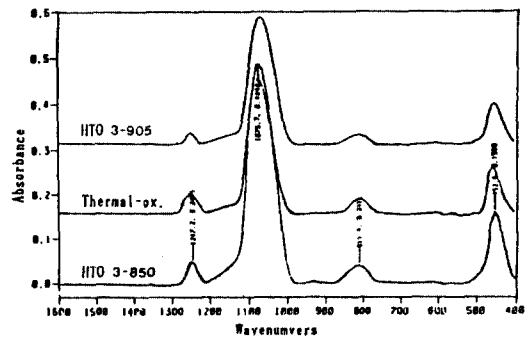


Fig. 4. FTIR spectra of HTOs and thermal oxide.

Table 4. Film stress of each oxide. (Thick. : ~2000 Å) (HTO : 850°C, $\gamma=3$, 300 mTorr)
C : Compressive, (Unit : $\times 10^9$ dyne/cm²)

Mater. Items	Therm. Ox.	LTO	HTO	TEOS
Film stress	3.10 C.	2.05 C.	1.01 C.	0.21 C.

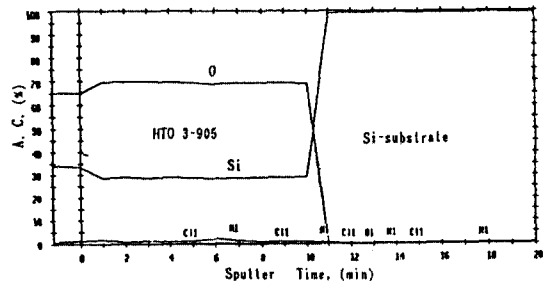


Fig. 5. AES depth profiles of HTO film (2000 Å) under the condition of 905°C, $\gamma=3$.

였으며, HTO film stress는 증착온도(850°C, 905°C)에 큰 영향없이 $\sim 1.01 \times 10^9$ dyne/cm²로 측정되었다.

Fig.4에 thermal oxide와 증착온도 850°C와 905°C,

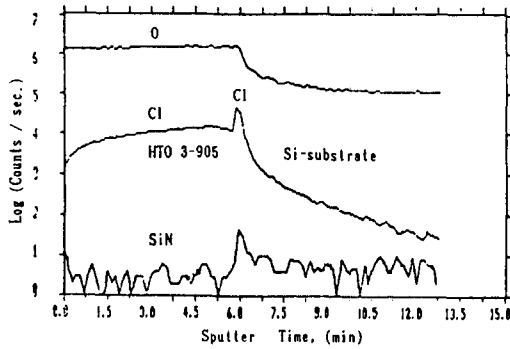


Fig. 6. SIMS depth profiles of HTO film (2000 Å) under the condition of 905°C, γ=3.

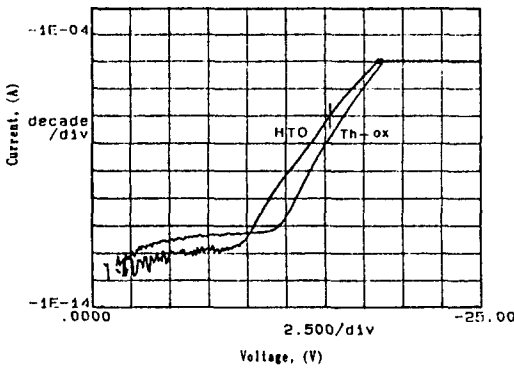
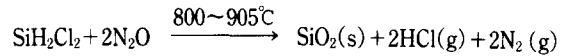


Fig. 7. I-V curves of HTO film (850°C, γ=3) and thermal oxide.

γ=3인 공정조건의 HTO film에 대한 FTIR spectra를 나타내었다. HTO 각 films과 thermal oxide의 Si-O stretching mode, bending mode, rocking mode의 peaks가 각각 wavenumbers(cm⁻¹) 1075, 811, 452의 거의 같은 위치에서 나타나고 있어 HTO films의 Si-O bond 특성 및 stoichiometry가 thermal oxide와 유사함을 보여주고 있다. Defect density와 관련된

peak의 half width도 역시 큰 차이를 보이지 않았다.

Fig. 5는 AES 분석결과이다. 그림에서 보듯이 film depth에 따라 oxygen 농도가 일정하게 유지되고 있어 균일한 oxide가 형성되었음을 알 수 있다. Fig. 6은 SIMS 분석결과이다. 모든 시편에서 Cl peak가 관찰되었고, SiO₂-Si interface에서 pile-up 되었다. 이러한 chlorine의 근원은 아래의 HTO 반응식으로부터 이해될 수 있다.



반응식에서 보듯이 공정 중에 열분해된 미반응 chlorine이 film내에 함유될 가능성은 충분하다 HTO film은 그 두께가 두꺼울수록 후속 열공정에 의해서 SiO₂-Si interface에 pile-up되는 Cl의 농도는 증가하게 된다[14]. 본 연구에서는 Cl의 절대농도는 구하지 못하였고, 다만 공정 조건변화에 따른 상대비교를 하였다. 즉, 증착온도가 증가할수록(800°C→905°C) Cl의 농도는 1 order 정도 증가하였고, film의 두께가 증가할수록(450 Å→2000 Å) SiO₂-Si interface에 pile-up되는 Cl의 양은 증가하였다. Interface에 과다한 Cl이 존재할 경우 Cl의 부식효과에 의해 Si-surface에 pits 등이 형성될 수 있다. 그러나 적정량의 Cl은 오히려 sodium 등의 mobile ion들을 gettering할 수 있어 film의 전기적 특성을 향상시킬 수도 있다. 그러므로, 보다 정량적인 Cl 농도분석을 위해서 oxide내에서 Cl의 sensitivity factor를 알아야 할 필요가 있다.

3.3. 전기적 특성

I-V, CCST 측정을 위한 pattern의 크기는 100×100 μm²이었다. Gate 전극으로는 POCl₃ dope된 poly-Si를 사용하였으며, gate oxide의 두께는 150 Å이었다. I-

Table 5. I-V test results and gate voltage shift (ΔV_g) measured after 55 sec. (HTO X-100): X=N₂O//SiH₂Cl₂ gas ratio (γ), ooo=Deposition temperature

Mater.	Items	Current Density at -5 V (fA/μm ²)	BF (MV/cm ²)		Gate voltage shift (ΔV _g)		
			-100 nA	-10 μA	-1.5 μA/cm ²	10 μA/cm ²	-10 mA/cm ²
	Therm. Ox.	-0.25	-10.53	-12.27	-0.05	-0.02	+0.178
	HTO 3-905	-0.07	-10.15	-12.38	-0.391	-0.642	-0.491
	HTO 3-850	-0.17	-9.84	-12.12	-0.562	-0.562	-0.469
	HTO 3-800	-0.01	-9.82	-11.80	-0.406	-0.584	-0.433

V 측정시 voltage ramp rate는 -0.1 V/sec 로 고정시켰다. Fig. 7에 850°C , $\gamma=3$ 인 공정조건의 HTO film과 thermal oxide에 대한 I-V curve를 도시하였으며, Table 5에 -5 V 에서의 누설 전류밀도와 -100 nA , $-10 \mu\text{A}$ 에서의 각각의 절연 파괴전계(break-down field strength), 그리고 일정전류를 유지하기 위한 조건하에서의 55 sec 후에 측정된 gate voltage shift(ΔV_g) 값을 나타내었다. -5 V 에서의 누설전류 값은 장비의 측정오차를 고려할 때 HTO의 공정온도에 큰 영향을 받지 않고 thermal oxide와 유사하거나 더 우수한 특성을 보였다. 절연파괴전계 값은 증착온도가 감소함에 따라 조금씩 감소되는 양상을 보이고 있으나 800°C 에서조차도 100 nA 에서 -9.82 MV/cm 로 thermal oxide의 -10.53 MV/cm 에 근접하고 있었다. 이러한 결과는 기존의 CVD oxide의 보고된 I-V특성 중 가장 우수한 것으로 평가되며, thin dielectric 재료로서의 이용 가능성을 시사하는 것이다. Fig. 8은 각각의 일정 전류밀도를 유지하기 위해 필요한 gate voltage의 변화(ΔV_g)를 나타낸 것이다. 시간의 증가에 따른 gate voltage의 증가는 electron trapping에 기인된 것이다. HTO film의 경우가 thermal oxide보다 ΔV_g 값이 크게 측정되었다. 이것은 HTO film이 thermal oxide에 비해 trap density가 많음을 보여주는 결과이며, 이러한 특성은 소자의 threshold voltage shift에 영향을 줄 수 있다. 그러나

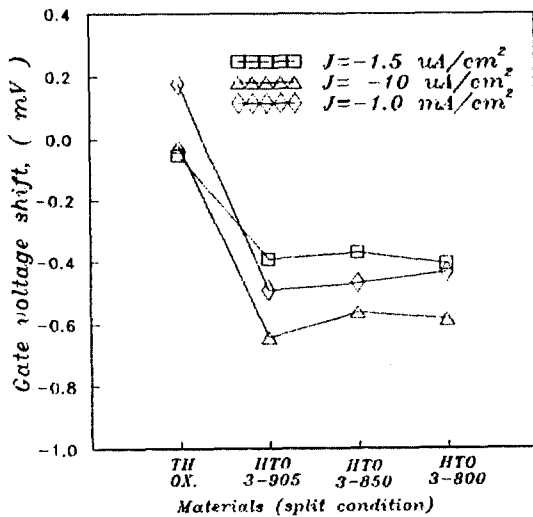


Fig. 8. Gate voltage shift (ΔV_g) after 55 sec under each different constant current stress.

적절한 후속 열처리를 병행한다면, HTO film의 trap density는 다소간 감소시킬 수 있을 것으로 사료된다. $J = -1.0 \text{ mA/cm}^2$ 의 경우, ΔV_g 값이 오히려 감소하는 것은 과도한 전류에 의한 positive charge의 생성에 기인된 것으로 해석된다.

Table 6은 CCST 측정결과이다. Thermal oxide 경우, 전류밀도는 -10 mA/cm^2 이었고 HTO film의 경우에는 -10 mA/cm^2 이었다. 50% breakdown에 대한 charge density는 HTO 증착온도의 변화에 영향을 받지 않고 thermal oxide의 약 1/4 수준인 $5.8 \sim 6.4 \text{ C/cm}^2$ 이었다. 이러한 결과는 thermal oxide가 보다 안정된 결합구조를 갖는데서 기인된 것이다. 그러나 앞서서도 언급하였듯이 적절한 후속열처리 공정에 의해서 TDDB 특성도 어느 정도 개선될 수 있을 것으로 예상되며, 측정된 값도 기존의 CVD oxide에 비교하면 월등히 우수한 결과로 판단된다.

Table 7에 C-V 측정결과를 종합하였다. HTO film의 total oxide charge는 증착온도의 영향을 받지 않았으며, thermal oxide와 큰 차이를 보이지 않았다. Positive charge trapping은 SiO_2 의 breakdown process에 중요한 역할을 한다[3]. Thin oxide의 경우 trap된 hole density, Q_{ot}^+ 는 아래와 같이 표시된다.

$$Q_{ot}^+ (\propto \Delta V_{FB}) = \int_0^t J \alpha T_{ox} dt = \eta \alpha Q_{inj}, \text{ cm}^{-2}$$

Table 6. Charge to 50% breakdown of each material. Thermal oxide : $J = -100 \text{ mA/cm}^2$; HTO : $J = -10 \text{ mA/cm}^2$

Materials	$Q_{BD}(50\%)$
Thermal Ox.	20.8 C/cm^2
HTO 3-905	6.1 C/cm^2
HTO 3-850	5.8 C/cm^2
HTO 3-800	6.4 C/cm^2

Table 7. C-V results and flat band voltage shift (ΔV_{FB}) measured after F-N electron injection ($J = -1.5 \mu\text{A/cm}^2$) for 5 min

Items Mater.	$V_{FB} \text{ (V)}$	$Q_{ss} (\times E12/\text{cm}^2)$	$\Delta V_{FB} \text{ (mV)}$
Thermal Ox.	-0.86	-5.72	-29.6
HTO 3-905	-0.58	-6.30	-5.7
HTO 3-850	-0.64	-6.11	-17.7
HTO 3-800	-0.63	-6.10	+2.31

여기서 η 는 hole trapping efficiency, α 는 impact ionization coefficient, T_{ox} 는 oxide thickness, 그리고 Q_{inj} 는 단위면적당 주입된 electron charge의 총합이다. Q_{ox} 는 F-N electron injection 후에 측정된 flat band voltage shift, ΔV_{FB} ,에 비례한다[4]. 다만 F-N electron injection에 의한 interface state의 변화가 없어야 하며, 이것은 C-V curve의 distortion여부로서 판단할 수 있다. Fig.9은 oxide의 단위면적당 주입된 electron의 수($N_{inj}=Q_{inj}/q$, q =electron charge)에 대한 ΔV_{FB} 의 관계를 나타낸 그림이다. HTO film의 경우가 모든 경우에 있어서 thermal oxide보다 낮은 hole tapping rate 특성을 보였다. 증착온도에 따른 일관된 결과는 보이지 않았으며, 이는 cleaning, gate electrode의 식각 등의 주변공정 영향으로 판단된다.

Table 8에 0.3 cm의 넓은 면적에서의 voltage sweep test 결과를 종합하였다. Pass rate 계산시 pass 기준은 7 MV/cm이었으며, 두번째 sweep시 pass rate 값은 oxide의 defect density와 관계된 값이다[4]. 결과에서 보듯이 HTO film의 경우, 두번째 sweep시에도 $-100 \mu A$ 에서 pass rate은 90% 이상의 우수한 특성을 보인 반면, thermal oxide의 경우에는 14.6%로 현저히 감소하였다. 이러한 결과의 주된 이유는 thermal oxide의 경우, Si-substrate에 존재하는 metallic compound 등에 기인된 microdefects의 density가 높기 때문이며, 이러한 특성은 wafer의 종류에 따라 다소간의 차이를 보일수 있다[3, 4]. 반면, CVD oxide의 경우에는 증착된 SiO_2 이므로 Si-substrate의 영향을 크게 받지 않는다. 이것이 CVD oxide의 유용한 장점 중의 하나이다.

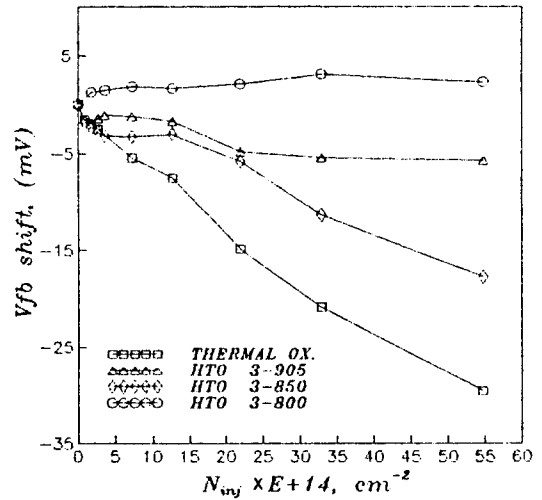


Fig. 9. Flat-band voltage shift (ΔV_{FB}) vs N_{inj} (the integrated fluence of electron charge per unit area).

4. 결 론

DCS gas를 이용하여 800~905°C의 증착온도에서 LPCVD 방법에 의해 HTO thin film을 증착시키고 이들의 물리적, 전기적 특성에 대해 조사연구하여 다음과 같은 결론을 얻었다.

- 1) $\gamma=3$ 인 공정조건에서 HTO 반응에 대한 활성화에너지는 58 kcal/mole(2.5 eV)이었다.
- 2) HTO film은 CVD oxide 중 가장 낮은 wet etch rate 특성을 보였으며, HF와 BOE에서 thermal oxide의 2~2.5배였다.
- 3) 85% 이상의 우수한 step coverage 특성을 보

Table 8. Results of linear voltage sweep test.

Items	1st Sweep				2nd Sweep				Reliability (%)
	- 100 nA		- 100 μA		- 100 nA		- 100 μA		
	PR(%)	BF	PR	BF	PR	BF	PR	BF	
Therm. Ox.	82.1± 16.6	8.11	85.3± 15.2	10.06	12.2± 11.2	8.11	14.6± 12.2	10.06	17.1
HTO 3-905	94.3± 5.6	7.61	98.3± 2.8	9.93	94.3± 5.6	7.61	97.5± 2.4	10.0	99.1
HTO 3-850	99.2± 1.4	7.23	99.2± 1.4	9.54	88.6± 6.1	7.23	89.4± 6.1	9.54	90.1
HTO 3-800	95.9± 5.1	7.39	98.4± 1.4	9.54	97.5± 2.4	7.23	97.5± 2.4	9.54	99.1

PR : Pass rate; BF : (MV/cm²) breakdown field

$$\text{Reliability (\%)} = \frac{\text{2nd PR at 100 nA}}{\text{1st PR at 100 nA}} \times 100$$

였다.

4) Si-O bond 특성 및 stoichiometry는 thermal oxide와 유사하였으며, film depth에 따른 oxygen의 농도는 일정하게 유지되었다.

5) Film내에 chlorine이 존재하였으며, SiO₂-Si interface에서 pile-up되었다.

6) I-V 특성에서 누설전류밀도 및 절연 파괴전계 특성은 thermal oxide에 근접하였으며 증착온도의 영향을 크게 받지 않았다.

7) TDDB 특성은 thermal oxide의 1/4 수준이었으나, defect density와 관계된 linear voltage sweep test에서는 월등히 높은 pass rate를 보였다.

8) 이상의 결과들로부터, 850°C이하에서 제조된 HTO thin film이라 할지라도 고집적 SRAM의 TFT gate insulator 등의 유용한 thin dielectric 재료로 이용 가능함을 확인하였다.

참고문헌

1. E. Tanikawa, O. Takayama and K. Maeda, in Proc. 4th Int. Conf. on Chemical Vapor Deposition. Princeton, NJ: *Electrochem. Soc.* pp. 261-274 (1973).
2. R. S. Roler, "Low pressure CVD production process for poly, nitride, and oxide", *Solid-State Technol.*, Vol. 20, pp. 63-70, Apr. (1977).
3. W. Kern and R. S. Rosler, "Advances in deposition process for passivation films", *J. Vac. Technol.*, Vol. 14, pp. 1082-1099, Sept./10ct. (1977).
4. J. Lee, I. C. Chen and C. Hu, "Comparison between CVD and thermal oxide dielectric integrity", *IEEE Electron Device Letters*, Vol. EDL-7, No. 9, pp. 506-509 (1986).
5. P. K. Roy, A. K. Shinha, "Synthesis of high-quality ultra-thin gate oxides for ULSI applications", *AT & T Tech. J.*, Nov./Dec., p. 155 (1988).
6. K. Yamabe and K. Taniguchi, "Time-dependent breakdown of thin thermally grown SiO₂ films", *IEEE Trans. Electron Devices*, Vol. ED-32, No. 2, p. 423 (1985).
7. K. Yamabe, K. Taniguchi and Y. Matsushita, "Thickness dependence of dielectric breakdown failure of thermal SiO₂ films", in *Proc. Int. Rel. Phys. Symp.*, p. 1984 (1983).
8. H. Abe, F. Kiyosumi, K. Yoshioka and M. Imo, "Analysis of defects in thin SiO₂ thermally grown on Si substrate", in *IEDM Tech. Dig.*, p. 372 (1985).
9. Jack Lee, C. Hegarth and C. Hu, "Electrical Characteristics of MOSFET's using low-pressure chemical-deposited oxide", *IEEE Electron Device Letters*, Vol. 9, No. 7, July p. 324 (1988).
10. F. S. Becker, D. Pawlik, Ho Anzinger and A. Spitzer, "Low-pressure deposition of high-quality SiO₂ films by pyrolysis of tetraethylorthosilicate", *J. Vac. Sci. Technol.* **B5**(6), pp. 1555-1563 (1987).
11. A. O. Adams, K. Suzuki, H. Shibayama and R. Miyake, "Half-micron SRAM cell using a double-gated self-aligned polysilicon PMOS TFT load", *Symposium on VLSI technology*, p. 19 (1990).
12. A. O. Adam, S. Ono, H. Shibayama and R. Miyake, "Analysis of submicron double gated polysilicon MOS TFT", *IEDM*, p. 399 (1990).
13. Y. Uemoto, E. Fuji, A. Nakamura and K. Senda, "A high-performance stacked CMOS SRAM cell by solid phase growth technique", *Symposium on VLSI technology*, p. 21 (1990).
14. K. Watanabe, T. Tanigaki and S. Wakayama, "The properties of LPCVD SiO₂ film Deposited by SiH₂ Cl₂ and N₂O Mixtures", *J. Electrochem. Soc. : Solid state Science and Technology*. Vol. 128, No. 12, pp. 2630-2635 (1981).