

<연구논문>

텅스텐 실리사이드 상의 얇은 $\text{SiO}_2/\text{Si}_3\text{N}_4$ 막의 특성평가

丘庚完* · 洪鳳植**

*忠淸專門大學 電子科, **忠南大學校 電子工學科
(1991년 10월 29일 접수)

Characterization of Thin $\text{SiO}_2/\text{Si}_3\text{N}_4$ Film on WSi_2

Kyung Wan Koo* and Bong Sik Hong**

*Dept. of Electronics, Chungcheong College, Dept. of Electronics, Chungnam Nat'l University
(Received October 29, 1991)

요 약— 텅스텐 실리사이드를 축적전극으로 하는 얇은 $\text{N/O}(\text{SiO}_2/\text{Si}_3\text{N}_4)$ 구조막의 특성을 다결정 실리콘의 경우와 비교 평가하였다. 누설전류 및 항복전압이 향상되었고 축적용량은 감소하였다. 용량 감소의 원인중의 하나는 텅스텐 실리사이드 상의 산화막 성장율이 다결정 실리콘 위에서 보다 빠른 것이고 둘째는 열처리에 따라 다결정 실리콘 내 도판트 불순물이 텅스텐 실리사이드를 통하여 외향확산하여 다결정 실리콘 내에 공핍층을 형성하게 되고 공핍층 용량으로 인하여 축적용량이 감소하게 된다.

Abstract— The characteristics of $\text{N/O}(\text{SiO}_2/\text{Si}_3\text{N}_4)$ film on WSi_2 are compared with storage node Poly-Si. Leakage current and breakdown voltage are improved and storage capacitance is decreased. The oxidation rate of WSi_2 is more rapid than polycrystalline silicon. Thus the thick bottom oxide on the WSi_2 causes to the decrease of capacitance. The out diffusion of dopant impurity in polycrystalline silicon through the silicide leads to the formation of a depletion region in the polycrystalline silicon and the decrease of depletion capacitance. That results in the decrease of the overall storage capacitance.

1. 서 론

LSI의 고집적화에 따라, LSI의 미세화에 대응한 디바이스 구조, 공정기술의 개발이 진행되고 있다. 특히, 고집적 기억소자에 있어서는 메모리 셀 면적을 축소하기 위하여 Stack Cell, Trench Cell 등 3차원 구조 셀의 개발 및 적용이 진행되고 있다[1, 2]. 동시에 메모리 셀에 사용되는 절연막의 박막화도 진행되고 있어, 신뢰성이 높은 절연막의 개발이 요망되고 있다.

종래의 DRAM에 사용되고 있는 얇은 절연막으로서 SiO_2 가 주였지만, 최근 3차원 구조를 갖는 DRAM의 용량 절연막으로서 SiO_2 와 Si_3N_4 를 조합한

다층막(ONO, NO)이 많이 사용되고 있고[3-5], 새로운 고유전율 재료로서 Ta_2O_5 에 대한 연구도 폭넓게 진행되고 있다. 탄탈산화물 형성에너지는 실리콘 형성에너지 보다 작기 때문에 열처리에 의해 실리콘에 의한 탄탈산화막의 환원이 일어난다. 따라서, 텅스텐과 같은 산화막 형성에너지가 작은 물질을 축적전극으로 사용하는 MIM 구조를 취할 필요가 있다.

한편, 고집적화·미세화에 따른 배선저항의 증가를 보완하기 위해 종래의 다결정 실리콘 막을 대신해서 실리사이드 및 폴리사이드 막이 많이 사용되고 있다[6-8]. 앞으로 DRAM 등의 디바이스에 대해서 폴리사이드 및 실리사이드 위에 얇은 절연막을 검토할 필요성이 있다. 실리사이드 및 폴리사이드 위에 절

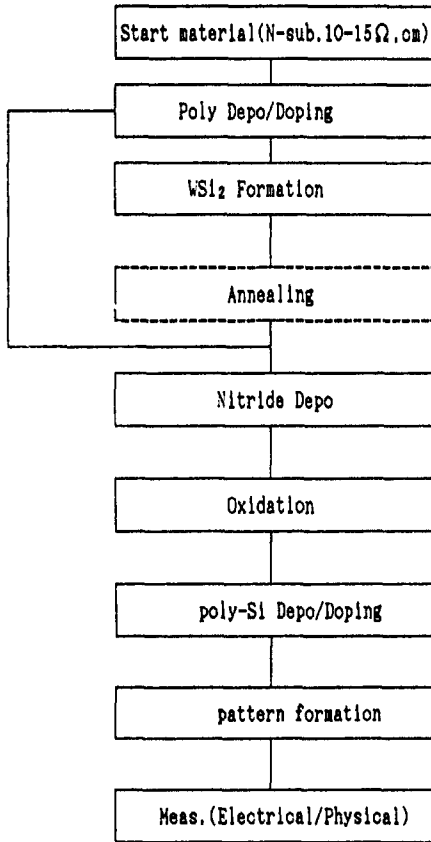


Fig. 1. 시료제작 공정 순서.

연막에 대한 보고는 최근에 일부 발표되고[9, 10] 있지만, 본 논문에서는 축적전극으로서 텅스텐 폴리사이드(WSi_2 /doped Poly-Si)를 사용하고 절연막으로서 SiO_2/Si_3N_4 2층막을 형성하여 전기적 특성 및 신뢰성을 평가하여 다결정 실리콘 상의 N/O 구조막의 특성과 비교 분석하였다.

분석 결과 양호한 전기적 특성(I-V) 및 신뢰성을 얻었으나, 용량특성(C-V)은 다결정 실리콘 상의 N/O 구조막에 비하여 감소하였다. 용량감소의 가능한 원인으로서는 텅스텐 폴리사이드 상에서의 두꺼운 산화막 성장과 텅스텐 실리사이드/다결정 실리콘 계면에서의 도판트 불순물인 인(phosphorous) 농도의 감소로 인한 다결정 실리콘내 공핍 용량의 감소[11]로 생각해 볼 수 있다. 용량 감소의 원인을 규명하고자 텅스텐 실리사이드의 산화특성과 WSi_2 /Poly-Si 계면에서의 불순물 재분포에 대하여 평가하였다.

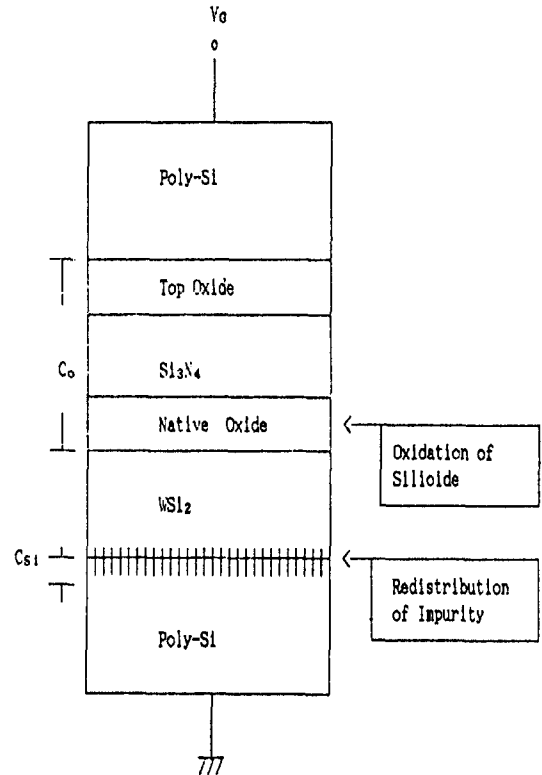


Fig 2. 시료의 단면 구조 및 접근 방법.

2. 실험

축적전극 물질에 따른 용량절연막(N/O)의 물리적·전기적 특성 및 신뢰성을 평가하기 위한 시료를 Fig. 1 과 같은 공정순서에 따라 제작하였다. 사용된 기판은 CZ법으로 성장한 N형, 5", Si(100) 기판으로 10~15 $\Omega \cdot cm$ 의 저항율을 갖고 있다. 900°C $POCl_3$ 도핑을 통하여 인(phosphorous)을 확산하였고, LPCVD 방법으로 텅스텐 실리사이드막을 증착하고 열처리를 통하여 WSi_2 를 형성하여 폴리사이드 구조로 하였다. LPCVD 방법으로 질화막을 증착하고 질화막 표면을 열산화하여 N/O(SiO_2/Si_3N_4) 구조의 용량 절연막을 형성하였다.

다결정 실리콘을 증착 및 불순물을 도핑한 후 사진 식각 공정으로 전극패턴을 형성하였다. 축적전극을 다결정 실리콘으로 한 시료는 텅스텐 실리사이드 형성 공정을 제외하고 똑같이 진행하였다. Fig.2는 제작된 시료의 단면 구조이다. 열처리에 따른 불순

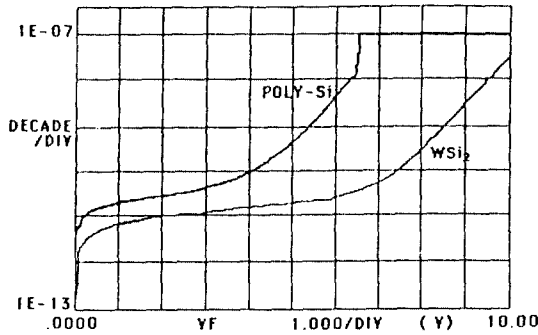


Fig. 3. N/O/Poly-Si와 N/O/WSi₂ 막에 대한 전류-전압 특성.

0.125 A / cm²

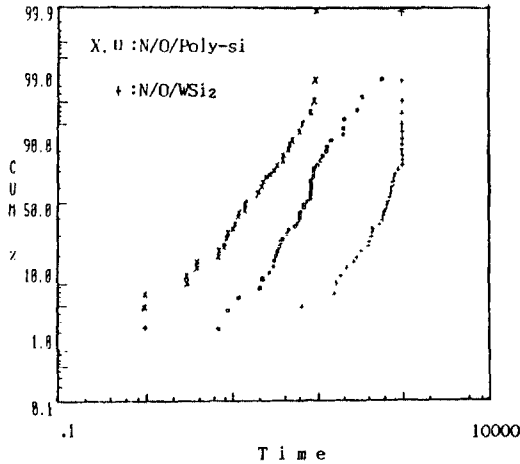


Fig. 4. N/O/Poly-Si와 N/O/WSi₂ 막에 대한 TDDB 특성.

물의 재분포 거동은 SIMS(Perkin-Elmer 사의 PHI 6300)를 통하여 분석하였고, 시료의 미세구조 변화는 투과 전자현미경(JEOL 200 KV TEM)으로 관찰하였고, 시료의 누설전류 및 파괴전장을 측정하기 위하여 전류-전압(I-V) 특성(HP 4145), 축적용량을 측정하기 위하여 고주파 C-V(HP 4275A, LCR Meter) 방법, 신뢰성을 평가하기 위하여 정전류 TDDB법을 사용하였다.

3. 실험결과 및 검토

3.1 전기적 특성 및 신뢰성

Fig.3은 축적전극을 다결정 실리콘과 텅스텐 실리

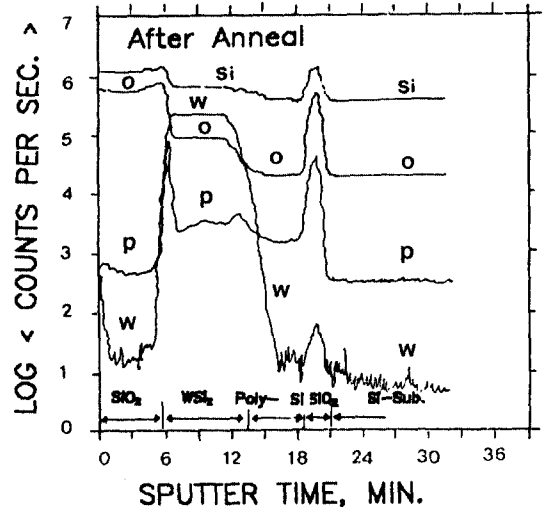
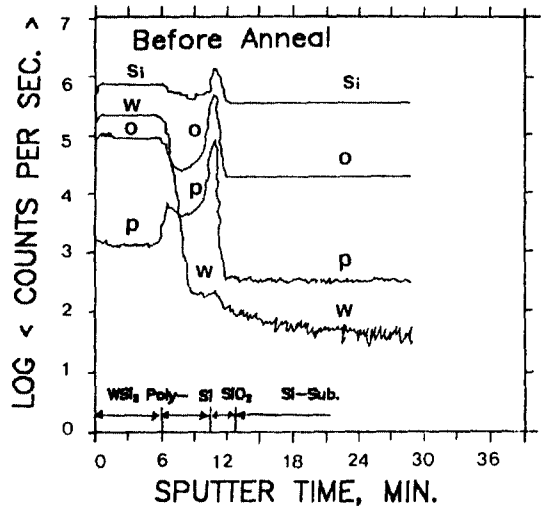


Fig. 5. 텅스텐 폴리사이드 구조의 SIMS 데이터.

사이드로 하고 용량절연막은 N/O(SiO₂/Si₃N₄)으로 한 MIS 구조의 전류-전압 특성곡선이다. 2.5 V에서의 누설전류 및 10 nA에서의 항복전압이 각각 50 pA에서 10 pA로 6.3 V에서 9.5 V로 향상된 것을 알 수 있다. Fig.4는 축적전극에 따른 N/O 구조막의 TDDB 특성(Cumulative Curve)을 나타낸 것이다. 0.125 mA/cm²의 전류밀도로 주입하면서 파괴에 도달할 때 까지의 시간을 측정하여 누적파괴(Cumulative failure percentage)를 시간의 함수로써 log-normal 분포를 나타낸 것이다. 50% 누적 불량에 도달하는 시간이 WSi₂의 경우가 더 길어 상대적으로 더욱 신뢰성이 있는 것을 알 수 있다. 그러나, 고주파

C-V 측정(1 MHz, 2.5 V)에서 값은 200 pF에서 60 pF로 감소하였다. 이러한 용량 감소의 원인을 파악하기 위하여 텅스텐 실리사이드의 산화 특성 및 불순물 재분포 거동을 고찰한다.

3.2 다결정 실리콘 내 불순물 재분포

Fig. 5는 열처리 전·후의 인의 재분포 거동을 SIMS로 측정한 결과이다. WSi_x /Poly-Si/ SiO_2 /Si 구조의 표면에서부터의 깊이 방향 분포이다. Fig. 5(a)는 텅스텐 실리사이드를 증착한 후 반응시킨 다음의 SIMS Depth Profile이고 Fig. 5(b)는 900°C, 30분간 산소 분위기에서 열처리(S/D Reoxidation)한 시료의 SIMS Depth Profile이다. SIMS 분석용 텅스텐 실리사이드 표준 시편의 부재로 정량적인 분석은 곤란하나, 불순물 분포의 상대적인 거동에 대한 분석은 신뢰할 수 있겠다. 인의 깊이 방향 분포를 살펴보면, 열처리 후에는 다결정 실리콘 층으로부터 텅스텐 실리사이드 층으로의 외향확산(Out Diffusion)이 진행된 것을 알 수 있다. 이것은 M. Y. Tsai 등의 결과[12]와 잘 일치하는 것으로 인의 외향 확산을 방지할 수 있는 구조 및 공정이 필요하다 하겠다.

Fig. 6는 열처리 동안에 인의 외향 확산을 방지할 수 있는 한 방법으로 텅스텐 실리사이드 표면을 실리콘 산화막으로 패시베이션(SiO_2 Capping)한 경우의 SIMS Depth Profile이다. 1000°C의 열처리로 다결정 실리콘 내 약 50%의 인이 텅스텐 실리사이드 층으로

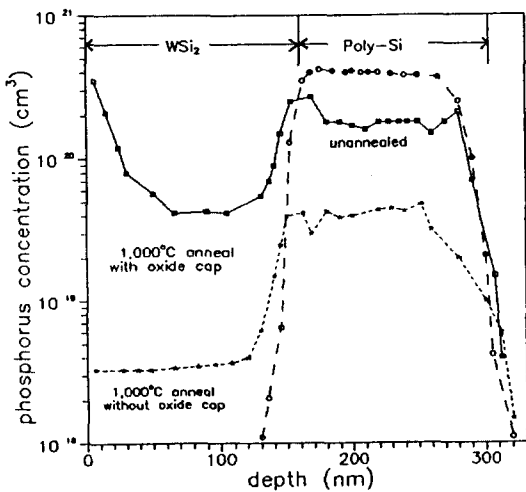


Fig. 6. 열처리에 따른 텅스텐 폴리사이드내의 인 농도 분포.

외향 확산한 것으로 보고되고 있다[23]. 텅스텐 실리사이드 표면에 산화막이 있으면, SiO_2/WSi_x 계면에 인이 축적되고, 텅스텐 실리사이드를 통해서 외향 확산하는 것이 방지됨을 알 수 있다. Fig. 5(b)와 Fig. 6에서 SiO_2/WSi_x 계면 부근의 상대적으로 높은 인의 Peak를 관찰할 수 있는데 위와같은 사실을 뒷받침한다 하겠다.

Fig. 7에서는 폴리사이드 구조에서 도핑된 다결정 실리콘의 도펀트 불순물이 열처리에 따라 다결정 실리콘으로부터 텅스텐 실리사이드를 통하여 외향확산하거나 텅스텐 실리사이드 표면에 편석되어 다결정 실리콘 내에 공핍층을 형성하게 됨으로써 측정용량이 감소하는 것을 등가적으로 표현하였다.

텅스텐 폴리사이드 상의 N/O 구조는 용량절연막(N/O)의 용량 C_i 와 폴리실리콘내 공핍층의 공간 전하 용량 C_D 의 직렬 조합으로 볼 수 있다. 따라서 텅스텐 폴리사이드 상의 N/O 구조막의 총 용량 C_T 는 다음과 같이 계산된다.

$$C_T = \frac{C_i C_D}{C_i + C_D} \tag{1}$$

계산 결과 다결정 실리콘 표면농도가 $2 \times 10^{19} \text{ cm}^{-3}$ 이하이면, 공핍용량의 감소로 총 용량의 감소를 일으킬 수 있음을 알 수 있다.

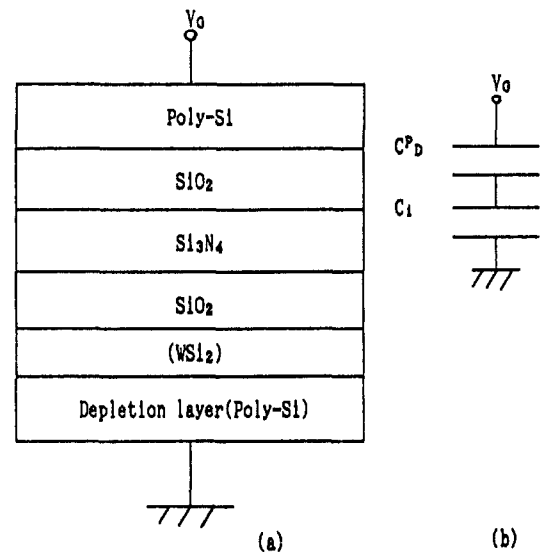


Fig. 7. (a) 다결정 실리콘내에 공핍층을 갖는 텅스텐 폴리사이드 상의 N/O 구조와 (b) 그의 등가회로.

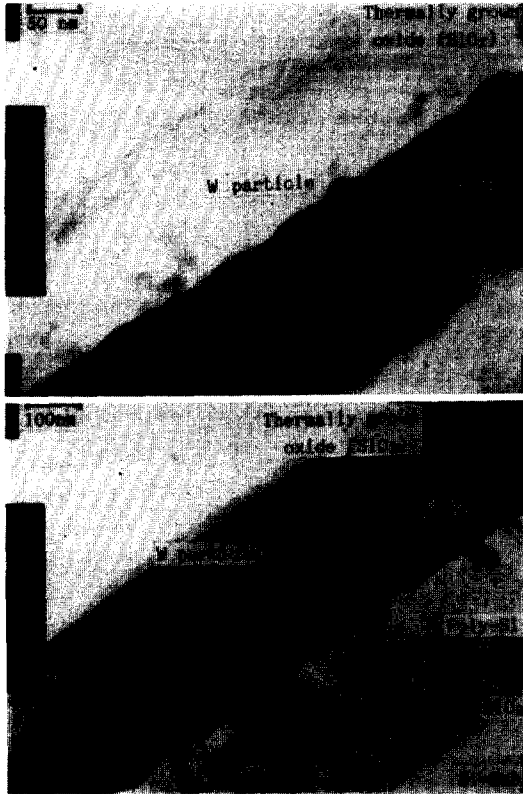


Fig. 8. 텅스텐 실리사이드와 그 표면 산화막의 TEM 사진.

3.3 WSi₂의 열산화 특성

WSi₂를 열산화시켜 형성시킨 산화막이 어떤 산화 물질 것인가는 산소 1몰에 의해 생성되는 WSi₂의 산화 생성물의 표준 생성 자유에너지를 비교해 봄으로써 알아낼 수 있다. WSi₂의 산화 생성물은 SiO₂와 WO₂ 및 WO₃인데 이들의 안정성을 알아보기 위한 생성 자유에너지는 다음과 같이 계산할 수 있다.

먼저, 어떤 원소의 산화반응에 의한 표준 생성 자유에너지는 아래와 같이 표현된다.

$$\Delta G^\circ = \Delta H^\circ - \Delta S^\circ$$

여기서, ΔG° 는 표준 생성 깁스 자유에너지(standard Gibbs free energy of formation), ΔH° 는 표준 생성 엔탈피(standard enthalpy of formation)이며, ΔS° 는 표준 생성 엔트로피(standard entropy of formation)이다.

열역학 자료[14, 15]로부터 ΔG° , ΔH° , ΔS° 를 각

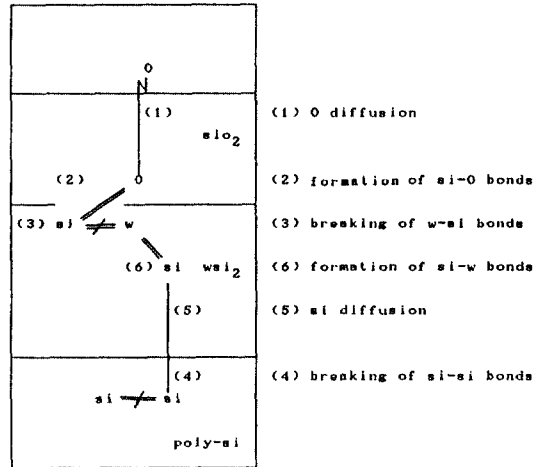


Fig. 9. 텅스텐 실리사이드 산화 모델.

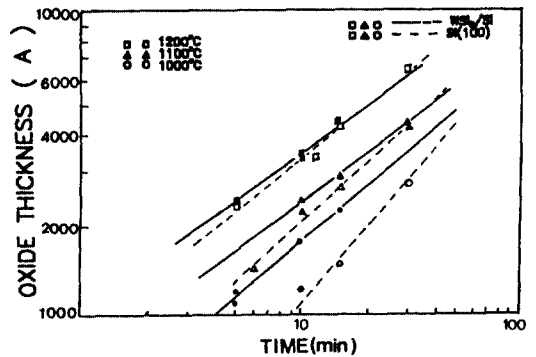
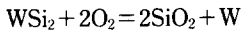


Fig. 10. 텅스텐 실리사이드와 실리콘의 산화막 성장율.

각 구하여 계산한 결과 900°C에서의 SiO₂, WO₂, WO₃의 표준 생성 자유에너지는 -167, -88, -85 Kcal/mole 이었다. 3종류의 산화물 중 SiO₂의 표준 자유에너지가 제일 작으므로 SiO₂가 제일 안정함을 알았다. 따라서, WSi₂가 900°C(1173°K)에서 산화될 경우 그 산화 생성물은 SiO₂임을 의미하며, 이는 실제 결과와 잘 일치한다. WO₂나 2/3 WO₃처럼 산소(O₂) 2몰당의 산화 반응에 따르는 표준 생성 자유에너지가 SiO₂의 표준 생성 자유에너지 보다 큰 금속산화물은 SiO₂보다 불안정하므로, 이러한 금속의 규화물(silicide)을 산화시키면서 그 산화 생성물은 SiO₂가 된다.

Fig. 8에 텅스텐 실리사이드 및 그 열산화막을 보여주고 있다. 산화막은 SiO₂이며, 비교적 균일한 두께로 형성되어 있다. 산화막에 존재하는 검은 반점은 WSi₂의 산화반응 중에 생성된 텅스텐 입자들이다[6].

WSi₂의 산화반응은 다음과 같이 표현된다.



이 산화반응으로 생성된 W는 WSi₂ 중의 W의 비율을 증가시키므로, 평형을 이루기 위해서는 W가 하층의 폴리 실리콘으로 확산하든지, 하층의 폴리실리콘으로부터 Si 원자가 텅스텐 실리사이드로 확산하여 다시 WSi₂를 형성해야 한다. 그런데, 고용점 금속인 W는 확산속도가 매우 느리므로, 하층의 폴리실리콘으로부터 Si 원자가 텅스텐 실리사이드로 확산해와서, 산화반응으로 생성된 W와 반응하여 다시 WSi₂를 형성한다[17]. 이 과정에서 미반응된 W 원자들은 산화막중에 잔류하는데, 산화물에 대한 금속의 용해도가 극히 작으므로 산화막중의 W는 석출되어 작은 입자를 형성할 것으로 생각된다. Fig. 8의 산화막중에 보이는 검은 입자들은 상기와 같은 반응기구에 의해서 생성된 텅스텐 입자들이다. 텅스텐 실리사이드의 모델을 Fig. 9에 나타내었다. 결과적으로 텅스텐 실리사이드의 산화는 텅스텐 실리사이드의 소모는 거의 없고 대신에 하층의 폴리실리콘의 소모가 일어나므로, 텅스텐 실리사이드층의 폴리실리콘 쪽으로 이동하게 된다. 따라서, 텅스텐 실리사이드층이 폴리실리콘 쪽으로 이동한 것처럼 보이는 것이다. 한편, 두층 사이의 계면이 다소 거칠게 보이는 이유는 열산화되는 동안의 결정립 성장 때문으로 생각된다. 한편, WSiO₂의 열산화막(SiO₂)의 두께는 약 1200 Å이상으로 같은 조건의 모니터(monitor)용 실리콘 기판에 형성된 열산화막의 두께인 500 Å보다 훨씬 두껍다. 이로부터 WSiO₂의 산화속도가 Si의 산화속도 보다 빠르다는 것을 의미한다. Fig. 10에는 Si와 WSi₂의 산화속도를 나타내었는데[18], 1000°C 이하의 온도에서는 WSi₂의 산화속도가 훨씬 빠름을 알 수 있으며, 이는 본 논문의 실험결과와 일치하고 있다. 이와 같이 1000°C 이하의 온도에서 텅스텐 실리사이드의 산화속도가 빠른 이유는 텅스텐이 실리콘의 산화반응에 촉매로 작용함으로써 반응의 활성화 에너지를 낮추기 때문이다.

4. 결 론

축적전극으로 텅스텐 폴리사이드(WSi₂/doped Poly-Si)를 사용하고 용량절연막으로서 N/O(SiO₂/Si₃N₄) 구조를 적용하여 평가한 결과 다음과 같은

결론을 얻을 수 있었다.

1. 전기적 특성(누설전류 및 항복전장) 신뢰성이 향상되었다.
 2. C-V 특성상에서 용량이 200 pF에서 60 pF으로 감소하였다.
 3. WSi₂의 산화막 성장속도가 불순물 도우핑된 다결정 실리콘보다 빠름으로써 상대적으로 두꺼운 산화막이 성장된 것으로 판단되고
 4. WSi₂ 중의 불순물의 확산이 아주 크기 때문에 실리사이드/다결정실리콘 구조에서는 고농도로 도우핑한 실리콘 층의 인(phosphorous)이 실리사이드층을 통해서 외향확산(out-diffusion)하여 다결정 실리콘 층의 불순물 농도가 낮아짐으로써 Poly-Si 내 공핍용량이 전체의 축적용량을 감소시키는 원인으로 판단된다.
- 위와같은 결과로부터 공정 조건을 최적화하면 차세대 고집적 기억소자의 제조 공정에 적용 가능하리라고 생각된다.

참고문헌

1. M. Wada, K. Hieda and S. Watanabe, IEEE IEDM Tech. Dig., p. 244, 1984.
2. W. Richardson, D. Bordelon, G. Pollack, et al., IEEE IEDM Tech. Dig., p 714, 1985.
3. T. Watanabe, et al., Pro. Int.Reliability Phys. Symp., p 50, 1987.
4. Y. Ohji, et al., Proc. Int. Reliability Phys. Symp., p 55, 1987.
5. Y. Ohno, et al., Symp. VLSI Tech. Dig., p. 35, 1988.
6. L.R. Zheng, L.S. Hung, J.R. Phillips and J.W. Mayer, *J. Appl. Phys.*, **62**, 4426 (1987).
7. S.P. Muraka and D.S. Williams, *J. Vac. Sci. Technol. B.*, **5**, 1674 (1987).
8. C.M. Osburn, T. Brat, D. Sharma, D. Griffis, S. Corcoran, S. Lin, W.K. Chu and N. Parikh, *J. Electrochem. Soc.*, **135**, 1490 (1988).
9. B. Crowder and S. Eirinsky, *IEEE Trans. Electron Dev.*, **ED-26**, 369 (1979).
10. Y. Ohno, et al., Symp. VLSI Tech. Dig., p 23, 1989.
11. C.Y. Lu, J.M. Sung, H.C. Kirsch, S.J. Hillenjus, T.E. Smith and L. Manchanda, *IEEE Electron Device Lett.*, **10**, 192 (1989).
12. M.Y. Tsai, F.M. d'Heurle, C.S. Peterson and R.W. Johnson, *J. Appl. Phys.*, **52**, 5350 (1981).

13. D.K. Sadana, A.E. Morgan, M.H. Norcott and S. Naik, *J. Appl. Phys.*, **62**, 2830 (1987).
14. D.R. Gaskell, *Introduction to Metallurgical Thermodynamics*, second edition, Hemisphere Publishing Co., 1981.
15. C.H.P. Lupis, *Thermodynamics of materials*, Elsevier Science Publishing Co. Inc., 1983.
16. D.K. Sadana, A.E. Morgan, M.H. Norott and S. Naik, *J. Appl. Phys.*, **62**(7), 2830 (1987).
17. J.E.E. Baglin, F.M. d'Heurle and C.S. Petersson, *J. Appl. Phys.*, **54**(4), 1849-1854 (1983).
18. F. Mohammadi, K.C. Sarawat and J.D. Meindi, *Appl. Phys. Lett.*, **35**(7), 529 (1979).