

# ISPSD'92를 다녀와서

崔 然 益\*

(\*亞洲大 工大 電子工學科 教授)

## 1. 머릿말

전력 반도체 및 IC 분야 전문학회인 ISPSD (International Symposium on Power Semiconductor Devices and IC's)는 도시바, 후지 전기, 히다치등 일본의 기업체 인사를 주축으로 하여 1988년에 일본

동경에서 제1차 학술대회를 개최하였다. 1990년 동경에서 제2차 대회, 1991년 미국 볼티모어에서 제3차 대회, 금년에는 동경에서 제4차 대회를 개최하기에 이르렀다. 전력반도체는 그간 PESC등 전력전자나 IEDM등 반도체 분야 국제회의의 2-3개 session에서 분산되어 발표하였기 때문에 참석자 수가 많지 않았고, 참석자 상호간에 정보교류가 원활하지 못했기 때문에 전문학회를 개최하게 되었다고 한다.

ISPSD'92는 동경시내에 소재하고 있는 와세다 대학의 국제회의장에서 5월 19일부터 21까지 사흘간

표 1 국가별 참가자수 및 발표논문수

국가명	참가자수	발표논문수
일본	255	32
미국	26	17.5
독일	11	5
한국	7	1
영국	6	4
스위스	4	2
프랑스	2	2.5
캐나다	2	1
이탈리아	2	1
스웨덴	2	1
네델란드	1	0.5
자유중국	1	0
에스토니아	0	0.5
루마니아	0	1
인도	0	1
계	319	70

\* 2개국의 공동연구인 경우는 0.5로 계수하였음

표 2 분야별 발표논문 수

분야	년도			
	1988	1990	1991	1992
응 용	4	3	1	5
시플레이션	4	3	6	8
바이폴라 소자	2	1	1	2
MOS게이트 소자	2	5	10	15
전력 / HV IC	8	14	18	16
Power Module	0	2	0	1
다이리스터 / 다이오드	2	3	3	5
GTO	1	4	1	4
Static Induction Der.	1	1	0	4
소재 / 공정 / 평가	4	7	7	8
Packaging	3	0	1	2
계	31	43	48	70

개최되었다. 국가별 참석자수(표1참조)를 보면 일본이 255명, 미국 26명, 독일 11명, 한국 7명, 영국 6명, 스위스 4명 등 총 319명에 달했으며, 발표 논문은 일본 32편, 미국 17.5편, 독일 5편, 영국 4편, 프랑스 2.5편, 스위스 2편 등 총 70편이었다. 금년도 분야별 발표 논문 수(표2 참조)를 보면, 전력/High Voltage IC 분야가 16편으로 가장 많았으며, 전력 MOSFET, IGBT, MCT 등 MOS 게이트 소자가 15편, 시뮬레이션 분야가 8편 등으로 주요 연구 분야를 시사해 주고 있다. 이들 분야는 제1차 대회 때보다 괄목할 만한 정도로 논문 수가 급증하였다.

## 2. 연구 동향

Plenary Session에서는 3편의 초청논문이 발표되었다. 동경대의 Masada교수는 자기부상 열차에서의 전력전자에 관한 강연을 하였으며, 이를 위한 전력 소자는 4500V급의 latching형으로서, 전류능력은 2.5~3KA, 변조주파수는 4kHz정도이며, hazard가 있는 환경에서 견딜 수 있어야 한다고 주장하였다. 캠브리지 대학의 Palmer와 Johnson은 전력반도체 소자의 비파괴 분석법에 관하여 GTO를 예로 들어

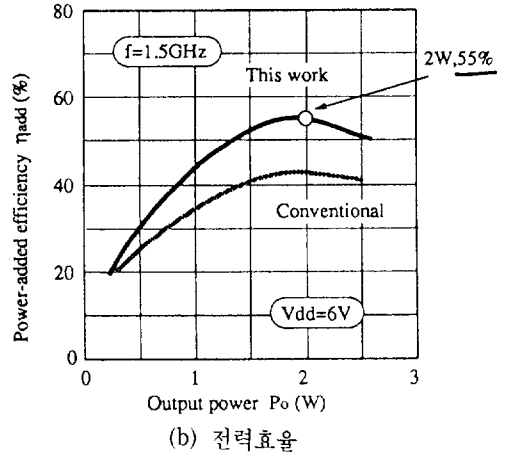
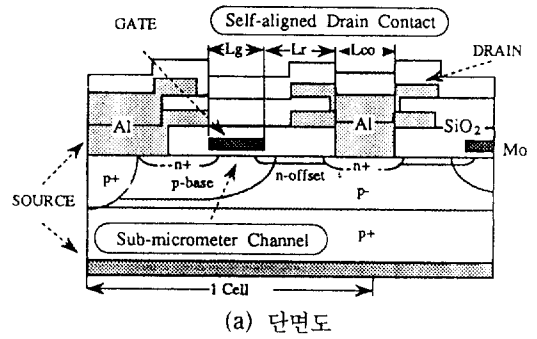


그림 1. Si 전력 MOSFET

표 3 전력 반도체소자 및 IC의 CAE 연구분야

CAE	PROGRESS	ISSUES	STIFF EQU
Process Simulation	2D Effects, Rapid Thermal, Accuracy	High-I Interconnects, Oxide Charge, Lifetime, New Materials	X
Device Simulation	Cylindrical Coordinates, Tunneling, Electrothermal, External Circuit	Temp Models, II Model, Mobility Model, Perfect Dielectrics	X
Device Models	Short Channel Effects	Symmetric Devices, Temp Dependence, Macro Parameter Extraction, Mixed MOS-Bipolar	
Circuit / System Simulation	Temp for Each Device	Start-Up, Mixed-Mode	X
Chip Layout	LVS, LPE	Voltage Specific Design Rules Arcs, LVS Device Identification	

thermal imaging과 자계 측정법에 대하여 설명하였다. Siliconix의 Williams는 전력반도체 소자 및 IC에서의 CAE(Computer Aided Engineering)에 관하여 최근 연구 동향(표3 참조)에 대하여 강연하였으며, 특히 고전압 IC, 전력 IC 분야에서 앞으로 많은 연구가 수행되어야 한다고 역설하였다.

ISPSD'92에서 가장 주목을 끈 논문은 히다치의 Yoshida 등이 발표한 1.5GHz Si 전력MOSFET라 할 수 있다. 이것은 디지털 휴대용 전화기의 전력증폭기에 사용될 목적으로 개발되었으며, 그림 1에 나타난 바와 같이 서브마이크론 채널과 자기정렬 드레인 접촉, shallow diffusion을 이용하여 1.5GHz 6V 전원에서 55%의 전력효율(power-added efficiency)을 얻었다. 니산자동차의 Throngnumchai는 poly Si를 이용한 박막바이폴라 트랜지스터를 사용하여 단락부하 보호를 할 수 있는 지능형 전력MOSFET에 대해 발표하였으며, 이것은 기계식 릴레이를 대체시킬 수 있다고 주장하였다. NTT의 Vera등은 드레인 트랜치를 이용한 ON저항이 작은 수평형 전력MOSFET, 도시바의 Baba등은 이중게이트 구조를 사용하여 70V 1,2mΩ·cm<sup>2</sup>수준의 UMOSFET(그림 2 참조)를 실현하였다.

산요전기의 Nagata등은 HDTV, Page Printer에 사용될 수 있는 2500V, 0.3A급 바이폴라 트랜지스터

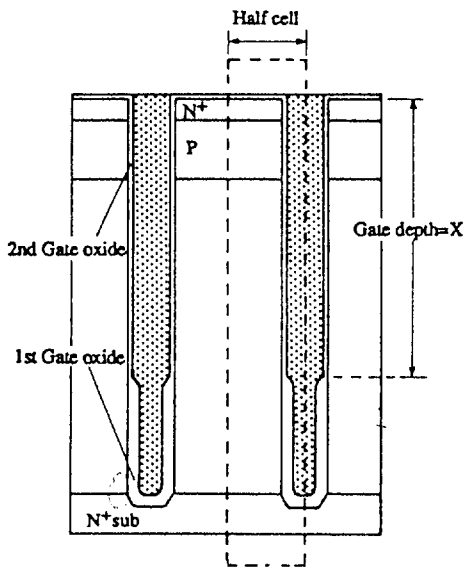
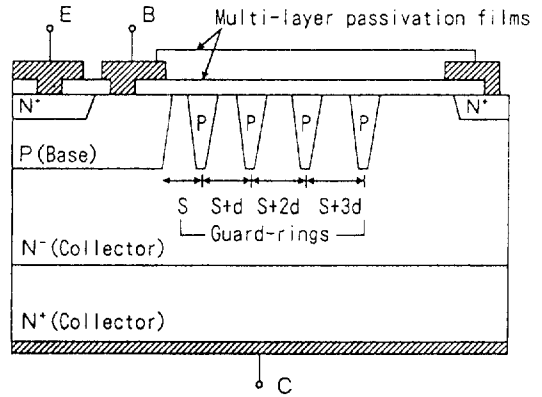
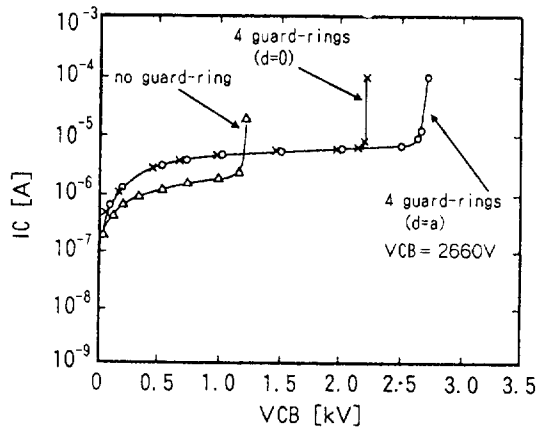


그림 2. 이중 게이트 UMOSFET

를 실현하였다. 칩 크기는 2.5mm×2.5mm이었으며, TO-220 FI 플라스틱 패키지를 사용하여



(a) 단면구조



(b) 항복전압 특성

그림 3. 2500V급 바이폴라 트랜지스터

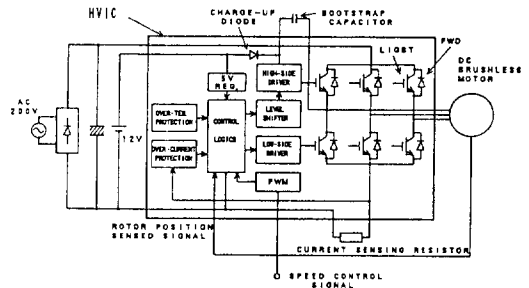


그림 4. 3상 인버터 IC의 블록다이어그램

## 표 4. ISPSD'92 프로그램

**Opening Remarks**

Tuesday, May 19, 9:30-9:35

M. Okamura, *Hitachi Ltd., General Chairman***Session 1: Plenary Session**

Tuesday, May 19, 9:35-11:05

1.1 **Power Electronics in Maglev Transport(Invited)**

E. Masada

*The University of Tokyo, Japan.*1.2 **Non-destructive Measurements for Analyzing Power Semiconductor Devices(Invited)**

P.R. Palmer, C.M. Johnson

*University of Cambridge, UK*1.3 **Issues in Computer Aided Engineering for Power Semiconductor Devices and ICs (Invited)**

R.K. Williams

*Siliconix Inc., USA***Session 2: IGBTs**

Tuesday, May 19, 11:15-12:30

2.1 **Static and Dynamic Characteristics of High Voltage (3.5 kV) IGBT and MCT Devices**

F. Bauer, T. Stockmeier, H.

Lendenmann\* H. Dettemer\*

and W. Fichtner\*

*Asea Brown Boveri Ltd., Switzerland.**"Swiss Fed. Inst. of Technology, Switzerland*2.2 **Double Gate MOS Device Having IGBT and MCT Performances**

K. Sakurai, M. Otsuki and S. Momota

*Fuji Electric Co., Ltd., Japan*2.3 **A Study of IGBT's Steady State SOA with Newly Developed Simulation**

K. Nakayama and A. Nakagawa

*Toshiba Co., Japan***Session 3: Power ICs ( )**

Tuesday, May 19, 13:45-15:25

3.1 **Comparison of DI and JI Lateral IGBTs**

Y.S. Huang, B.J. Baliga, S.Tandon and A. Reisman

*North Carolina State University, USA*3.2 **A Versatile Linkage Device for High Voltage IC's**

A. Bodensohn, J. Korec and D. Silber\*

*Daimler Benz AG., Germany,**\*University of Bremen, Germany*3.3 **Fast Switching LIGBT Devices Fabricated in SOI Substrates**

D.R. Disney and J.D. Plummer

*Stanford University, USA*3.4 **A Novel DMOS Structure for 1.5 $\mu$ m Rule Bi-CDMOS Process**

N. Fujishima, Y. Yano and K. Tsuchiya

*Fuji Electric Co., Ltd., Japan***Session 4: Diodes**

Tuesday, May 19, 15:35-17:40

4.1 **High Voltage (4kV) Emitter Short Type Diode (ESD)**

M. Kitagawa, K. Matsushita and A. Nakagawa

*Toshiba Corp., Japan*4.2 **The Low Power Dissipation Schottky Barrier Diode with Trench Structure**

S. Kunori, J. Ishida, M. Tanaka, M. Wakatabe and T. Kan

*Shindengen Electric Mfg. Co., Ltd., Japan*4.3 **Channel Diode, A New Fast Switching Power Diode**

H.P. Yee, P.O. Lauritzen and S.S. Yee

*University of Washington, USA*4.4 **Low Leakage Current Schottky Barrier Diode**

H. Kozaka, M. Takata, S. Murakami and T. Yatsuo

*Hitachi Ltd., Japan*4.5 **High-Voltage Termination Using Enhanced Surface Doping**

L.E. Clark, R.B. Davies and P.J. Groenig

*Motorola Inc., USA*

**Session 5 : High Voltage Bipolar Devices**

Wednesday, May 20, 9 : 30-10 : 45

5.1 **A Normally-Off Bipolar Mode Static Induction Transistor (BSIT) with High Current Gains**

N. Ishiko, S.Kawaji, H.Tadano, S. Sugiyama and H. Takagi\*

*Toyota Central Lab. Inc., Japan.*

*\*Toyota Automatic Loom Works Ltd., Japan*

5.2 **Formation of High-Quality Epitaxial Layer for an Improved GTO**

M. Watanabe, Y. Takahashi, O. Yamada and H. Kirihata

*Fuji Electric Co., Ltd., Japan*

5.3 **A New Concept for an Over-Voltage Self-Protected Thyristor**

Y. Shimizu, S. Murakami, M. Takata and H. Honma

*Hitachi Ltd., Japan*

**Session 6 : Modeling & Simulation**

Wednesday, May 20, 10 : 55-12 : 35

6.1 **4.5 kV GTO Turn-Off Failure Analysis under an Inductive Load Including Snubber, Gate Circuit and Various Parasitics**

I. Omura and A. Nakagawa

*Toshiba Corp., Japan*

6.2 **Failure Prediction of Power Devices under Reverse Surge Current Conditions**

B. Freydin, E. Velmre\* and A. Udal\*

*Silvaco International, USA,*

*\*Tallinn Technical University, Estonia*

6.3 **Modeling the Self-Heating of Power Devices**

R. Kraus, K. Hoffmann and P. Türkes\*

*University of Bundeswehr, Munich, Germany, \*Siemens AG, Germany*

6.4 **Full Dynamic Power Diode Model Including Temperature Behavior for Use in Circuit Simulators**

H. Goebel and K. Hoffmann

*University of Bundeswehr, Munich, Germany*

**Session 7 : Power MOSFETs**

Wednesday, May 20, 13 : 45-15 : 00

7.1 **A Novel Schottky Junction Back Gate VDMOSFET**

N. Yamashita, E.S. Vera, T.Sakai and T. Yachi

*NTT Corp., Japan*

7.2 **An Intelligent Discrete Power MOSFET with Shorted Load Protection Using Thin-Film Bipolar Transistor**

K. Throngnumchai

*Nissan Motor Co., Ltd., Japan*

7.3 **A 30-V, 75-mΩ·mm<sup>2</sup> Power MOSFET for Intelligent Driver LSIs**

M. Morikawa, K. Sakamoto, K. Uchida, T. Koda, K. Satonaka and I. Yoshida

*Hitachi Ltd., Japan*

**Session 8 : Late News**

Wednesday, May 20, 15 : 10-16 : 10

8.1 **Highly Efficient 1.5GHz Si Power MOSFET for Digital Cellular Front End**

I. Yoshida, M. Katsueda, S. Ohtaka, Y. Maruyama and T. Okabe, *Hitachi Ltd., Japan*

8.2 **Electrothermal Simulation of an IGBT**

V. Axelrad and R. Klein\*, *Technology Modeling Associates, USA.*

*\*Laboratoire d' Electronique de Technologie, France*

8.3 **On-Chip New Current Sensing Technology with High Accuracy Using Field Effect Resistance for Intelligent Power MOSFETs**

N. Tokura, T. Yamamoto and K. Hara, *Nippondenso Co., Ltd., Japan*

**Session 9 : PosterSession**

Wednesday, May, 20, 16 : 30-18 : 30

- 9.1 **Compact GTO — A New Gate Turn-Off Thyristor Design for Improved Safe Operating Area**  
M. Bakowski, M. Ljungberg, P. Norlin and H. Elderstig  
*Swedish Institute of Microelectronics, Sweden*
- 9.2 **A New Generation High Speed Low Loss IGBT Module**  
G. Majumdar, J. Yamashita, H. Nishihara, Y. Tomomatsu and N. Soejima  
*Mitsubishi Electric Corp., Japan*
- 9.3 **Study of the Resurf Principle for Thin Epitaxial Layer High Voltage Integrated Circuits**  
E.M.S. Narayanan, G. Amaratunga and W.I. Milne  
*Cambridge University, U.K.*
- 9.4 **Numerical Analysis of Turn-Off Behavior of IGBT with an Inductive Load**  
N. Iwamuro  
*Fuji Electric Co., Ltd., Japan*
- 9.5 **4.5 kV, 3000A Reverse Conducting GTO Thyristor**  
T. Nakagawa, F. Tokunoh, Y. Yamauchi, M. Yamamoto and K. Niinobu  
*Mitsubishi Electric Corp., Japan*
- 9.6 **A Process Oriented VDMOSFET Model for Circuit Simulation**  
W. Soppa and J. Hänseler  
*Siemens AG, Germany*
- 9.7 **Cryogenic Operation of Asymmetric N-Channel IGBTs**  
R. Singh and B.J. Baliga  
*North Carolina State University, USA*
- 9.8 **Gate Operation Circuit Configuration with a Power Supply for MOS-Gate Power Devices**  
N. Kumagai  
*Fuji Electric Co., Ltd., Japan*
- 9.9 **Application of a New Fabrication Technique to GaAs SITHy using LPE**  
A. Tomita, T. Kamiya, M. Kimura, A. Tanaka and T. Sukegawa  
*Shizuoka University, Japan*
- 9.10 **A Design Methodology for the Minimum Die Area of Power MOSFETs Considering Thermal Resistance of the Package**  
I. Kim, S. Hwang\*, Y. Choi\*\* and M. Han  
*Seoul National University, Korea, \*KETI, Korea \*\*Ajou University, Korea.*
- 9.11 **High Voltage IGBT with a New Semi-Resistive Film over Edge Structure**  
R. Saitoh, A. Nishiura and K. Sakurai  
*Fuji Electric Co., Ltd., Japan*
- 9.12 **A Novel GTO Thyristor Structure**  
A. Silard, S. Cercelaru, F. Udrea, M. Duță  
*Polytechnic Institute, Romania. \*CCSIT-CE, Romania*
- 9.13 **A New Junction Termination Technique for Power Devices :RESURF LDMOS with SIPOS Layers**  
G. Charitat, M.A. Bouanane and P. Rossel  
*Laboratoire d'Automatique et d'Analyse des Systemes, France*
- 9.14 **MCT-based High Frequency Capacitor Power Supply**  
C.C.G. Braun and J. Carter  
*U.S. Army LABCOM, USA*
- 9.15 **Optimum Driving Circuit for IGBT Devices Suitable for Integration**  
C. Licitra, S. Musumeci, A. Raciti, A. Galluzzo\* R. Letor\* and M. Melito\*  
*Universita Catania, Italy, \*SGS-Thomson Microelectronics, Italy.*
- 9.16 **Improvement of On-Resistance of a High-Purity Channel SIT by a Shielded Gate Structure**  
K. Yano, C.W. Kim, M. Kimura, A. Tanaka.  
S. Motoyama\* and T. Sukegawa  
*Shizuoka University, Japan, \*New Japan Radio Co., Ltd., Japan*

- 9.17 **Comparison between Biased and Floating Field Rings Used as Junction Termination Technique**  
V. Macary, G. Charitat, M. Baffleur, J. Buxo and P. Rossel  
*Laboratoire d'Automatique et d'Analyse des Systèmes, France*
- 9.18 **Temperature Dependence of Gummel-Poon Model Parameters from  $-40 \leq T \leq 185^\circ\text{C}$  for Medium-Voltage, Junction-Isolated BJTs**  
A. Bhalla and T.P. Chow  
*Rensselaer Polytechnic Institute, USA*
- 9.19 **A High Side Solenoid Driver with High Recirculation Voltage(With drawn)**  
B. Nadd  
*International Rectifier, USA*
- 9.20 **Poster MOSFET with Hold-Type Thermal Shutdown Function(Late News)**  
K. Sakamoto, I. Yoshida, S. Ohtaka and H. Tsunoda, *Hitachi Ltd., Japan*
- 9.21 **Low-Temperature SOI Wafer Bonding(Late News)**  
F. Sugimoto and Y. Arimoto, *Fujitsu Laboratories Ltd., Japan*
- 9.22 **Comparison of Junction-Isolated and SOI High-Voltage Devices Operating in the Source-Follower Mode(Late News)**  
E. Arnold, S. Merchant, M. Amato, S. Mukherjee, H. Pein and A. Ludikhuizen\*, *Philips Laboratories, USA, \*Philips Research Laboratories, Netherlands*
- 9.23 **Optimization of 500V, P-Channel VDMOS-LIGBT Transistors(Late News)**  
V. Parthasarathy and T.P. Chow, *Rensselaer Polytechnic Institute, USA*
- 9.24 **Thermal Dissipation of "Chip on Chip" Module(Late News)**  
K. Kodama, T. Akai, M. Mizukoshi and T. Yamauchi, *Fujitsu Co., Ltd., Japan*
- 9.25 **Modeling and Optimization of Semi-**

**Insulator Passivated High-Voltage Field Plate Devices(Late News)**

C.B. Goud and K.N. Bhat, *Indian Institute of Technology, India*

- 9.26 **Expression for I-V Forward Characteristic of MCTs(Late News)**

D. Czarkowski and M.K. Kazimierczuk, *Wright State University, USA*

- 9.27 **Failure in GTO Circuits due to the Change in Recovery Characteristic of Snubber Diodes(Late News)**

P.T. Hoban, M. Carreira and N.Y.A. Shamma, *Staffordshire Polytechnic, UK*

**Session 10 : MOS Gate Thyristors**

Thursday, May 21, 9 : 30-10 : 45

- 10.1 **Fast Switching Power MOS-gated (EST/BRT) Thyristors**

M. Nandakumar, M.S. Shekar and B.J. Baliga  
*North Carolina State University, USA*

- 10.2 **The FiBS, a Novel High Voltage BiMOS Switch**

K. Lilja and T. Stockmeier  
*Asea Brown Boveri Ltd., Switzerland*

- 10.3 **MOS Controlled Current Interruption as a Turn-Off Mechanism for Thyristors**

Q. Huang and G.A.J. Amaratunga  
*University of Cambridge, UK*

**Session 11 : Power ICs(II)**

Thursday, May, 21, 10 : 55-12 : 35

- 11.1 **Simulation of a 700V High Voltage, Device Structure on Thin SOI**

T. Matsudai and A. Nakagawa  
*Toshiba Corp., Japan*

- 11.2 **A New Concept for High Voltage SOI Devices**

W. Wondrak, R. Held, E. Stein and J. Korec  
*Daimler-Benz AG, Germany*

- 11.3 **Electro-thermal Circuit Simulation of**

**Power ICs Combining SPICE and 3-D Finite Element Analysis**

R.K. Williams, M. Rodamaker and L.T. Sevilla

*Siliconix Inc., USA*

11.4 **Modeling and Characterization of SIPOS Passivated, High Voltage, n-and p-Channel Lateral RESURF Type DMOSFETs**

T. Sakai, K.C. So, Z. Shen and T.P. Chow  
*Rensselaer Polytechnic Institute, USA*

**Session 12: Power MOS/MES FETs**

Thursday, May 21, 13:45-15:25

12.1 **A Novel Power MOSFET Using Drain Trench Technology**

E.S. Vera, N. Yamashita and T. Yachi  
*NTT Corp., Japan*

12.2 **Low ON Resistance and High Blocking Voltage UMOS-FET with Double Gate Structure**

Y. Baba, N. Matsuda, S. Yanagiya, S. Hiraki and S. Yasuda  
*Toshiba Corp., Japan*

12.3 **Effect of Contact Resistivities and Interface Properties on the Performance of SiC Power Devices**

T.K. Wang, T.P. Chow, D.M. Brown\* and M. Ghezzi\*  
*Rensselaer Polytechnic Institute, USA, \* General Electric Corp., USA*

12.4 **High-Voltage High-Speed MESFETs Using a Standard GaAs Digital IC Process**

P.K.T. Mok and C.A.T. Salama, *Univer-*

*sity of Toronto, Canada*

**Session 13: Applications**

Thursday, May 21, 15:35-17:40

Chairpersons: T. Usui, *Oki Electric Industry Co., Ltd.* T. Williams, *Siliconix Inc.*

13.1 **New Dielectric Isolation for High Voltage Power ICs by Single Silicon Poly Silicon Direct Bonding(PSDB) Technique**

Y. Sugawara, Y. Inoue, S. Ogawa and S. Kurita\*  
*Hitachi Ltd., Japan, \*Hitachi Haranomachi Denshi, Japan*

13.2 **A 1200V BiCMOS Technology and its Applications**

V. Rumennik, *Power Integrations, Inc., USA*

13.3 **500V Three Phase Inverter ICs Based on a New Dielectric Isolation Technique**

A. Nakagawa, Y. Yamaguchi, T. Ogura, K. Watanabe, Y. Yasuhara, R. Sato, K. Endo and K. Furukawa, *Toshiba Corp., Japan*

13.4 **A Planar 2500V 0.3A Bipolar Transistor for High Voltage Control Circuit**

M. Nagata, Y. Koike, S. Okada and M. Shigeta, *SANYO Electric Co., Ltd., Japan*

13.5 **Power MOSFET Analysis / Optimization for Cryogenic Operation Including the Effect of Degradation in Breakdown Voltage**

R. Singh and B.J. Baliga, *North Carolina State University, USA*

$BV_{CBO} = 2725V$ ,  $BV_{CEO} = 1600V$ 를 얻었다(그림3 참조).

North Carolina주립대의 Baliga팀은 77°k~300°k에서의 전력MOSFET과 IGBT의 해석적인 소자 모형을 제시하였다. 두 소자 모두 온도가 낮아질수록 항복전압과 ON저항 (IGBT인 경우 순방향 전압강하와

turn-off시간)은 감소하고, 문턱전압과 트랜스콘덕턴스는 증가하였으며, 77 R 동작시 특성이 좋아지기 때문에, 사용상에 유리한 점이 많다고 주장하였다.

도시바 연구소의 Nakagawa등은 wafer direct bonding을 이용하여 500V 3상 인버터 IC를 개발하였다. 600V급의 고속 수평형 IGBT를 사용하였으며



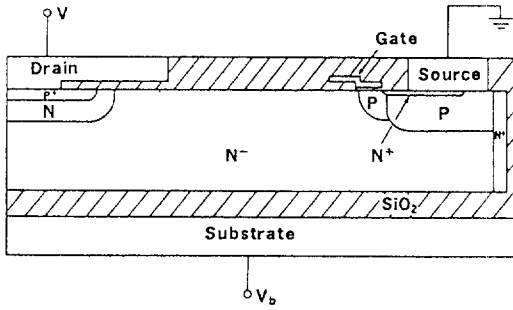


그림 5. SOI IGBT 구조

이외에도 4KV급 에미터 단락형 다이오드, 누설전류가 작은 쇼트키 다이오드, SIPOS를 이용한 2000V급 IGBT, Resurf LDMOS, 4.5KV, 3000A급 GTO, SiC전력소자등 호평을 받은 논문들이 많았다.

참고로 심포지움 발표논문 프로그램을 표4에 첨부하였다. ISPSD'93은 미국 캘리포니아의 경치좋은 휴양지 Monterey 하이아트 호텔에서 5월 18일-20일 동안 개최될 예정이며, 논문 모집 광고는 표5와 같다.

### 3. 맺음말

3일간의 심포지움을 통하여 느낀점을 몇가지 적어 보면 다음과 같다. 참석자들이 첫날 부터 마지막 날 까지 거의 졸지 않고, 쉬는 시간을 제외하고는 하루 종일 강연회장에 앉아서 열심히 경청하며 노트하고, 질문하는 등 열의가 대단했다. 주최측의 준비사항으로 특기할 사항은 심포지움 하루 전 부터 등록을 받았는데, 와세다 대학 근처 전철역에서 심포지움 장소까지 길목의 요소요소에 안내 표시를 부착을 뿐만 아니라, 포스터를 들고 안내원들이 서서 길 안내를 친절히 해 주었던 점이 매우 인상적이었다. 세미나의 좌장에게는 약 1달 전에 좌장이 맡을 논문을 우송해 주어서, 충분한 시간을 갖고 검토할 수 있도록 배려해 주어서 큰 도움이 되었던 것 같다.

ISPSD'92의 성공적인 개최를 위하여 수고하신 히다치의 Okamura위원장, 도시바의 Ohashi, 후지전기의 Uchida 등 조직위 여러분께 사의를 표한다.

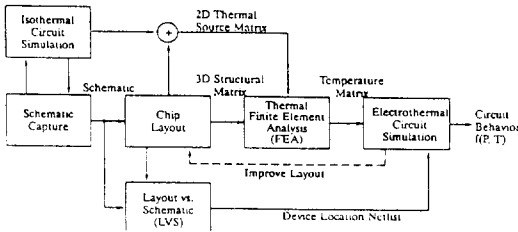


그림 6. Electrothermal 설계 및 회로 시뮬레이션

PWM 주파수는 16KHz이었고, 새로운 단락회로 보호기능이 내장되어 있다(그림4 참조).

절연격리(dielectric isolation)를 위하여 direct bonding 기술을 이용한 SOI소자에 관한 연구 논문이 다수 발표되었다. Daimler-Benz연구소의 Wondrak 등은 SIPOS를 사용하여 800V 이상의 항복전압을 갖는 pn 다이오드를 실현하였으며, 도시바 연구소의 Matsudai등은 1000A 두께의 얇은 실리콘 막과 SIPOS를 사용한 SOI구조로써 500V의 항복전압을 갖는 수평형 전력MOSFET(그림5 참조)을 얻었다. North American Philips의 Arnold는 SOI고전압 소자가 접합격리 소자에 비해 단위면적당 ON저항이 상당히 작다고 주장하였다.

전력소자 및 IC의 electrothermal 회로 시뮬레이션에 관한 연구 논문도 상당한 관심을 끌었다. Siliconix의 Williams는 ANSYS 3차원 FEA(Finite Element Analysis)를 사용하여 각 소자의 온도를 계산하고, SPICE를 사용하여 non-isothermal회로 시뮬레이션(그림6 참조)을 하였다. 독일 Bundeswehr 대학의 Goebel은 온도 특성을 포함한 전력 다이오드의 동적 모형에 대하여, 지멘스의 Türkes는 전력소자의 self-heating에 대한 모형을 발표하였다.



최연익(崔然益)

1953년 11월 23일생. 1976년 서울대 공대 전자공학과 졸업. 1981년 한국과학기술원 졸업(공박). 1982년 UC Berkeley 전기 및 전산공학과 Research Associate. 현재 아주대 공대 전자공학과 부교수. 당학회 편집위원. 주관심분야: 전력반도체 소자, TFT.