

비정질 실리콘 박막 트랜지터(a-si : H TFT)의 제작과 온도변화 특성

Fabrication and Temperature Variation Characteristics of Hydrogenerated Amorphous Silicon Thin Film Transistor

李 愚 宣* · 姜 龍 哲** · 朴 榮 俊*** · 車 仁 洙§
(Woo-Sun Lee · Yong-Chul Kang · Young-June Park · In-Soo Cha)

Abstract - A new analytical expression for the temperature variation characteristics of hydrogenerated amorphous silicon thin film transistors(a-si:H TFT), between 223K and 433K, is presented and experimentally verified. The results show that the experimental transfer and output characteristics at several temperatures are easily modeled between -50°C and 90°C. The model is based on three functions obtained from the experimental data of I_D versus V_G . Theoretical results confirm the simple form of the model in terms of the device geometry. It was determined that as the temperature increased, the saturated drain current increased and, at a fixed gate voltage, the device saturated at increasingly larger drain voltages while the threshold voltages decreased.

Key Words : · Thin Film Transistor

1. 서 론

스태거형 수소와 비정질 실리콘 박막트랜지스터 (inverted staggered type a-si : H TFT)는 제조

공정상 증착하기가 쉽고 많은 물질 들중 큰 면적에 균일하고 쉽게 증착할 수 있어서 박막형 논리 회로[1], 반도체 표시기, 고해 영상 감지기[2], CCD(charge coupled device) [3], 랩-탑(lap-top) 컴퓨터[4], HD-TV 등에 이용되는 표시기의 새로운 반도체 소자로써 이용이 증가되고 있다. TFT의 신뢰도를 향상 시키고 active matrix LCD 표시기의 제조 가격을 줄이기 위해서 LCD 논리 회로의 구동 회로는 동일한 박막에 제조 되어야 하고 평판형 액정 표시기의 많은 리드선을

*正 會 員 : 朝鮮大 工大 電氣工學科 教授 · 工博

**正 會 員 : 朝鮮大 大學院 電氣工學科 博士課程

***正 會 員 : 서울대 工大 電子工學科 助教授 · 工博

§正 會 員 : 東新大 工大 電氣工學科 專任講師 · 工博

接受日字 : 1991年 8月 22日

1次修正 : 1991年 11月 21日

감소 시키기 위해서는 TFT를 스위칭 matrix 형상으로 제조해야 한다. 비정질 실리콘 박막 트랜지스터는 큰 off resistivity 를 갖고 각각의 cell에서 능동 스위칭 matrix에 대해 적당한 on current를 갖는다. A-si : H TFT 제조공정 과정에서 TFT의 a-si층과 SiNx층의 약 260°C의 저온 증착공정은 고온인 MOS-IC보다 큰장점이 있다. 최근에 a-si : H TFT를 더 광범위 한곳에 응용하고 실용화하기 위해서는 더 정확한 수학적 모델과 온도영향에 따른 실험적인 연구가 요구되고 있다. Neudeck et al[5]~[9]는 a-si : H TFT의 I_D-V_D 특성을 모델링 하고 해석하였는데, 이 모델의 식은 전부 상온에서 모델링되었다. 아직 우리나라에서 상용화 되지않고 있는 a-si : H TFT의 회로를 상용화를 목적으로 개발하기 위한 중요한 이슈 중의 하나로서 TFT의 제작 및 각종 특성에 관계되는 정확한 온도특성과 수학적모델 개발에 대한 연구를 요구 하고 있다. 이와 관련하여 TFT의 온도특성에 대한 연구로는 TFT 온도측정 방법과 온도 의존성연구에 대하여 제한적으로 이루어진바 있다. [10]

본 연구에서는 스택거형 a-si : H TFT를 제조하고, 광범위한 온도영역에 걸쳐서 TFT의 전달특성과 출력특성을 실험하고 그에 따른 각 특성들을 측정 하였으며, 드레인 포화전류가 광범위한 온도영역에 걸쳐서 지수 함수적인 식에 의하여 모델화되었고, 온도영역 223K 부터 433K 범위에서 TFT 디바이스 전압-전류 특성이 실험에 의해서 측정되었으며 계산된 모델의 식과 비교되었다.

2. A-si : H TFT 소자의 제작

Inverted 스택거형 a-si : H TFT의 구조는 그림 1과 같다. 웨이퍼는 (100) 방향 실리콘 웨이퍼를 사용 하였으며 1100°C에서 200 Å의 실리콘 dioxide를 성장하였다. 게이트는 크롬(Cr)을 스퍼터에 의해서 증착 하였으며 사진 식각을 위한 마스크 패턴은 Zylex computer system 을 사용하여 제작 하였다. 실리콘 나이트라이드(SiNx) 증착을 위해서 SiH₄(=5 SCCM), NH₄(=50 SCCM) 그리고 N₂(=50 SCCM) 비율로 gas 혼합방법에 의하여 PECVD chamber 에서 진행 하였으며 PECVD의 전력은 81.6 mW/cm²이고 chamber 내의 압력은 613 mT 이다. PECVD에 의해 증착된 두께는 1500 Å 이었고, SiH₄ gas를 PECVD chamber 에서 깨끗이 없앤후에 a-si : H를 PECVD reator 전력 9.8m W/cm²에서 260°C의 온도로 증

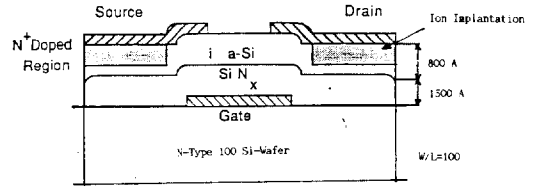


그림 1 스택거형 a-si : H TFT의 구조.
Fig. 1 Cross section of inverted staggered a-Si : H thin film transistor.

착 하였다. SiH₄ 압력은 350mT 이고 flow rate는 50 SCCM 이다. SiNx와 a-si : H가 형성된후 30 KeV energy 로 1×10^{16} ion/cm²의 인(P) 이온을 주입하여 드레인 소오스 음극 콘택을 형성하였다. 스퍼터에 의한 알루미늄(Al) metalization 공정은 200°C의 dry nitrogen/hydrogen 분위기에서 30분간 어닐링 한후에 진행하였다.

온도변화 실험을 하기위해서 위와 같이 제조된 웨이퍼를 tempress device die saw (solar basic Model 602)를 이용하여 자른다음 각각의 디바이스를 packaging 된 디바이스를 넣고 알루미넬-크로멜(alume-chromel) 열전대를 디바이스에 연결하고 다시 이 열전대선을 외부로 연결하여서 computerized thermocouple meter (MH51)을 이용하여 디바이스 자체온도를 측정하였다. 디바이스 온도변화에 따른 I-V 및 제 특성측정은 computerized semiconutor parameter analyser (HP 4140B)를 사용 하였으며 HP9000-236 컴퓨터에 의해서 측정된 a-si : H TFT 각종 측정 결과는 분석 되고 저장 되어 plotting 하게 된다. 각각의 고정된 온도에서 드레인 전류의 특성측정은 디바이스안정을 고려하여 2V 간격으로 5초간 시간지연한 후에 진행하였으며 전달특성과 출력특성의 측정 시간 간격은 해당된 각각의 온도에서 각각 30분 및 20분 동안 일괄적으로 동일하게 하였다.

본 실험실에서는 제작된 두개의 디바이스를 packaging 하여 사용하였으며 두개 디바이스 실험 결과의 평균 값을 취하여 그 결과 값을 컴퓨터 분석에 의하여 자동적으로 컴퓨터에 저장 되도록 하여서, 그 결과를 plotting 하도록 하였다. 온도변화 실험은 -90°C~160°C 범위에서 온도를 변화시켜 가면서 실행 하였으며 두개의 디바이스에 대하여 전 온도에 대한 한번의 특성측정은 12시간에 걸쳐서 일괄적으로 실행하였다.

3. 수학적인 모델

Neudck et al[8]에서 a-si : H TFT 의 드레인 전류 I_D 는 다음식과 같이 나타내었다.

$$I_D = WG_s \frac{dV_o(y)}{dy} \quad (1)$$

여기서 W 는 채널의 폭이고 G_s 는 채널의 sheet conductance 그리고, $V_o(y)$ 는 band bending이 없는 곳에서의 공전전하층의 전위이다. 식(1)을 적분하면 드레인 전류 I_D 는 다음식으로 나타낼 수 있다.

$$I_D = \frac{W}{L} \int_{V_a}^{V_b} G_s(V) dV \quad (2)$$

여기서 V_a 는 소오스 측 전위이고 V_b 는 드레인 측 전위이며, L 은 채널의 길이 이다. 식(2)는 a-si : H TFT 의 포화영역에서 온도와 관련하여 모델의 식 (3)으로 나타 낼 수 있다.

$$I_D = K(T) [V_G - V_T(T)]^{\eta(T)} \quad (3)$$

여기서 드레인 전류를 결정하는 변수인 η 는 실제적으로 a-si 경계면층인 국부적인 bulk state에서 결정된다. 여기서 V_G 는 게이트 전압이고 V_T 는 트레시홀드 전압이다. 모델식에서 트레시홀드 전압 $V_T(T)$ 와 지수적 factor인 $\eta(T)$ 와 계수 $K(T)$ 는 온도변화에 의존하게되어, 이들 세가지 함수들의 값은 온도가 증가함에 따라서 증가 혹은 감소하게 된다.

A-si 경계면의 두점에서 band tail에 의한 상태 밀도를 N_s, N_{s0} 퍼텐셜 에너지를 E, E_0 계수를 β 라하면 N_s 는 일반적으로 나타나는 지수함수적인 표현의 식인 다음식 (4)로 나타 낼 수 있다.

$$N_s = N_{s0} e^{\beta(E - E_0)} \quad (4)$$

그리고 반도체의 절연체상의 증착 조건에는 서로 차이가 있으므로 이 차이 값이 되는 η 는 식(5)와 같이 나타낼 수 있다. [11]

$$\eta = \frac{0.95q}{KT\beta} + \eta_0 \quad (5)$$

여기서 η_0 값은 1로서 온도와는 독립된 항이고, η 는 온도가 증가함에 따라서 감소하게 된다. 온도의 함수인 V_T 와 K 값은 온도 영역 T_0 에서 식 (6), (7) 과 같이 나타 낼 수 있다.

$$V_T(T) = V_T(T_0) - \alpha_1(T - T_0) \quad (6)$$

$$K(T) = K(T_0) \exp[\alpha_2(1/T_0 - 1/T)] \quad (7)$$

여기서 T_0 는 절대온도로서 상온이고 α_1 과 α_2 값은 실험결과를 분석하여 결정되고 223K-363K의 전 온도영역에서 적용되는 상수이며 $\alpha_1 = 7.1429 \times 10^{-3}$ 이고 $\alpha_2 = 2393.8$ 이다. V_T 는 $K(T)$ 가 지수 함수적

으로 증가 함에 따라서 온도증가와 함께 선형적으로 감소 하게 된다.

4. 실험 결과

4.1 η 와 V_T 및 K 값에 대한 분석

그림2는 제조된 a-si : H TFT에서 측정된 문턱 전압과 η 값을 나타내는데 η 값은 온도영역 223K 부터 363K 까지의 온도에 대한 함수 값이다. 이들 값은 식(5), (6)에서 알 수 있는 바와같이 온도가 증가됨에 따라서 감소하는 경향을 나타낸다. 그림 3은 온도의 함수인 $K(T)$ 값을 나타내는데 이 값은 온도가 증가함에 따라서 지수함수적으로 증가하게 되고 식(7)을 만족한다. 그림 (2), (3)의 파라메타는 전 온도 영역에 걸쳐서, 포화드레인 전류와 게이트 문턱전압 이상에서인 TFT 활성영역에서 성립하며 그림3의 $K(T)$ 값은 전 온도에서 측정된 $I_D(sat)$ 값을 simple curve fit 하여 V_G 와 만나는 점에서 V_T 를 구하였다. 그림 (4), (5)는 드레인 전류와의 관계를 나타낸다.

각각의 고정된 온도에서 다음식(8)은 η, V_T 와 K 를 얻는데 사용되었다.

$$\eta \sqrt{I_D} = K^{(1/\eta)} (V_G - V_T) \quad (8)$$

문턱전압은 $\eta \sqrt{I_D}$ 와 V_G 곡선중의 linear 부분을 컴퓨터 분석에 의하여 선택한 후 직선을 그어서 얻

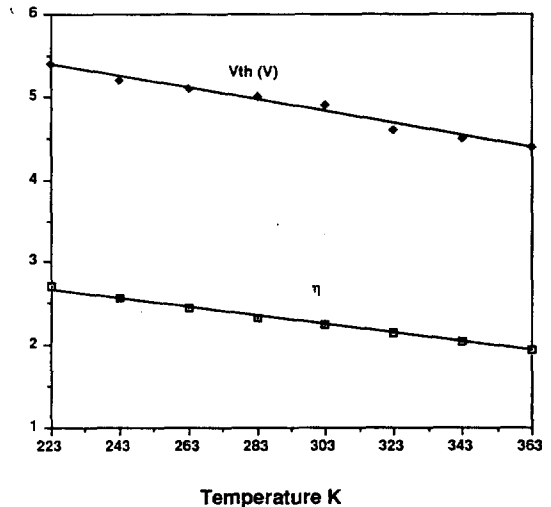


그림 2 223K-363K에서 η 값과 트레시홀드 전압. Fig. 2 η and threshold voltage as a function of temperature from 223K to 363K.

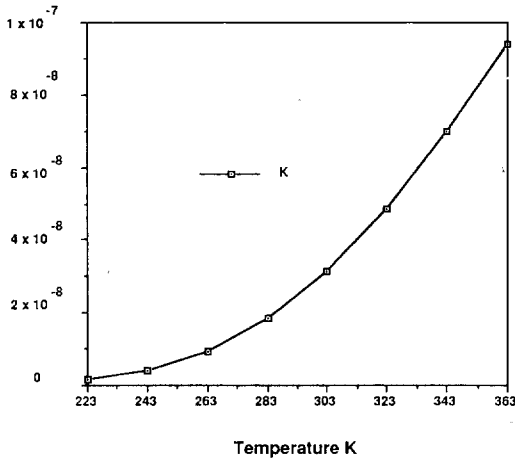


그림 3 223K-363K에서 K값의 변화.
Fig. 3 K value in the temperature range 223K to 363K.

을 수 있는데 반도체 파라메타 분석기에 의해서 자동적으로 plotting 되었다. 또 η , V_T , K 값을 반복하여 계산하기 위하여 컴퓨터 프로그램을 작성하였으며 이 프로그램은 이들 값에 대한 자기정수가 얻어질때 까지 반복 계산하여 이들 값을 구하였다. 기율기의 η 승으로 결정되는 K 값은 그림 3과 같이 선형화하여 computer를 이용한 simple curve fit 방법에 의하여 구하였다. 그림 2, 3에서는 각각의 온도에 따른 η 및 V_T 와 K 값을 나타내는데 온도증가에 따른 각점에서의 $V_T(T)$ 값을 최소 자승법에 의한 값을 취하여 그리면 기율기를 알 수 있는데 식 (6), (7)의 α_1 과 α_2 는 이 기율기를 결정하는 상수이다.

4.2 a-si : H TFT 의 온도 변화 특성

식 (5), (6), (7)을 이용하여 식 (3)에 의해서 모델링 된 드레인 전류는 그림 4와 같고 223K 에서 363 K 까지 실험에 의하여 측정된 실험결과 값과 잘 일치 됨을 보였다. 드레인전류는 게이트전압과 온도가 증가 함에 따라서 증가 되었고, 게이트 전압을 6V~16V범위로 각각 고정 시켰을때 온도증가에 따른 드레인 전류 관계를 계산값과 실험에 한 결과 값과 비교하여 그림 5에 나타낸다. 223K~363K는 상업적으로 이용이 가능한 온도 이므로 이 온도범위를 택하였고, 본 모델에 의한 수학적인 계산을 하기 위하여 각온도에서 드레인 전류를 계산할 수 있는 프로그램이 작성되었다. 드레인 전류는 온도가 증가 됨에 따라서 증가되었

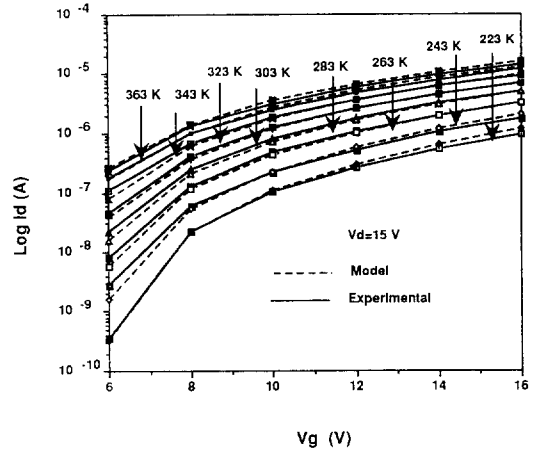


그림 4 TFT의 $I_D - V_G$ 특성의 실험값과 모델값.
Fig. 4 Experimental and modeled $I_D - V_G$ characteristics of a TFT between 223K and 363K. Solid line-experimental data ; dotted line-modeled.

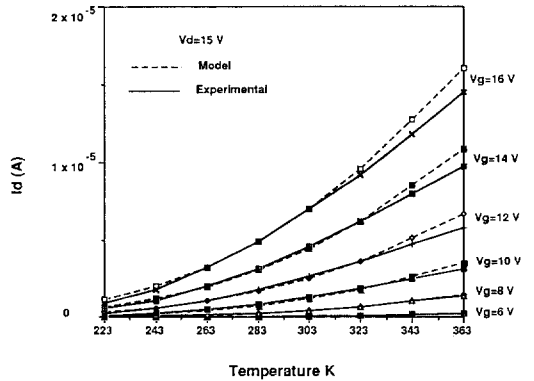


그림 5 가변 게이트 전압에서 온도증가에 따른 드레인전류의 변화.
Fig. 5 The comparison of the drain current versus temperature at several gate voltages.

고, 게이트전압의 모든 영역에 걸쳐서 모델과 잘 일치 되었다. 국부적인 에너지 갭(gap) 상태에서 확대되어진 상태까지의 전자의 활성화 에너지는 게이트 전압이 증가 함에 따라서 감소되어 결과적으로 증가되어진 드레인 전류의 차이는 적게 되었다. 디바이스 모델이 국부적인 상태에서 큰에너지 상태밀도를 갖기 때문에 모델에 사용된 식은 스퍼터와 플라즈마 증착에 의해서 제작된 TFT 디바이스에 주로 적용 된다.

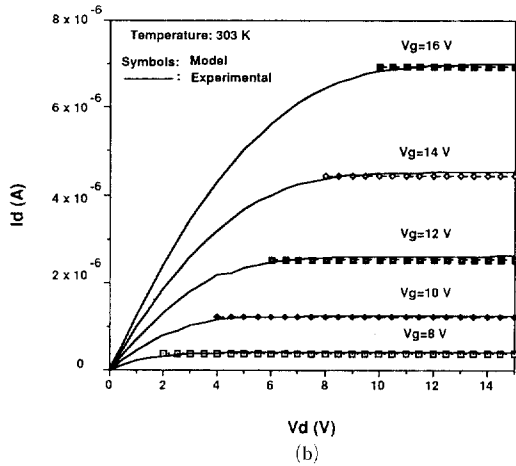
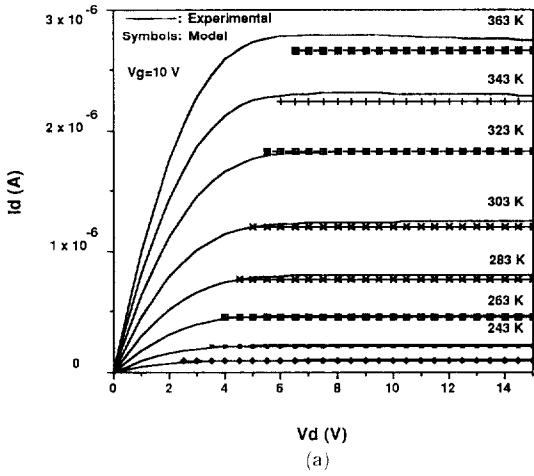


그림 6 223K-363K에서 TFT 출력특성의 비교. (a) $V_g=10V$ 일정 할때 (b) $V_g=8-16V$ 이고 303K 일때.

Fig. 6 The comparison of measured and modeled output characteristics in temperature range 223K to 363K. (a) at fixed gate voltage $V_g=10V$, (b) when the gate voltage varies 8 to 16V at a fixed temperature of 303K.

그림 6(a)는 온도영역 223K 부터 363K이고 게이트전압 10V 일때 드레인전류와 드레인전압특성을 실험에 의한 결과 값과 모델에 의해서 계산한 값과의 비교 결과를 나타내는데 온도가 증가 함에 따라서 포화드레인 전류의 포화점은 높은 드레인 전압에서 발생하였고 모델에 의한 값은 실험에 의한 값과 잘 일치 하였다.

그림 6(b)는 온도를 303K 로 고정하고서 게이트

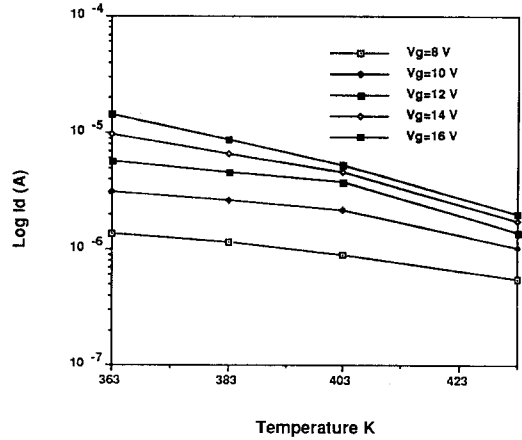


그림 7 363K-433K의 고온에서 드레인전류 특성. Fig. 7 Measured drain current between 363K to 433K at several gate voltage.

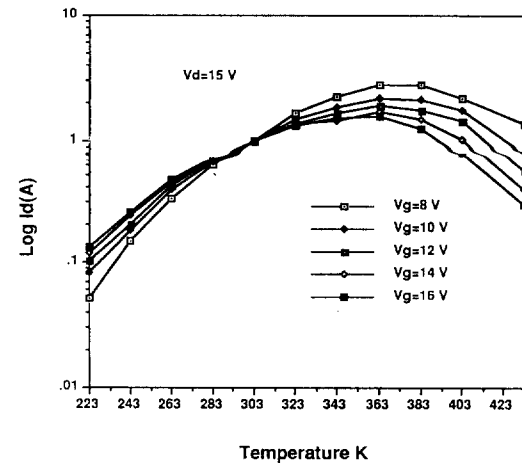


그림 8 223K-433K 에서 300K로 일반화 했을때 드레인 전류 특성. Fig. 8 Normalized to 300K drain current from 223K to 433K.

전압을 증가시켰을 경우인데 선형화된 드레인 전류는 모델에 의한 값과 실험에 의한 값이 잘 일치 됨을 보였다.

363K 를 넘는 고온에서 드레인전류의 변화는 363K이하의 온도에서와는 많은 차이를 보였다. 그림7은 온도영역 363K부터 433K에서 게이트전압이 8V~16V로 변화 되었을때 드레인 전류 특성을 나타내는데 온도가 증가 함에도 불구하고 실제적으

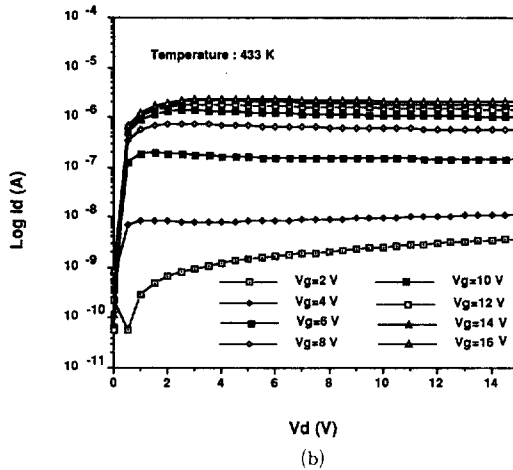
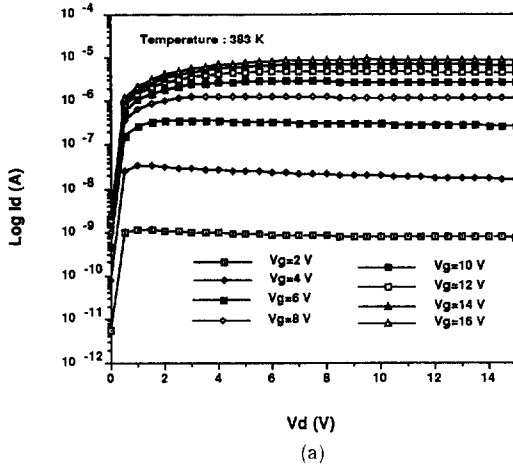


그림 9 $V_D=0-14V$, $V_C=0-16V$ 에서 TFT의 출력특성 곡선. (a) 383K일때 (b) 433K일때.

Fig. 9 Computer measured output characteristics curve of TFT at several gate voltages at temperatures of (a) 383K and (b) 433K.

로 드레인전류는 감소함을 보였다. 이러한 감소 현상은 반도체 경계면과 a-si사이의 이동도에 의한 에너지 갭으로 인한 국부적인 상태에서 전하 트랩(charge trap)이 발생하여 활성화 전자가 감소되기 때문이다. 그림8은 드레인전압 15V, 게이트 전압이 8V~16V이 고온도영역이 223K~433K 일 때 상온 300K 를 중심으로 변화 되는 드레인전류의 변화를 나타낸다. 온도가 300K 이하 이고 낮은 게이트전압 일때 드레인전류는 낮게 되었고, 300K 이상의 온도에서는 낮은 게이트전압에서 드레인 전류가 높게 되었는데 이 현상도 역시 고온에서

발생하는 TFT의 전하트랩에 의해서 활성화 전자의 감소에 기인 한 것이다.

그림9(a), (b)는 디바이스 온도를 각각 383K와 433K로 고정 시키고 게이트 전압을 2~16V로 증가시켰을 때 컴퓨터에 의해서 자동적으로 측정되고 plotting 된 TFT의 DC출력특성을 나타낸다. 그림9(a)와 (b)를 비교하여보면, 드레인전압 증가에 따른 드레인전류는 게이트전압이 높아 질수록 감소됨을 알수 있고 온도가 383K에서 433K로 증가 되므로 인해서 드레인전류가 더 증가 될 것이 일반적인 예상이나 고온에서 발생하는 전하트랩에 의한 활성화전자의 감소로 인해서 드레인전류는 사실상의 감소를 보였다.

5. 결 론

본 연구에서는 a-si:H TFT 의 드레인 전압과 전류에 대한 온도 변화특성 모델에 사용 할수 있는 방정식을 유도하고 분석하였는데 유도 된 식은 TFT 온도 변화 특성에 대한 해석을 위한 모델의 식이며 유도된 모델식의 타당성이 실험적으로 증명 되었다. 유도된 식은 온도를 측정 하므로써 요구되는 3가지 변수를 가지는데 실험에 의한 결과 값으로부터 쉽게 구할수 있다. TFT의 광범위한 온도 영역에서 드레인전압 과 드레인전류 및 게이트전압이 모델링 되었으며, 모델링 결과는 실험에 의한 결과값과 잘일치 됨을 보였는데 온도가 증가 함에 따라서 드레인전류는 더 높은 드레인전압에서 포화됨을 보였다. 드레인전류의 포화점은 223K 에서 363K 까지는 온도가 증가 함에 따라서 증가 되었고, 363K 에서 433K 까지는 오히려 감소 됨을 보였다. 이와 같이 고온에서의 드레인전류의 감소현상은 반도체 경계면과 a-si층에서 국부적인 상태밀도가 존재함으로 인해서 전하트랩이 증가되고 이동도가 감소되어 활성화 전자가 감소 되기 때문이다.

본 연구는 1991년도 교육부 학술연구조성비 (반도체공동연구소 경유)연구비지원에 의해서 이루어졌음.

참 고 문 헌

[1] Y. Nara and M. Matsumura, "An amorphous silicon integrated inverter," IEEE Trans. Electron Devices, Vol. ED-39, No. 10, pp. 1646~1649, 1982.

- [2] F. Okumura and S. Kaneko, "Amorphous Si : H linear image sensor operated by a-Si : H TFT array," Proc. Materials Rec. Society Symposium, Vol. 33, M.J. Thompson Ed. New York : North Holland, pp. 275~280, 1984.
- [3] Y. Naara, Y. Kudou and M. Matsumura, "Application of amorphous field effect transistor in 3-dimensional integrated circuits," Japanese Journal of Applied Physics, Vol. 22, No. 6, L370-L372, June 1983.
- [4] T.L. Credelle, "Recent trends in color avionic LCD's," Information Display, Vol. 3, No. 10, pp. 15~18, Nov. 1987.
- [5] G.W. Neudeck, A.K. Malhotra, "An amorphous silicon thin film transistor: Theory and experiment," Solid State Electronics, Vol. 19, pp. 721~729, 1976.
- [6] G.W. Neudeck, K.Y. Chung and H.F. Bare, "A simplified model for the static characteristics of amorphous silicon thin film transistors," Solid States Electronics, Vol. 29, No. 6, pp. 639~645, 1986.
- [7] G.W. Neudeck, H.F. Bare and K.Y. Chung, "Modeling of ambipolar a-Si : H thin film transistors," IEEE Trans. Electron Devices, Vol. ED-34, No. 2, pp. 344~349, Feb. 1987.
- [8] G.W. Neudeck, K.Y. Chung and H.F. Bare, "An accurate CAD model for the ambipolar a-Si : H TFT," IEEE Trans. Electron Device, Vol. ED-34, No. 4, pp. 866~871, Apr. 1987.
- [9] K.Y. Chung, G.W. Neudeck, "Transient analysis of the CMOS like a-Si : H TFT inverter circuit," IEEE Solid States Circuits, Vol. 24, No. 3, pp. 822~829, 1989.
- [10] R. Schumacher, P. Thomas, K. Webber, W. Fuhs, "Temperature dependent effect in field effect measurements on hydrogenerated amorphous silicon thin film transistors," Philosophical Magazine B, Vol. 58, No. 4, pp. 389~409, 1988.
- [11] R. Bashir, C. Subramanian, G.W. Neudeck and K.Y. Chung, "Delay time studies and electron mobility measurement in an a-Si : H TFT," IEEE Electron Devices, Vol. 36, No. 12, pp. 2944~2948, Dec. 1989.

저 자 소 개



이우선(李愚宣)

1952년 1월 23일생. 1974년 조선대 공대 전기공학과 졸업. 1984년 중앙대 대학원 전기공학과 졸업(공박). 1982~83년 미국 Massachusetts 대학교 전기공학과, Microelectronics Lab. 1989~90년 미국 Purdue Univ. 전기공학과, Visiting Professor. 현재 조선대 공대 전기공학과 교수.



강용철(姜龍哲)

1963년 1월 16일생. 1988년 조선대 공대 전기공학과 졸업. 1990년 동 대학원 전기공학과 졸업(석사). 현재 조선대 대학원 전기공학과 박사과정.



박영준(朴榮俊)

1952년 11월 17일생. 1975년 서울대 공대 전기공학과 졸업. 1977년 동 대학원 전기공학과 졸업(석사). 1983년 Massachusetts 대학 전기공학과 졸업(공박). 1983~85년 IBM, East Fishkill 연구원. 1985~88년 금성반도체 연구소 책임연구원. 현재 서울대 공대 전자공학과 조교수.



차인수(車仁洙)

1959년 8월 6일생. 1982년 조선대 공대 전기공학과 졸업. 1984년 중앙대 대학원 전기공학과 졸업(석사). 1989년 조선대 대학원 전기공학과 졸업(공박). 현재 동신대 공대 전기공학과 전임강사.