

# 일본의 반도체 各社の 64MDRAM 개발 동향

• 본 회 •

## 1. 世界最小, 最高速의 64M DRAM을 개발 (東芝)

東芝는 세계최소의 칩 면적과 33ns의 세계최고의 Reading 속도를 실현한 64M DRAM을 개발했다.

今回 개발한 64M DRAM은 1Chip上에 약 1億 4,000万素子を 집적하여, 0.4 $\mu$ m의 微細加工技術과 새로운 3次元構造의 메모리셀을 채용

함과 신호를 fetch하는 33ns의 중앙에 센스 앰프(信號增幅器)를 배치하고 있다. 이것에 의하여 176.4mm<sup>2</sup>라는 세계최소의 칩 면적과 세계최고의 Reading 속도를 실현했다.

DRAM의 메모리 셀은 통상, 데이터로써 電荷를 축적하는 한개의 Capacitor와 스위치로써 작동하는 한개의 트랜지스터로 구성되는데 微細化에 따라 하나의 셀에 부여되는 영역이 작아져, 충분한 용량을 갖는 Capacitor를 형성할 수 없게 된다.

本 LSI는 溝의 側壁에 絶緣膜을 형성하여, 근접하는 메모리 셀과의 電荷의 링크를 방지함과 함께, 溝속에 Capacitor를 Padding한 3次元構造의 메모리 셀을 채용함으로써 필요한 電荷量의 축적을 가능하게 하고 있다.

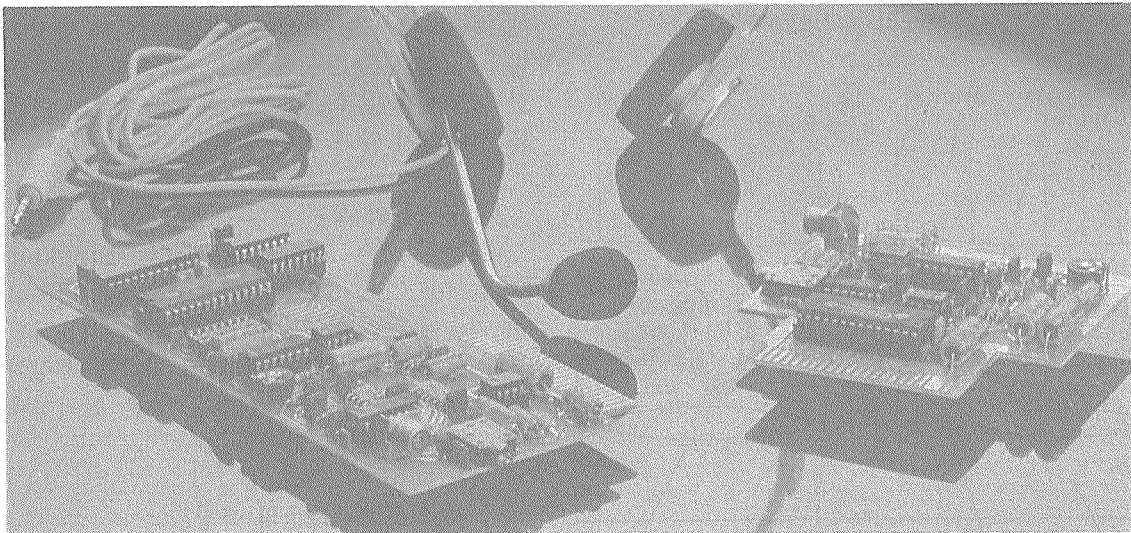
이것에 의하여 Capacitor를 쌓아올리는 Stacked方式에 비교하여 실리콘 표면을 용이하게 平坦化할 수 있기 때문에, 光露光에 의한 완만한 Stacked精度에서도 회로 패턴을 형성할 수가 있어 量産化에 적당하다.

또한 Capacitor부와 Transistor部를 非對稱으로 배치함으로써, 隣接セル 間의 거리를 취할 수가 있고, leak電流를 감소시켜서, 1.53 $\mu$ m<sup>2</sup>이라는 작은 Cell면적을 실현하고 있다.

또한 Bit線에 탑재되는 잡음을 저하시키기 위하여, 2本の Bit線을 中央部에서 交差시켜서 센스 앰프로 연결시킴으로써 미소한 電壓의 변화에서도 신호를 Read할 수 있도록 하고 있다. 이것에 의하여 高速의 신호의 Reading을 실현하고 있다.

중전에는 Bit線을 交差시키기 위한 전용영역이 필요했었는데, 本 LSI는 Sense Amp로 연결되는 2本 1組의 Bit線을 Sense Amp마다 잇갈리게 편성함으로써 중앙부에 배치한 Sense Amp에서 Bit線을 交差시킴으로써 176.4mm<sup>2</sup>으로 작은 칩 면적을 실현하고 있다.

또한 데이터를 출력할 때까지의 경로에 中繼器를 내장하여 데이터線에서의 電壓의 변화를 작게 함으로써 신호의 Reading을 용이하게 하여 세계최고의 Reading속도 33ns를 실현하고



일본업체가 개발한 회로와 메모리 셀은 64M Dram 양산을 더욱 용이하게 하고 있다.

있다.

## 2. 64Bit 並列處理가 가능한 아키텍처를 채용한 64M DRAM을 開發(富士通)

富士通는 최근, i 線露光技術에 의한 64M DRAM의 試作에 성공했다.

本 DRAM은 세계에서 최초로 한번에 64bit의 정보의 병렬처리를 가능하게 하는 새로운 데이터 버스 배선구조 및 회로방식을 채용하여, 동작의 고속화를 도모한 것이다.

현재 반도체 메모리의 용도는 대형계산기에서 퍼스널 컴퓨터까지 폭넓고, 대용량화에 대한 Needs가 상승하고 있다. 또한 대용량화에 의하여 응용분야도 확대되어, 예를 들면 磁氣 디스크 메모리의 반도체화가 가능해지는 등, 기억장치의 저가격화, 고속화를 도모할 수가 있다.

메모리의 대용량화가 추진되면, 시간내에 어느정도 많은 정보를 출납할 수 있을까라는 성능이 중요하다.

이에 대하여 반도체 칩 중에서 병렬로 많은 데이터를 취급할 수 있는 새로운 회로를 개발하여 고속화를 도모했다. 또한 同社가 중전부터 일관하여 채용해 온 3次元 Stacked Capacitor Cell 기술을 더욱 발전시켜서, 超小形의 메모리 셀 속에 충분한 電荷를 축적할 수

있는 2重 Pin形電極構造 Cell 기술을 확립했다.

今回 同社는 장래의 메모리에의 요구에 대응한 신호로를 개발함과 함께, 세계에서 최초로 光學露光方式(i 線露光技術)을 이용한 패턴形成法을 이용하여, 64M DRAM을 만들었다.

또한 메모리 셀은 특별한 신재료를 사용하지 않는 실적있는 프로세스로 形成되었고, 또한 Pin電極의 數를 증가시키면 더욱 고집적화가 실현된다. 이상에 의해 64M DRAM의 제품화를 용이하게 하는 실용성이 있는 기술을 확립했다.

今回 개발한 회로와 메모리 셀의 기술은 64M DRAM의 양산을 더욱 용이하게 한 것이다. 또한 반도체 기술로 이와 같은 대용량 메모리가 실현하는 것이 實證됨으로써, 今後 이것을 활용한 각종 고성능 시스템이 실현될 것으로 예상된다.

이하에서 本 DRAM의 기술적 내용에 대하여 설명하겠다.

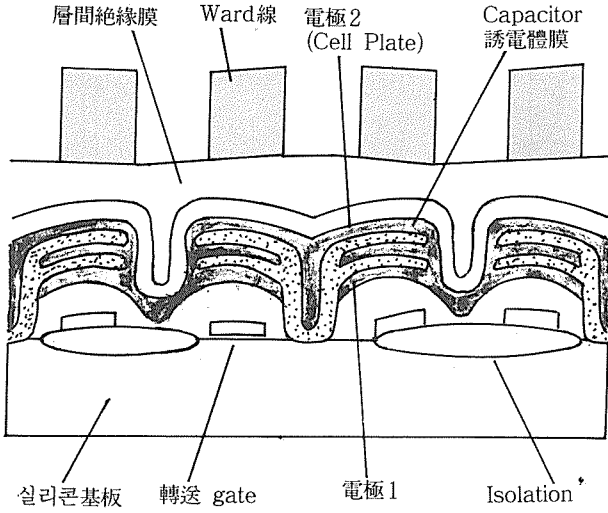
### 1) 회로설계상의 특징

메모리가 대용량화되어 가는 가운데, 今後 특히 데이터 Reading과 Writing을 고속으로 시행하기 위한 연구가 필요해지고 있다.

本 DRAM은 이 Needs에 대응한 기본설계로써, 下記의 새로운 회로기술을 내장하고 있다.

① 칩 내부에서는 병렬로 64bit의 데이터를 동시에 Reading·Writing할 수 있는 데이터

(메모리 셀의 断面構造)



(二重Pin形 電荷蓄積電極)

버스의 배선구조를 새롭게 개발했다. 이것은 종전에 주변회로부분에 형성되어 있던 데이터 버스 배선을 多層配線方式로 Cell Array上에 배치하는 구조이다. 이 결과 배선이 주변회로부분에 쓸데없는 면적을 점유할 수 없게 되어, 병렬로 많은 Bit數의 데이터를引出하는 것이 가능해졌다. 또한 Cell과 주변회로를 最短距離에서 접속할 수 있기 때문에 동작의 고속화에도 공헌했다.

② 多Bit (64bit)의 병렬 데이터를 增幅하기 위하여 새로운 電流檢出形 Amp 회로를 개발했다.

이 Amp는 고속동작과 특히 소비전력이 적다는 것을 특징으로 하는 데, 多Bit의 데이터를 동시에 증폭하는 것을 가능하게 했다.

③ Bit線과 데이터 버스의 사이에 신호를 증폭하는 트랜지스터를 내장하여, Bit線を 데이터 버스에 직접적으로 접속하지 않는 새로운 회로를 개발했다.

이것을 구동하는 풀럼 선택선은 데이터 Reading用과 Writing用으로 독립 분립시켜서, 고속으로 Reading · Writing 동작을 교환할 수 있다.

④ Sense Amp의 驅動配線을 Cell Array上

에 배치하여 저항이 낮은 驅動配線系를 달성했다. 이 결과 Sense 동작이 고속화되었고, 또한 驅動配線이 주변회로부분에 쓸데없는 면적을 점유하지 않게 되었다.

## 2) 구조상의 특징

메모리 셀은 독자적인 Fin形 Stacked Capacitor Cell 구조를 사용하고 있다. 이 Cell은 기술이 확립된 종전의 제조기술을 사용하면 서도 微細化(高集積化)를 하기 쉽다는 특징이 있다. 이 때문에 메모리 셀은 높은 신뢰성과 실용성을 구비하고 있다.

## 3) 제조 프로세스상의 특징

이 64M DRAM은 Photo 리소그래피를 이용하여 제조했다. 구체적으로는 量産으로 많은 실적이 있는데, 관련기술 레벨이 높은 i線 리소그래피기술에 位相 시프트法을 적용했다.

位相 시프트法은 현재 주목을 모으고 있는 新技術인데, 이 방법으로 실제의 LSI 칩(DRAM, SRAM 등의 품종을 불문)을 試作한 것은 세계에서 최초이다. 종전부터 사용되고 있는 리소그래피로 64Mbit DRAM이라는 대용량의 LSI가 試作된 것은 처음있는 일이다.

이와 같은 실제의 생산수단에 준거한 光學露光 프로세스 기술을 이용함으로써 대용량메모리 칩의 실용화를 촉진할 수가 있다.

## 3. 테스트 시간의 短縮과 高速 액세스 시간을 동시에 실현한 64M DRAM을 開發(三菱電機)

三菱電機 LSI 研究所에서는 Merged Match-line Test 方式(MMT方式)의 채용에 의하여 150ns라는 테스트 시간을 대폭적으로 단축시킬 수 있게 되었고, 45ns의 高速 액세스 시간을 실현한 64M DRAM을 개발했다. 이미 同社는 메모리 셀에 DCP 셀을 이용하여 0.4 $\mu$ m CMOS 프로세스 기술을 구사하여 64M DRAM을 실현 가능하게 하였다.

그러나 64M DRAM과 같은 대용량 메모리는 테스트 시간의 단축화와 액세스 시간의 고속화가 중요한 과제이다.

同社は 이 두가지 요구를 동시에 만족시키기 위하여 MMT方式이라는 독자적인 데이터 入出力線方式을 개발, 64Kbit分の 데이터를 일괄하여 테스트함으로써, 종전의 1bit 마다의 테스트에 대하여 1/64, 000로 테스트 시간을 단축함과 함께, 45ns의 고속 액세스 시간을 실제의 64M DRAM上에서 실현했다.

本 DRAM의 기술개발의 내용은 이하와 같다.

(1) 독자적인 데이터 入出力線方式인 Merged Match-Line Test方式(MMT方式)을 개발하여, 64M DRAM의 대폭적인 테스트 시간의 단축화와 액세스 시간의 고속화가 중요한 과제이다.

本社は 이 두가지 요구를 동시에 만족시키기 위하여, MMT方式이라는 독자적인 데이터 입출력방식을 개발, 64Kbit分の 데이터를 일괄하여 테스트함으로써 종전의 1bit마다의 테스트에 대하여 1/64, 00로 테스트 시간을 단축함과 함께 45ns의 고속 액세스 시간을 실제의 64M DRAM上에서 실현했다.

① 테스트 시간단축(1/64, 000) MMT方式에서는 64, 000bit分の 데이터를 일괄하여 테스트할 수 있기 때문에, 종전의 1bit 마다 테스트하는 방식에 비교하여, 1/64, 000으로 시간을 단축할 수 있어서, 64M DRAM을 불과 150 $\mu$ s에서 테스트할 수 있게 하였다.

② MMT方式을 탑재하기 위한 칩면적의 증대 0.1% 이하로, 종전의 Line Mode Test (1本の Ward線에 접속된 1行分の 데이터를 한번에 테스트할 수 있는 방식)에서도, 테스트 시간을 최대 1/1, 000으로 단축할 수가 있는데, 최대 1/1, 000으로 단축할 수가 있는데, Comparator가 각 bit線對 마다 필요할 뿐만 아니라, 전용의 Match-Line(데이터 판정용 Line)과 참조 데이터를 할당하는 배선이 필요해져, 칩면적의 증대를 회피할 수가 없다. 이번에 제안한 MMT方式에서는 통상은 Reading 동작에 사용하는 데이터出力線을 테스트 모드時에는 Comparator로써 동작시킴으로서 칩 면적의 증대를 불과 0.1% 이하로 억제하고 있다.

(2) MMT方式에서는 데이터 出力線과 데이터 入力線을 각각 설치하여, 메모리 셀로부

터의 Reading정보를 Sense Amp 뿐만 아니라 差動 Amp에서도 증폭함으로써 고속화를 도모하여, 액세스 시간 45ns(電源電壓 3.0V, 室温)를 달성하고 있다.

(3) DCP 셀(Dual Cell Plate Cell)은 종전의 Staek形 Cell을 개량한 것으로 그 기본구조에 대해서는 IEDM '90(International Electron Devices Meeting)에서 同社가 이미 발표했는데, 今回 이 Cell을 64M DRAM에 전면적으로 적용하여, 셀 사이즈 1.7 $\mu$ m<sup>2</sup>에서 30ff의 용량을 확보함과 함께 12.5 $\times$ 18.7mm<sup>2</sup>의 칩 사이즈를 실현했다.

同社에서는 今回 0.4 $\mu$ m의 설계기준에서 개발한 64M DRAM을 기초로, 今後 量産化에 최적한 64M DRAM의 기술개발을 추진할 태세이다.

#### 4. 低노이즈, 多Bit化 構成을 용이하게 實現한 64M DRAM을 개발(松下電器産業)

松下電器産業半導體研究 센터는, 최근 量産化에의 전개가 용이한 KrF 엑시머 레이저 縮小役露光裝置 적용에 의해 0.4 $\mu$ m 超微細加工技術을 이용한, 64M DRAM의 개발에 성공했다. 今回의 개발은 新規 터널 구조형 Stack 셀 및 독자적인 메모리 회로기술의 확립에 의해 달성된 것으로, 234mm<sup>2</sup>의 반도체 LSI 칩 속에 약 1億 4, 000万個의 素子를 집적하고 있다.

이것에 의해 장래의 포켓 수퍼 컴퓨터, 電子 Recorder 등, 超小形의 전자기기의 실현이 기대된다.

반도체 메모리는, 機器·시스템의 小形化·低價格化를 향하여, 패키지 칩수의 제약을 받으면서, 집적도의 향상이 요망되고 있다. 또한 패턴幅의 微細化, 셀 사이즈의 축소화, DRAM의 집적밀도의 향상에 따라, 새로이 이하와 같은 문제가 발생하고 있다.

##### 1) 微細加工技術의 問題

종전의 g線(波長 436nm)과 i線(波長 365nm)를 光源으로 한 露光技術에서는 微細패턴(0.4 $\mu$ m)의 형성이 곤란해지고 있다.

##### 2) 메모리 셀 용량의 감소문제

4M DRAM(셀 사이즈 약  $10\mu\text{m}^2$ )은 종전의 平面形에서 Stack, Trench 등 입체적인 구조로 변화해 왔다. 셀 사이즈가  $2\mu\text{m}^2$  이하인 64M DRAM에서는 회로를 안정적으로 동작시키기 위해서는 더욱 충분한 셀 용량을 확보하는 것이 필요하다.

### 3) 信號線間의 간섭(Noise)문제

집적밀도의 향상에 따라, 전달하는 신호량의 증대에 의해 회로를 구성하는 신호선간의 노이즈의 영향이 커진다.

이 과제에 대하여, Photo리소그라피로 대표되는 서브 마이크론 微細加工技術의 개발, 메모리셀(Trench 構造形 Stack Cell) 形成技術의 개발, 3次元 프로세스/디바이스 시뮬레이션 기술의 개발 및 메모리 회로기술의 개발 등 기초 기술에서 응용·실용화 기술에 이르기까지 폭넓은 要素技術의 結集에 의해 달성된 것이다.

本 64M DRAM의 특징은, 以下와 같다.

(1) 量産化에 전개가 용이한 KrF 엑시머 露光技術을 사용 16M DRAM의 제2세대로부터의 적용이 기대되고 있다. KrF 엑시머 露光技術(波長  $248\text{nm}$ )을 채용함으로써,  $0.4\mu\text{m}$  를

의 微細加工技術을 개발했다.

(2) 프로세스 적합성이 높은 셀 구조 터널 구조(TS)形 Stack셀에 의해, 低段差( $0.3\mu\text{m}$ )에서 고용량화(35fF)를 실현할 수 있게 되었다.

이것에 의해 내부배선을 위한 알루미늄 패턴 形成과 高誘電體新材料의 적용 등에서의 프로세스의 自由度가 커졌다.

(3) 多 Bit化에 적합한 회로기술 주변회로 내를 통하는 신호선 밑에 接地電位의 알루미늄 配線을 전면에 같은 Vss(接地電位) Shield形 주변회로 Lay-out技術의 채용에 의해, 信號線의 Noise의 低減化(종전의 60%)와 주변회로 면적의 低減(종전의 1/2)이 가능해졌다.

또한 독자적인 Meshed Power Line과 分散配置形 센스 앰프 드라이버 회로의 채용에 의해 메모리 코어부의 電源分散과 고속화를 달성할 수 있게 되었고, 低노이즈에서 多Bit化가 용이한 메모리 회로를 실현했다.

응용분야로서는 포켓 수퍼 컴퓨터, 電子 Recorder, 하이비전TV, 전자 스틸 카메라 등의 超小形機器에의 응용이 추진됨과 함께 서브 마이크론 微細加工技術은 次世代超之 LSI의 프로세스에의 전개가 기대된다.

## 합작투자 알선(체코 가전제품 생산희망) 안내

체코 전자업체는 가전제품 생산에 있어 우리나라와 합작투자를 희망하고 있는바, 관심있는 회원사는 참고하시기 바랍니다.

— 다 음 —

- 업체명 : Telsa Vrable
- 현재 주요생산품목 : 통신기기, 음향기기, 계측기, ICB 등

- 합작 희망분야 : 주방용 전자제품 (Microwave Oven Coffee Maker Mixer 등)
- 협력형태 : 국내 기업측의 생산설비, 자본 및 생산 노하우 제공
- 문의처 : KOREA : TEL 551-4485 위강순, 동사 제품 카다로그 보관중