

비정질 실리콘 게이트 구조를 이용한 게이트 산화막내의 붕소이온 침투 억제에 관한 연구

이우진, 김정태, 고철기, 천희곤, 오계환
현대전자(주) 반도체 연구소

Suppression of Boron Penetration into Gate Oxide using Amorphous Si on p^+ Si Gated Structure

Woo Jin Lee, Chung Tae Kim, Chul Gi Ko,
Hui Gon Chun, and Kye Hwan Oh

Semiconductor Research and Development Laboratory,
Hyundai Electronics Industries Co. Ltd., Kyungki-do 467-860

초 록 pMOS소자의 p^+ 게이트 전극으로 다결정실리콘과 비정질실리콘을 사용하여 고온의 열처리 공정에 따른 붕소이온의 침투현상을 high frequency C-V plot, Constant Current Stress Test(CCST), Secondary Ion Mass Spectroscopy(SIMS) 및 Transmission Electron Microscopy(TEM)를 이용하여 비교하였다. C-V plot분석 결과 비정질실리콘 게이트가 다결정실리콘 게이트에 비해 flatband전압의 변화가 작게 나타났으며, 게이트 산화막의 절연과괴 전하밀도에서는 60~80% 정도 향상된 값을 나타내었다. 비정질실리콘 게이트는 증착시 비정질로 형성되는 구조로 인한 얇은 이온주입 깊이와 열처리 공정시 다결정실리콘에 비교하여 크게 성장하는 입자 크기 때문에 붕소이온의 침투 경로가 되는 grain boundary를 감소시켜 붕소이온 확산을 억제한 것으로 생각된다. Electron trapping rate와 flatband 전압 변화와의 관계에 대하여 고찰하였다.

Abstract Boron penetration phenomenon of p^+ silicon gate with as-deposited amorphous or polycrystalline Si upon high temperature annealing was investigated using high frequency C-V (Capacitance-Voltage) analysis, CCST (Constant Current Stress Test), TEM (Transmission Electron Microscopy) and SIMS (Secondary Ion Mass Spectroscopy). C-V analysis showed that an as-deposited amorphous Si gate resulted in smaller positive shifts in flatband voltage compared with a polycrystalline Si gate, thus giving 60-80 percent higher charge-to-breakdown of gate oxides. The reduced boron penetration of amorphous Si gate may be attributed to the fewer grain boundaries available for boron diffusion into the gate oxide and the shallower projected range of BF_2 implantation. The relation between electron trapping rate and flatband voltage shift was also discussed.

1. 서 론

종래의 반도체 기술에서는 CMOS (Complementary Metal Oxide Semiconductor) 소자의 nMOS 트랜지스터와 pMOS 트랜지스터의 gate 전극으로 n형 다결정실리콘을 사용하였고 n-channel과 p-channel의 적절한 문턱전압조절 ($\sim \pm 0.7$ volt)을 위해 p형 불순물인 붕소이온을 채널에 이온주입하였다. 이로 인해 nMOS 트랜지스터는 표면채널형(surface-channel)으

로 동작하게 되고 pMOS 트랜지스터는 문턱전압조절을 위해 역 도우핑된 붕소이온에 의해 매몰채널형(buried-channel)으로 동작하게 된다⁽¹⁾. 반도체소자의 design rule이 half-micron 이하로 고집적화됨에 따라 이러한 매몰채널형 pMOS 트랜지스터는 채널길이가 짧아지면서 발생하는 short-channel effect 즉 문턱전압저하, 편치스루우 전압 감소 및 누설전류특성 악화등의 소자특성의 열화를 초래하게 된다⁽²⁾. 이러한 문제를 n형 다결정실리콘 전극보다

일함수가 약 1.1eV 정도 큰 p형 다결정실리콘으로 바꾸고 채널영역에 붕소이온의 역도우핑을 생략하므로써 해결하고자 하는 연구가 계속되고 있다^(4~5). p형 다결정실리콘을 전극으로 이용한 표면채널형 pMOS 트랜지스터는 short-channel effect를 감소시킬 수 있는 반면 hot-carrier에 의한 열화, 채널 mobility 및 drain current 감소등의 특성 저하 및 게이트 전극에 이온주입되는 붕소이온의 게이트 산화막을 통한 침투로 인해 문턱전압이 불안정해지는 등 여러가지 해결해야 할 문제점들이 남아있다⁽⁶⁾. 이러한 문제점 중에서 게이트 산화막을 통한 붕소이온의 침투현상은 우선적으로 해결되어야 하는 문제로써 이에 대한 연구는 게이트 산화막 자체를 RTP(Rapid Thermal Process)기술로 nitrided oxide로 만들어 붕소이온의 침투를 억제하고자 하는 것으로 일본 도시바社의 Morimoto⁽⁷⁾ 등에 의해 보고되어 있고 미국 Motorola社의 Tseng⁽⁸⁾ 등은 게이트 전극의 물성을 다결정 실리콘에서 비정질 실리콘으로 대체하고자 하는 시도가 있으나 이 경우 게이트 산화막의 절연과피 내성에 관한 연구가 절실하다 하겠다.

따라서 본 연구에서는 p형 게이트 전극으로 다결정 실리콘과 비정질 실리콘을 사용하여 게이트 산화막 두께 및 후속 열처리 시간에 따른 붕소 이온 침투 정도를 high frequency C-V plot을 이용하여 비교 조사하였고, 게이트 산화막의 절연과피 내성변화를 CCST방법으로 평가하였다. 또한 붕소이온의 침투 현상과 게이트 전극의 미세조직 변화를 SIMS 및 단면 투과전자현미경으로 조사하였다.

2. 실험 방법

1. 시편 제작

붕소 이온의 게이트 산화막 침투 영향 및 비정질 실리콘에 의한 억제 효과를 살펴 보기 위해 MOS capacitor를 제작하였다. 2~3 Ω·cm의 비저항 값을 갖고 (100)방위를 가지는 직경 150mm의 n형 실리콘 웨이퍼에 125 Å와 100 Å의 두 종류로 게이트 산화막을 900°C에서 wet분위기로 성장시켰다. 그 위에 LPCVD (Low Pressure Chemical Vapor Deposition) 방법으로 증착온도 620°C에서는 다결정 실리콘

을, 550°C에서는 비정질 실리콘을 3000 Å의 동일한 두께로 각각 증착하였다. p형 게이트 전극을 형성하기 위해 BF₂이온을 에너지 50keV와 dose량 2.0E15/cm²로 이온주입후, 이들 시편을 900°C 질소분위기에서 30, 60 및 120분간 각각 열처리 하였다.

2. 측정

붕소이온 주입에 의해 형성된 p형 게이트 전극에서 붕소이온의 침투 영향은 high frequency C-V plot을 이용하여 flatband전압 변화로써 붕소이온의 침투 정도를 조사하였으며, 붕소이온에 의한 게이트 산화막의 절연과피 특성 열화 정도는 HP 4062 semiconductor parameter analyzer를 사용하여 게이트 산화막의 TDDB(Time Dependent Dielectric Breakdown) 특성변화를 통하여 조사하였다. 이때 사용된 시편은 100×100 μm²의 면적을 가진 평판 capacitor로 5V의 전압을 양단에 인가하고 0.1A/cm²의 일정한 전류를 게이트 전극에 가하였다. 또한 비정질 실리콘에서 붕소이온 침투 억제 효과를 확인하기 위해 Perkin Elmer사의 PHI-6300을 이용하여 붕소이온의 SIMS profile을 비교하였고, JEOL사의 JEM-2000FX2를 이용하여 다결정 실리콘과 비정질 실리콘의 TEM단면조직을 관찰하였다.

3. 결과 및 고찰

실험 결과는 다결정실리콘과 비정질실리콘 게이트 차이에 따른 게이트 산화막내로의 붕소이온 침투 영향을 MOS Capacitor 특성, TDDB특성 및 SIMS와 TEM에 의한 붕소이온의 분포 및 전극의 미세조직 관찰순으로 나누었다.

1. MOS Capacitor 특성

일반적으로 MOS capacitor에서 게이트 산화막의 특성은 high frequency C-V plot을 분석함으로써 얻을 수 있다⁽⁹⁾. 본 실험에서는 붕소이온의 침투가 게이트 산화막에 결정 결함을 유발시켜 fixed oxide charge(Q_f) 또는 oxide trap charge(Q_{ot})의 변화를 가져와 flatband 전압에 미치는 영향을 분석하기 위하여 1MHz의 높은 AC 주파수를 인가하는 high frequency C-V curve를 이용하였다.

일반적으로 이상적인 상태에서 물질의 en-

ergy대는 내부에서 표면까지 일정해야 하지만 실제의 energy대에서는 표면에서 약간 굽은 현상을 보이는데, MOS capacitor의 경우 이러한 현상의 원인은 게이트 전극과 기판과의 일함수(work function) 차이에 기인하며 (1)식과 같이 나타낸다⁽¹⁰⁾.

$$V_{FB} = \frac{\phi_M - \phi_{SC}}{q} = \frac{1}{q} \left[\phi_M - \left(\chi + \frac{E_g}{2} \pm K_B T \ln \frac{N}{n_i} \right) \right] \dots\dots(1)$$

여기서 V_{FB} 는 flatband 전압이고 q 는 전하량이다. ϕ_M 과 ϕ_{SC} 는 각각 게이트 전극과 silicon 기판의 일함수이며, E_g 는 전도대와 충만대 사이의 energy gap, χ 는 electron affinity, K_B 는 Boltzmann 상수, T 는 절대 온도, N 은 doping농도, n_i 는 intrinsic silicon에서의 free electron수를 나타내며 \pm 부호는 silicon 기판의 type에 따라 p-type에는 +, n-type를 -를 사용한다. 실제의 MOS capacitor 구조에서는 일함수 차이에 기인한 flatband 전압과 함께 게이트 산화막이 성장하면서 발생하는 여러가지 결정 결함 및 ionic contamination 또는 격자의 불연속성에 의해 발생된 전하들로 인해 (2)식과 같이 부수적인 flatband 전압의 변화가 일어나게 된다.

$$V_{FB2} = \frac{\phi_M - \phi_{SC}}{q} - \frac{Q_i T_{OX}}{\epsilon_0 \epsilon_{OX}} \dots\dots\dots(2)$$

여기서 ϵ_0 및 ϵ_{OX} 는 각각 진공 상태와 절연막에서의 유전상수이며, T_{OX} 는 산화막의 두께를 나타내며, Q_i 는 Si-SiO₂ 계면에서의 전체 전하 밀도를 나타낸다. 붕소이온이 주입된 상태에서 열처리 공정이 진행되면 산화막내로 침투된 붕소이온은 이러한 전하로 변화되며, 그 양에 따라 (2)식에서와 같이 flatband 전압에 영향을 주게된다. 그림 1에 열처리 시간에 따른 flatband 전압의 변화를 나타내었는데 시간이 경과함에 따라 flatband 전압이 (·) 방향으로 증가하고 있음을 알 수 있다. 이는 열처리 시간이 길어짐에 따라 게이트 산화막으로 침투되는 붕소이온의 양이 증가하게 되고 이것이 (2)식의 Q_i 를 증가시켜 flatband 전압을 (+)방향으로 이동시킨다고 생각할 수 있으므로 침투된 붕소이온이 산화막내에서 음전하를 띄게 됨을 알 수 있다. 그림 1(a)와 (b)에서 알 수 있듯이 비정질 실리콘이 다결

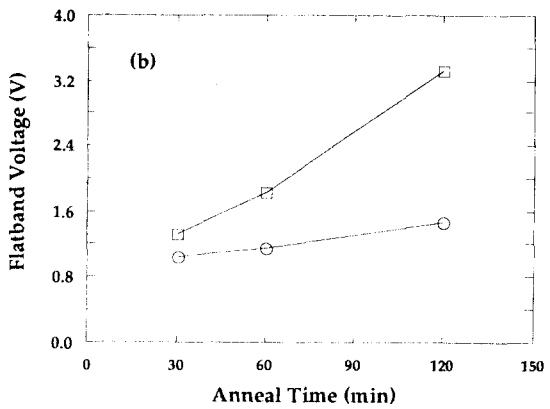
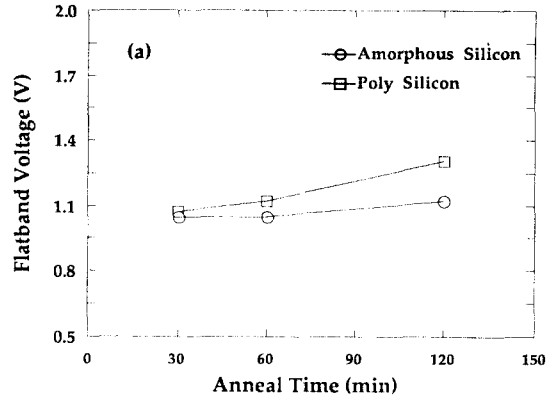


Fig. 1. Flatband voltage for two different p⁺ gate processes as a function of anneal time at 900°C. All samples were implanted with BF₂, 50KeV, 2.0E15 : (a) Gox thickness; 125 Å and (b) Gox thickness; 100 Å.

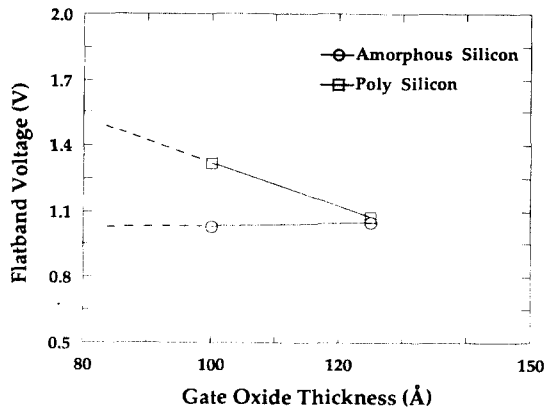


Fig. 2. Flatband voltage as a function of gate oxide thickness for two different p⁺ gate processes annealed at 900°C for 30min under N₂ ambient.

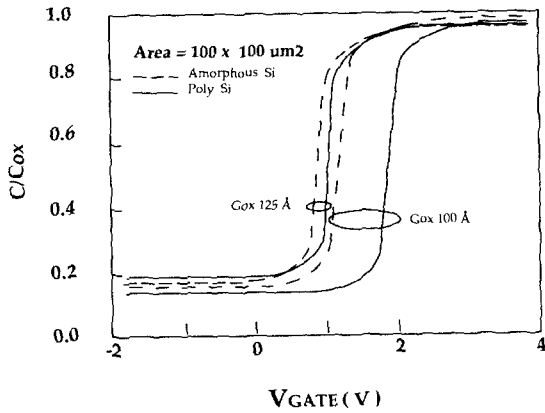


Fig. 3. High frequency C-V curves comparing a boron-implanted polycrystalline Si with amorphous Si gate processes. Only polycrystalline Si shows larger V_{FB} shift.

정 실리콘에 비해 flatband 전압의 변화가 작은 것으로 보아 붕소이온의 침투가 억제되고 있음을 알 수 있으며, 이러한 효과는 그림 2에서와 같이 게이트 산화막의 두께가 얇아질수록 더욱 뚜렷해짐을 알 수 있다. 그림 3은 동일한 열처리 조건에서의 high frequency C-V curve의 예를 보였는데 위의 결과를 잘 입증해 주고 있다.

2. 붕소이온 침투에 따른 게이트 산화막의 TDDB 특성

미래의 초고집적 소자에 있어 향상된 특성을 확보하기 위해서는 게이트 산화막 두께의 감소는 필수적이지만 얇은 게이트 산화막에서 절연강도가 낮아지는 점은 소자의 불량요인 중 가장 큰 영향을 미치는 것으로서, 고집적 DRAM(Dynamic Random Access Memory)소자에서는 특히 게이트 산화막의 절연 파괴 강도를 보전하는 것이 무엇보다 중요하다⁽¹¹⁾. 게이트 산화막의 절연 파괴 강도를 측정하는 방법 중 가장 대표적인 것이 TDDB방법으로서 이는 다음과 같이 두단계로 나누어진다⁽¹²⁾.

첫번째는 build-up stage로써 게이트 산화막 내의 전하를 띤 carrier 즉, electron hole 및 positive ion 등이 산화막내의 weak spot으로 trap되면서 localized electric field가 점점 증가하게 된다. 두번째는 runaway stage로써 trap된 charge들에 의해 발생된 field가 어느 임계값 이상이 되면 산화막을 통한 전류밀도는 순

간적으로 증가하게 되어 결국 weak spot에서 dielectric breakdown이 일어나게 된다. 여기서 runaway stage에 도달하는데 필요한 시간이 oxide lifetime을 결정하게 되며 이는 신뢰성 측면에서 중요한 의미를 가진다. 실제의 TDDB특성은 일정한 전류를 게이트 전극에 가하고 시간이 경과됨에 따라 게이트 전압을 측정하는 것으로, 계속되는 current injection에 의해 산화막의 절연 파괴가 일어나면 게이트 전압은 순간적으로 수 volt이하로 떨어지게 되며 이때의 시간을 게이트 산화막의 절연 파괴 시간 T_{BD} (Time-to-Breakdown)으로 결정한다. 일정한 전류를 유지하기 위한 게이트 전압은 시간이 지남에 따라 조금씩 증가하게 되는데, 이는 게이트 산화막에서의 electron trapping에 기인되는 것으로 보고되어 있으며 이로 인해 dielectric breakdown을 유발하는 internal electric field가 발생하는 것이다^(13~15). 일정전류의 인가에 의한 charge injection으로 발생하는 게이트 산화막의 절연 파괴를 측정하기 위한 parameter로써 Q_{BD} (Charge-to-Breakdown)를 이용하며 이는 다음 식과 같이 나타낼 수 있다.

$$Q_{BD} = \int_0^{T_{BD}} J dt = J \cdot T_{BD} [C/cm^2] \dots\dots\dots(3)$$

여기서 J는 (A/cm^2)의 단위를 가지는 전류 밀도이며, T_{BD} 는 절연파괴가 일어나는 시간이다.

본 실험에서는 $100 \times 100 \mu m^2$ 의 면적을 가진 MOS capacitor 전극에 $0.1 A/cm^2$ 의 일정한 전류를 인가하여 붕소이온의 침투 정도에 따른 게이트 산화막의 TDDB특성을 조사하였다. 그림 4(a)와 (b)에 $900^\circ C$, 30분, 질소분위기의 열처리 조건에서의 게이트 산화막 두께와 게이트 전극의 물리적 구조에 따른 절연파괴 시간 T_{BD} 를 측정한 결과를 보였다. 그림에서 알 수 있듯이 일정한 게이트 산화막 두께에서 비정질 실리콘의 T_{BD} 는 다결정 실리콘에 비해 20~30% 정도 높은 값을 보이며 게이트 산화막의 두께가 얇을수록 그 차이가 더욱 커지는 것을 알 수 있다.

절연파괴 전하밀도 Q_{BD} 를 (3)식에 의해 구해보면 게이트 산화막이 125 Å인 다결정 실리콘에서는 Q_{BD} 가 17~20C/cm², 비정질 실리콘에서는 25~28C/cm²을 나타내었고, 100 Å

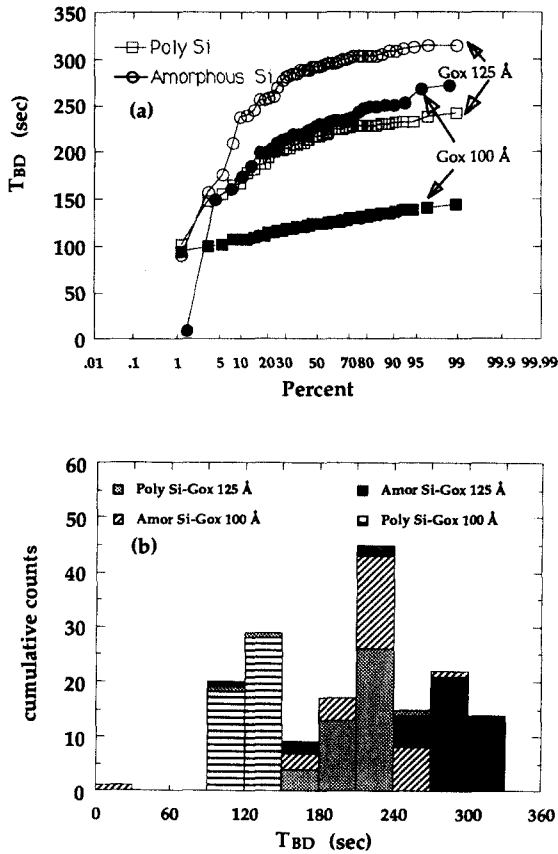


Fig. 4. TDDDB results for boron-implanted poly-crystalline and amorphous silicon gates : (a) T_{BD} (Time-to-Breakdown) and (b) its cumulative counts.

에서는 다결정 실리콘이 8~12C/cm²의 값을 보여 비정질 실리콘에서 산화막의 두께가 얇아질수록 붕소이온 침투에 의한 산화막의 절연파괴 강도 열화를 방지하는 효과가 커짐을 알 수 있다.

3. Boron SIMS Profile 및 TEM 단면 구조

다결정 실리콘은 저압 화학 증착법으로 증착되면서 작은 입자들로 이루어진 층을 형성하고 이들 입자는 열처리 공정을 거치게 되면 종형(columnar) 구조로 성장한다⁽¹⁶⁾. 이러한 구조로 인해 이온주입된 붕소이온은 열처리 시 주로 종형의 입계를 따라 게이트 산화막 내부로 확산하게 된다. 한편 비정질 실리콘은 증착시 비정질 상태에서 열처리 공정을 거치게 되면 다결정 실리콘에 비해 수백 정도 큰 결정립을 갖게 되므로 확산의 경로가 되는 입

계면적이 감소하게 되어 붕소이온의 확산이 억제되게 된다. 그림 5에 붕소이온을 주입한 직후와 열처리 공정을 거친후의 SIMS profile을 다결정 실리콘 및 비정질 실리콘에 대해 나타내었다. 먼저 이온주입 직후의 profile을 살펴보면, 비정질 실리콘에서의 이온주입 깊이가 다결정실리콘에서 보다 약 수백 Å 정도 얕은 것을 알 수 있으며, 열처리 공정후에도 게이트 산화막내의 붕소이온 분포가 비정질 실리콘이 다결정 실리콘보다 낮게 나타나는 것을 알 수 있다. 위의 결과는 앞에 설명한 비정질 실리콘에서의 미세 구조 차이에 의한 효과를 잘 설명해주고 있으며 그림 6의 열처리 공정을 거친 게이트의 TEM 단면 구조로부터 두 게이트 전극에서의 미세조직 차이를 확인할 수 있다.

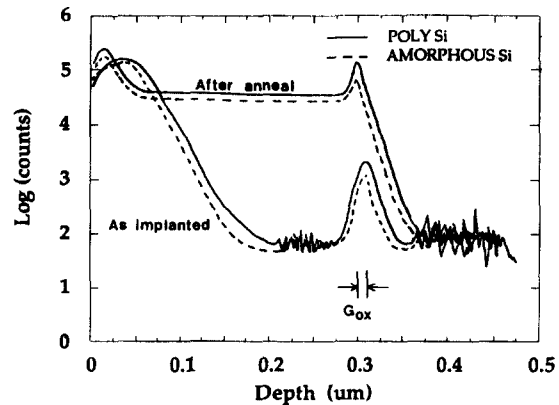


Fig. 5. Boron SIMS profiles for two different gate processes annealed at 900°C for 30min N₂ ambient. All samples were implanted with BF₂, 50KeV, 2.0E15.

4. Electron trapping rate

게이트 산화막의 절연 파괴는 electron trapping에 기인하므로 TDDDB특성으로부터 구한 electron trapping rate로써 게이트 산화막의 절연파괴내성을 평가할 수 있다. Electron trapping rate는 절연파괴가 일어나기 전까지의 게이트 전압의 변화분을 절연파괴 시간으로 나눈 것으로써 단위 시간당 trapping되는 electron의 양을 나타낸다. 그림 7에 다결정 실리콘과 비정질 실리콘에 붕소이온을 주입한 후, 900°C, N₂분위기에서 30, 60 및 120분의 열처리 공정을 거친 시료들에 대한 CCST 결

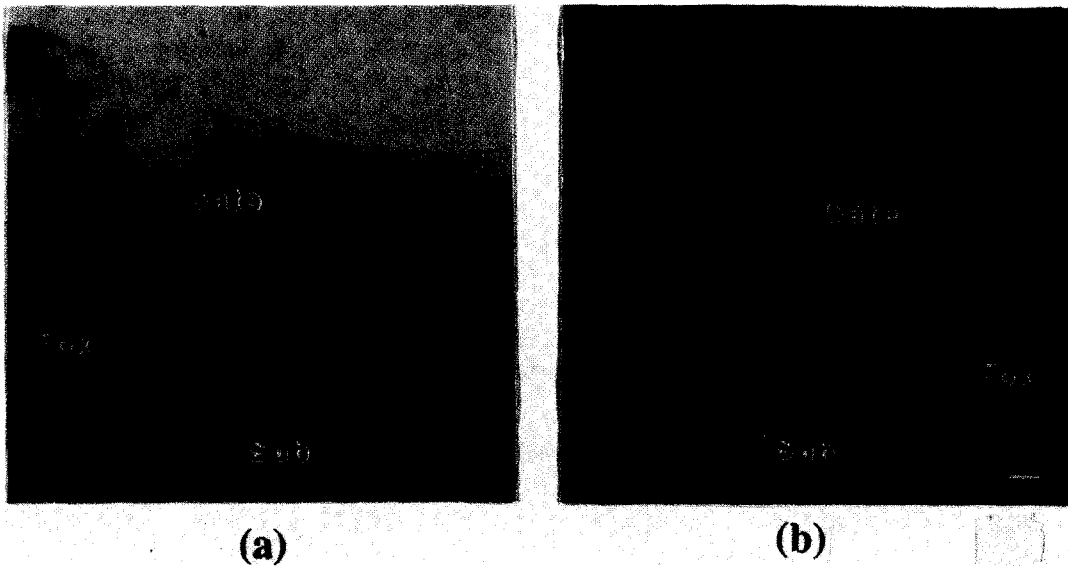


Fig. 6. Cross-sectional TEM photos showing the Si grain structures deposited at (a) 550°C and (b) 620°C, followed by annealing at 900°C for 30min under N₂ ambient.

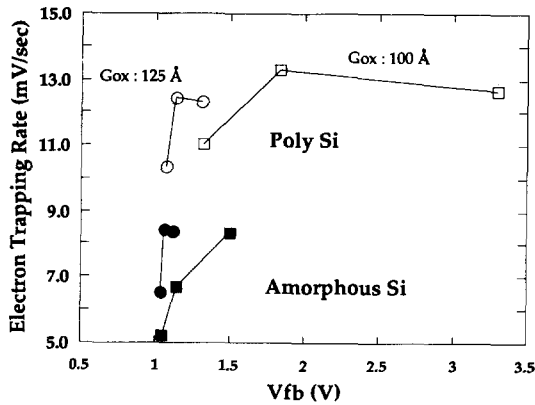


Fig. 7. The comparison of electron trapping rate for two different gate structures with their flatband voltages.

과로부터 electron trapping rate를 계산하여 high frequency C-V curve로부터 얻어진 flatband 전압의 변화와 함께 나타내었다. 그림에서 볼 수 있듯이 electron trapping rate는 게이트 산화막의 두께 또는 열처리 시간에 관계없이 다결정 실리콘이 비정질 실리콘에 비해 높은값을 나타내고 있다. 이로부터 electron trapping rate의 증가는 다결정 실리콘과 비정질 실리콘의 미세구조 차이에 기인한다는

것을 알 수 있다. 이러한 현상은 flatband 전압의 변화 양상과도 일치하고 있다(그림 1 참조). 한편 900°C, 60분에서 electron trapping rate가 포화되는 현상을 보이는데 이는 900°C, 60분까지는 붕소이온의 침투로 인한 산화막내의 결정 결함등의 발생으로 인해 electron trapping rate가 열처리 시간이 길어짐에 따라 증가하는 반면에 그 이상에서는 열처리에 따른 산화막내의 일부 결정 결함들의 회복으로 인해⁽¹⁷⁾ electron trapping site가 포화되기 때문인 것으로 생각된다. 이러한 electron trapping rate 변화와는 달리 flatband 전압은 열처리 시간이 길어짐에 따라 계속 증가하는 현상을 보이는데 이는 electron trapping rate는 산화막내의 trapping site수와 관계되지만 flatband 전압은 (2)식과 같이 침투되는 붕소이온의 양에 따라 변화하기 때문이다.

초고집적 소자에서 발생하는 short-channel effect를 감소시키기 위해서는 p형 다결정 실리콘 게이트 전극의 사용이 필수적으로 요구되지만 높아지는 집적도와 함께 낮아지는 게이트 산화막 두께에 대한 소자특성의 유지는 표면채널형 pMOS 소자를 개발하는데 있어 우선되어야 할 과제이다. 본 실험에서 연구된 비정질 실리콘은 이러한 요구에 적합한 것으

로써 게이트 산화막의 두께가 얇을수록 붕소 이온의 침투 억제 효과가 뛰어나며, 부가적으로 게이트 전극으로써 지녀야 할 전도특성 면에서도 다결정 실리콘에 비해 큰 결정 입자를 가져 30~40% 정도의 낮은 저항을 갖게 됨으로써 소자성능의 향상에 기여할 수 있다는 장점 또한 지니고 있다.

4. 결 론

저압 화학 증착법(LPCVD)으로 550°C의 온도에서 증착시킨 비정질 실리콘을 pMOS capacitor의 게이트 전극으로 사용하여 특성을 측정된 결과 다음과 같은 결론을 얻었다.

1. High-frequency C-V curve 부터 얻어진 flatband 전압의 변화에서 기존의 다결정 실리콘은 열처리 시간이 지남에 따라 flatband 전압이 약 3volt 이상의 증가를 보인 반면 비정질 실리콘에서는 0.3volt이하의 작은 변화를 보여 비정질 실리콘에서의 붕소이온 침투 억제 효과가 뚜렷함을 알 수 있었다.
2. 게이트 산화막의 TDDb특성에서 절연과괴 전하밀도 Q_{bb} 를 비교해 본 결과, 125Å의 게이트 산화막에서는 다결정 실리콘이 17~20C/cm², 비정질 실리콘은 25~28C/cm²을 나타내었고 게이트 산화막이 100Å에서는 다결정 실리콘은 8~12C/cm²을, 비정질 실리콘에서는 18~20C/cm²을 각각 나타내어 비정질 실리콘이 게이트 산화막의 두께가 얇아질수록 붕소이온의 침투로 인한 막질 저하를 방지하는 효과가 커지는 것을 알 수 있었다.
3. 비정질 실리콘 전극이 붕소이온의 침투를 억제하는 것은 증착시 비정질로 형성되는 구조로 인해 이온 주입되는 붕소이온의 이온주입 깊이가 다결정 실리콘에 비해 수백 Å정도 알아지게 되고, 열처리 공정시 다결정 실리콘 보다 크게 성장한 결정입자로 인해 붕소이온의 침투경로가 되는 입계 면적이 감소하기 때문이다.

참 고 문 헌

1. G.J.Hu and R.H.Bruce, IEEE Trans, ED-32, 584(1985)

2. T.N.Nguyen and J.D.Plummer, 40th Device Res. Conf. Ft. Colli, Co. Paper II A-4(1982)
3. L.Parrillo et al., IEDM Tech. Dig., 706 (1982)
4. G.J.Hu et al., IEDM Tech. Dig., 710 (1982)
5. S.Chiang et al, IEDM Tech. Dig., 534 (1983)
6. M.Nakahara, Y.Hiruta, T.Noguchi, and N.Yoshida, IEDM Tech. Dig., 238 (1985)
7. T.Morimoto and H.S.Momose, IEDM, Tech. Dig., 429(1990)
8. Hsing-Huang Tseng, Philip J.Tobin and F.K.Baker, Symposium on VLSI Tech., 111~112(1990)
9. K.H.Zaininger and F.P.Heiman, Solid-State Technology, Part I, 49(1978)
10. G.Barbotton, J.J.Simonne, and A. Vapaille, Instabilities in Silicon Devices : Silicon Passivation and Related Instabilities, Vol.1, edited by G.Barbotton and A.Vapaille, Elsevier Science Publishers B.V.(North-Holland), 255(1986)
11. C.R.Barett and R.C.Smith, IEDM, Tech. Dig., 213(1976)
12. Ih-Chin Chen, Stephen E.Holland, and Chenming Hu, IEEE, Trans. on Electron Devices, Vol. ED-32 No. 2, 413~422 (1985)
13. E.Harari et al, J.Appl. Phys., Vol. 49, No. 4, 2478(1978)
14. Y.Nissan-Cohen, J.Shappir, and D. Frohman-Bentchkowsky, J.Appl.Phys, Vol. 54, No.10, 5793(1983)
15. W.K.Meyer and D.L.Crook, Proc. of Int. Rel. Phys. Symp., 242(1983)
16. Ted Kamins, "Polycrystalline Silicon for Integrated Circuit Application", pp.53 Kluwar Academic Publishers, Norwell, Massachusetts, U.S.A(1987)
17. G.Lucovsky and M.J. Mantini, J.Vac. Sci. Technol. B 5(2), 530(1987)