

단결정 실리콘 기판에 이온주입된 불순물이 TaSi₂형성에 미치는 영향

조현춘 · 최진석 · 고철기* · 백수현

한양대학교 재료공학과

*현대전자 반도체 연구소

The effect of impurities implanted single-Si substrates on the formation of TaSi₂

Cho Hyun Choon, Choi Jin Seok, Ko Chul Gi, Paek Su Hyon

Dept. of Material Eng. Hanyang Univ., Seoul 133-791

*Hyundai Electronics Semiconductor R & D Lab., Kyung Ki-Do 467-860

요 약 불순물이 주입된 실리콘 기판에 500 Å 두께의 탄탈륨 박막을 증착한 후 실리사이드를 형성시키기 위해 아르곤 분위기에서 급속열처리(RTA)를 하였다. 형성된 TaSi₂와 불순물의 거동은 XRD, SEM, 4-point probe, HP4145와 SIMS로 조사하였다. 불순물의 종류에 관계없이 TaSi₂는 RTA 온도가 800°C일 때 형성되기 시작하였으며 1000°C 이상에서 증착된 Ta가 전부 TaSi₂로 상 전이가 일어났다. 또한 TaSi₂/p⁺ 영역에 대한 접촉저항값은 contact size가 0.9×0.9(μm²)일 때 22Ω 낮은 값을 가졌으며 이온 주입된 불순물은 RTA 처리시 형성된 TaSi₂층으로 out-diffusion이 일어났다.

Abstract Tantalum thin films were deposited by DC sputtering on heavily doped single Si substrates. These substrates were treated by means of a rapid thermal annealing (RTA) under Ar atmosphere for various temperatures(600-1100°C). The silicide formation and the impurities behavior in the substrate are studied by means of XRD, SEM, four-point probe, HP4145, and SIMS. The formation of TaSi₂ started at 800°C for all kinds of impurities and the entire Tantalum thin metal films were transformed into TaSi₂ above 1000°C. Also the contact resistance for TaSi₂/p⁺ region had a low value; 22Ω, at contact size of 0.9×0.9(μm²), and implanted impurities were diffused out into the TaSi₂ for rapid thermal annealing.

1. 서 론

최근 반도체소자의 미세화 및 초고집적화의 추세에 따라 현재 게이트전극과 내부연결물질로 사용중인 다결정실리콘은 상대적으로 저항이 높아 차세대 반도체 소자에는 저항이 보다 낮은 새로운 재료의 개발이 요구되고 있다.^(1,2)

내화금속 실리사이드(Refractory Metal Silicide)⁽³⁻⁸⁾는 다결정 실리콘의 성질을 가지면서도 저항이 매우 낮고 고온안정성이 우수하여 새로운 배선 재료로서 최근 각광을 받고 있다. 이와같은 실리사이드는 금속을 실리콘기판에 증착한 후 열처리로 형성시키는 방법⁽⁹⁻¹⁰⁾과 금속과 실리콘을 동시에 기판에 증착해서 형성시키는 방법⁽¹¹⁻¹²⁾ (co-sputtering, composite target 등)으로 대별할 수 있으며 전자(前著)의 방법 silicide공정에 편리하며

후자(後著)의 방법은 제조공정이 편리한 장점이 있다. 그러나 이렇게 형성된 실리사이드의 특성은 형성방법⁽¹³⁾과 조건 및 불순물로 주입된 이온의 거동^(14,15)에 따라 달라지게 되므로 이에 대한 자세한 연구가 절실하다. 따라서 본 연구에서는 내화 금속 실리사이드 중에서도 알루미늄과의 반응성도 없고 미세강도가 우수하여 차세대 반도체소자에 적용가능성이 매우 높은 탄탈륨 실리사이드⁽¹⁶⁻¹⁸⁾를 전자의 방법으로 형성시킬 때 실리콘기판에 이온 주입된 As와 P의 거동을 알아보고 이에 따른 실리사이드의 형성에 미치는 영향을 조사함으로써 실제소자에 대한 적용가능성을 제시하고자 한다.

2. 실험 방법

비저항이 5-20Ω-cm인 (100) P-type 실리콘기판

에 As와 P를 $5 \times 10^{15} \text{cm}^{-2}$ 의 농도로 40KeV, 20KeV로 각각 이온주입한 후 실리콘기판엔 형성된 손상을 제거하고 불순물들의 활성화를 위하여 900°C 에서 30분동안 질소(N_2)분위기에서 furnace annealing하였다. 열처리후에 실리콘기판 표면에 형성된 자연 산화물을 100:1HF용액에서 제거한 다음 DC-Sputter장치로 탄탈늄(Ta)을 500 \AA 증착하였다.

증착된 Ta와 기판 실리콘의 상호작용으로 실리콘사이드를 형성시키기 위하여 급속열처리(RTA)를 하였는데 RTA온도는 600°C 에서 1100°C 까지, RTA시간은 20초로 하여 아르곤(Ar)분위기에서 행하였다.

또한 실제 소자에 대한 적용가능성을 알아보기 위하여 p^+ 영역에 실리콘사이드를 형성시킨 후 접촉저항(contact resistance)을 측정하기 위한 시편도 준비하였다. 형성된 실리콘사이드의 전기적 특성은 4-point probe로 측정하였으며 형성과정은 XRD ($1.542 \text{ Cu K}\alpha$, 40KV, 50mA)와 SEM단면사진 (10만배)으로 조사하였으며 표면거칠기는 α -step으

로, 그리고 불순물의 거동은 SIMS(Secondary Ion Mass Spectroscopy)로 관찰하였다. 또한 접촉저항은 parameter analyzer(HP 4145)를 이용하여 Kelvin Pattern으로 측정하였다. 그림 1에 본 실험의 순서도를 나타내었다.

III. 결과 및 고찰

1. TaSi_2 의 형성

형성된 Ta-silicide의 phase를 알아보기 위해 XRD를 이용하였다. 그림 2의 (a)와 (b)는 단결정 실리콘 기판에 As과 P를 $5 \times 10^{15} \text{cm}^{-2}$ 농도로 이온주입한 후 RTA 온도에 따라 형성된 Ta-silicide의 X-ray 회절무늬를 각각 나타낸 것이다. 그림에서 RTA온도가 800°C 일때 미미하나 hexagonal구조인 TaSi_2 의 peaks가 나타나는 것으로 보아 이 온도에서 Ta금속과 기판의 Si이 반응하여 TaSi_2 가 형성되기 시작하는 것으로 판단되며 불순물을 주입하지 않은 경우⁹⁾와 일치하고 있다.

또한 불순물의 종류에 관계없이 RTA온도가 1000°C 이상일때 증착된 Ta금속이 전부 TaSi_2 로 상전이가 일어나고 있음을 알 수 있다.

그림 3의 (a)와 (b)는 위와 같은 조건에서 형성된 TaSi_2 의 SEM단면사진을 나타낸 것이다. 그림에서 RTA온도가 800°C 일때 증착된 Ta금속층의 두께가 약간 증가하였는데 이는 계면에서 실리콘과 반응해서 TaSi_2 층이 형성되었기 때문이라 생각되며, RTA온도가 증가함에 따라 TaSi_2 phase가 계속 성장하고 있으며 결정입도도 증가하는 것을 알 수 있다. 또한 TaSi_2 는 columnar구조로 성장하고 있는 것을 보여주고 있다.

2. TaSi_2 의 전기적 특성

불순물의 종류(As,P)와 RTA온도에 따른 TaSi_2 의 면저항값 변화를 그림 4에 나타내었다. 그림에서 RTA온도가 증가함에 따라 불순물의 종류에 관계없이 면저항값이 감소하고 있는데 이는 그림 2의 XRD결과와 연관시켜서 볼때 면저항의 감소는 TaSi_2 의 결정화 정도에 의해 크게 좌우됨을 알 수 있다. 또한 RTA온도가 800°C 부터 면저항값이 급격히 감소하는데 이는 이 온도에서 새로운 상(phase)인 TaSi_2 가 형성되기 때문이라 생각되며 그림 2와 그림 3의 결과와 잘 일치하고 있다. 그리고 불순물을 주입한 경우가 불순물을 주입하지 않은 경우보다 면저항값이 다소 높는데 이는 실리콘 기판에 이온 주입된 불순물이 실리콘의 확산을 방해하여 TaSi_2 의 형성을 억제 하였

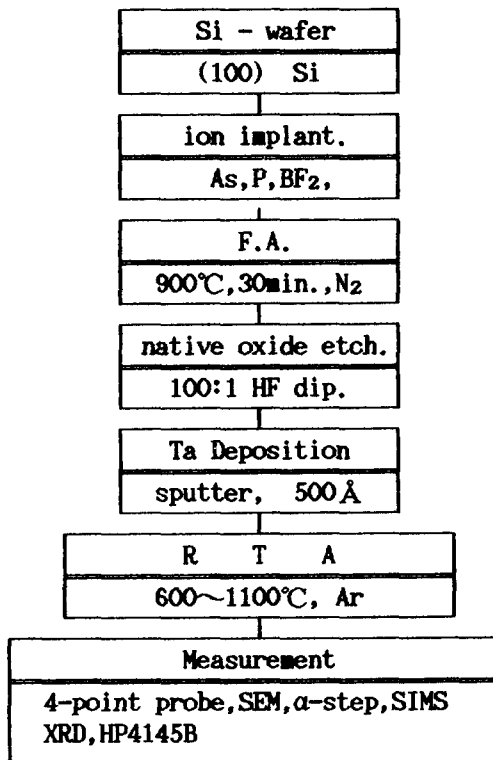


Fig. 1 Flow chart of experiments

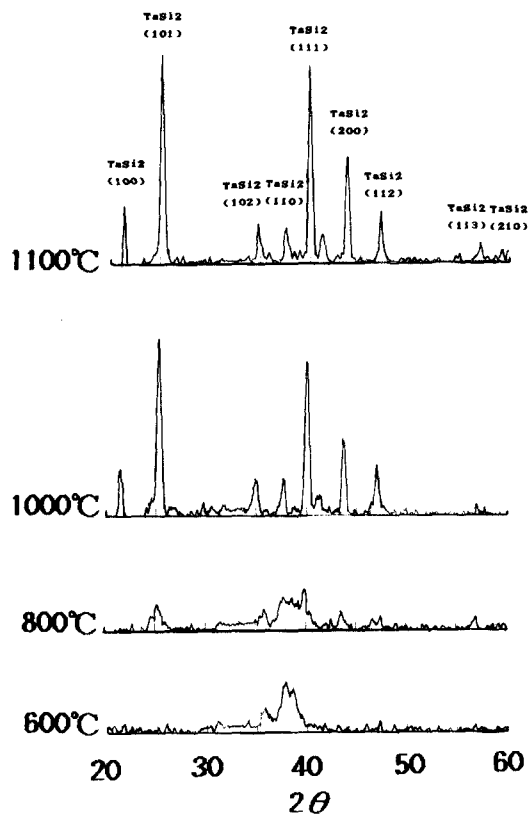


Fig. 2(a). X-ray diffraction peaks according to RTA temperature of specimens where $5 \times 10^{15} \text{cm}^{-2}$ of As are implanted into single-Si

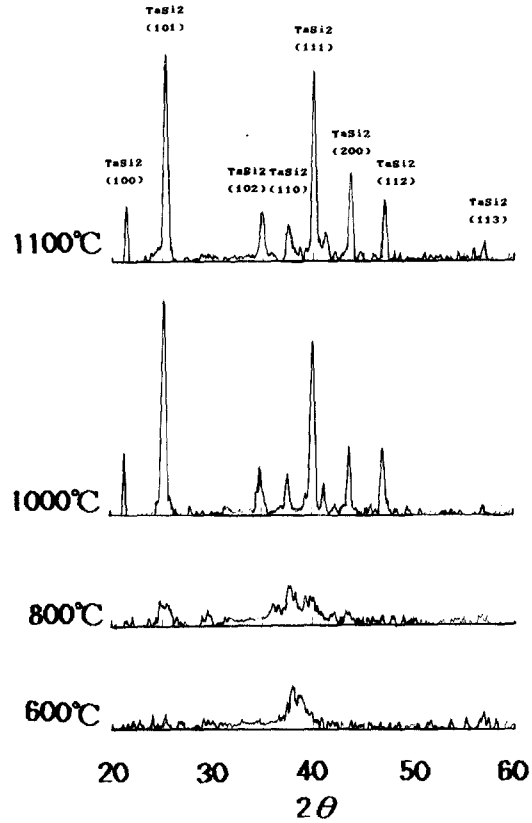
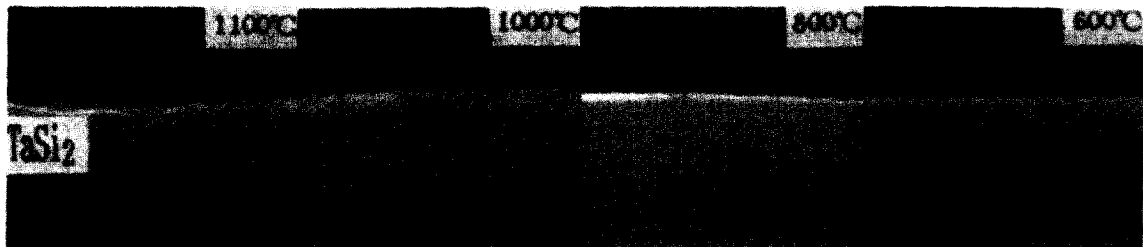


Fig. 2(b). X-ray diffraction peaks according to RTA temperature of specimens where $5 \times 10^{15} \text{cm}^{-2}$ of P are implanted into single-Si



(a)



(b)

Fig. 3(a). SEM cross sectional views according to RTA temperature in case that $5 \times 10^{15} \text{cm}^{-2}$ of As are implanted into Single-Si

(b). SEM cross sectional views according to RTA temperature in case that $5 \times 10^{15} \text{cm}^{-2}$ of BF_2 are implanted into single-Si

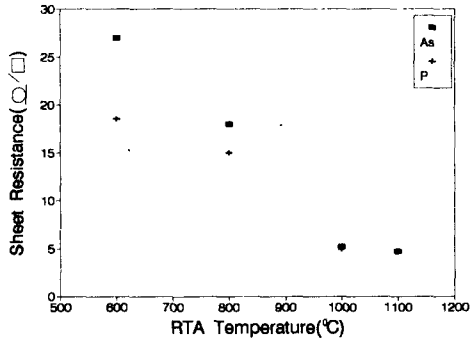


Fig. 4. Values of sheet resistance according to RTA temperature of specimens where $5 \times 10^{15} \text{cm}^{-2}$ of impurities are implanted into single-Si

거나, 형성된 TaSi₂층으로 확산해서 전하 운반자에 대한 산란인자(scattering source)로 작용하였기 때문이라 생각된다.

TaSi₂의 실제소자에 대한 적용 가능성을 알아보기 위해 Kelvin pattern방법으로 TaSi₂/p⁺영역의 접촉저항을 측정하였다. 이를 위해 실리콘 기판에 BF₂를 이온주입해서 P⁺영역을 형성하였다.

그림 5는 P⁺영역 위에 1000°C에서 형성된 TaSi₂에 대하여 contact size에 따른 접촉저항을 나타낸 것이다. 그림에서 contact size가 증가하면

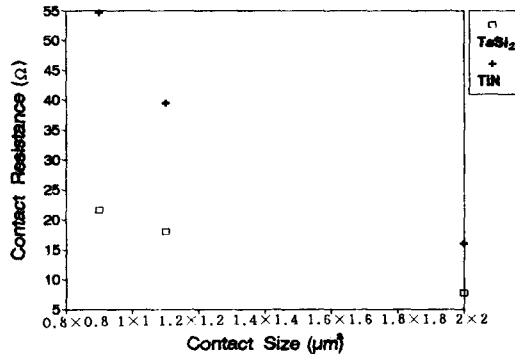


Fig. 5. Values of contact resistance for P⁺ junction according to contact size of Ti/TiN and RTA-treated TaSi₂ at 1000°C

서 접촉저항값이 감소하고 있는것을 알 수 있다. 또한 contact size가 0.9x0.9(μm²)일때 22Ω의 값을 가지고 있으며 표준시편인 Ti/TiN의 경우보다 훨씬 낮은 접촉 저항값을 가지고 있어 TaSi₂를 contact 물질로 적용할 수 있을 것으로 기대된다.

각 contact size에 대해 RTA온도에 따라 접촉 저항 값을 측정하였는데 그림 6. 에서 알 수 있는 것처럼 RTA온도에 관계없이 contact size가 클

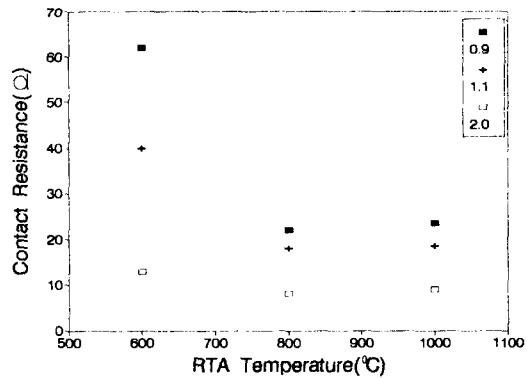


Fig. 6. Values of contact resistance for P⁺ junction according to contact size and RTA temperature

수록 접촉저항이 낮음을 알 수 있다. 또한 TaSi₂가 형성되기 시작하는 온도인 800°C에서의 접촉 저항값은 2.0x2.0(μm²)크기에서 약 8Ω의 값을 가지고 있으며 RTA온도가 1000°C로 증가함에 따라 접촉저항값이 약간 증가하는 경향을 볼 수 있다. 이는 1000°C에서 안정한 TaSi₂가 형성되는 하나 그림 7(b)의 Boron에 대한 SIMS결과에서 알 수 있는 것처럼 1000°C일때 TaSi₂가 성장하면서 Boron의 out-diffusion이 일어나 junction이 약간 불안정해지기 때문이라 생각된다.

3. dopant의 거동

RTA온도가 600°C와 1000°C일때 실리콘 기판에 이온주입된 As와 B의 거동을 그림 7(a)와 (b)에 각각 나타내었다. 그림 7(a)에서 RTA온도가 600°C일때 이온주입된 As는 거의 실리콘 내부에 존재하는 것을 알 수 있다. 다만 Ta/Si계면에서 pile-up 현상이 일어나고 있으며, Ta층으로도 어느정도 확산이 일어나고 있음을 알 수 있다.

그러나, RTA온도가 1000°C일때는 실리콘 기판에 이온주입된 As는 거의 모두 형성된 TaSi₂층으로 out-diffusion이 일어나고 있음을 알 수 있다. 또한 600°C의 경우와 비교해 볼때 상대적인 As의 농도가 감소한 것을 알 수 있는데 이는 TaSi₂층으로 out-diffusion된 As가 대기중으로 어느 정도 loss되었기 때문이라 생각된다.

B의 경우(그림 7(b))도 RTA온도가 600°C일때는 실리콘 내부에 존재하는 것을 알 수 있다. 그러나, 그림 7(a)와는 달리 B의 경우는 농도 split가 일어나고 있는데 이는 실리콘 내부에 생긴 damage층과 interface에서 B의 Solubility limit가 다르기 때문이라 생각된다⁽¹⁹⁾.

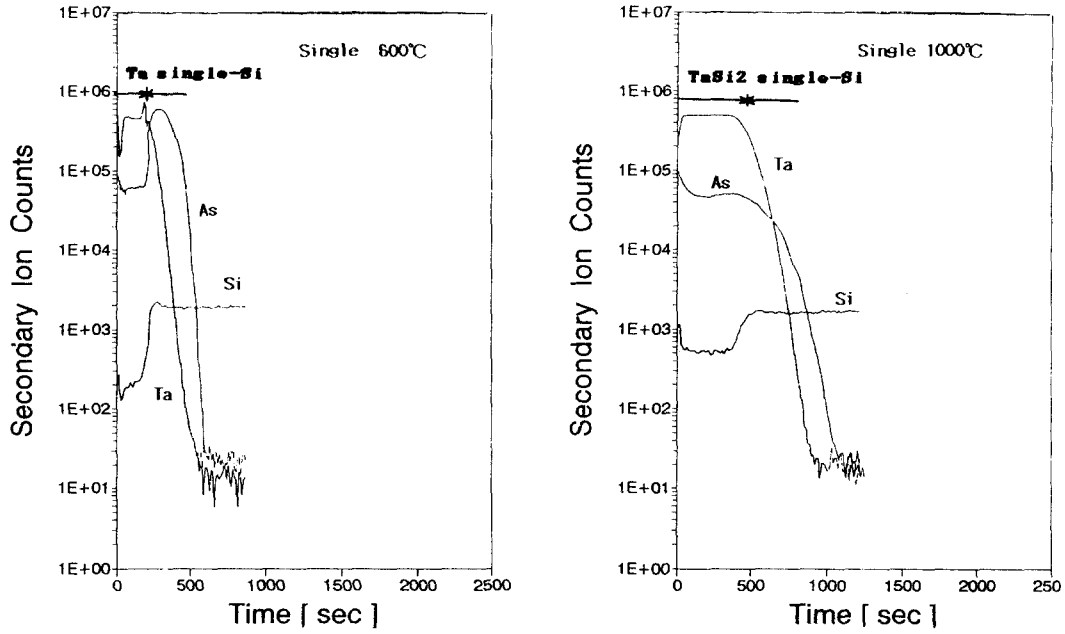


Fig. 7(a). SIMS profile according to RTA temperature of specimens where $5 \times 10^{15} \text{cm}^{-2}$ of As are implanted into single-Si

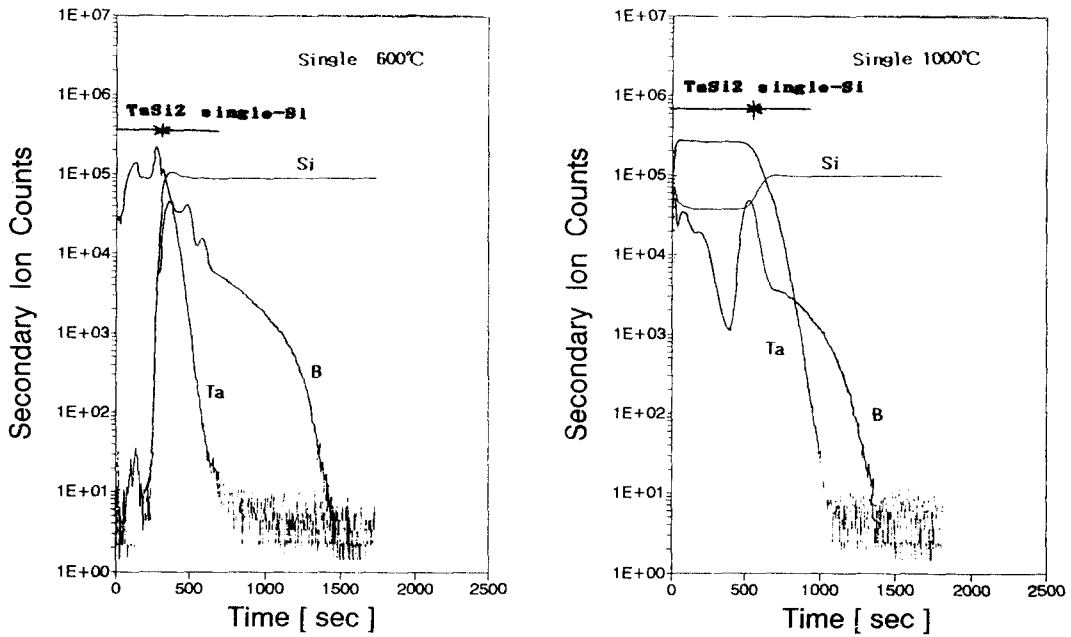


Fig. 7(b). SIMS profile according to RTA temperature of specimens where $5 \times 10^{15} \text{cm}^{-2}$ of BF_2 are implanted into single-Si

또한 RTA온도가 1000°C 일때는 As의 경우처럼 TaSi_2 층으로 out-diffusion이 일어나고 있다. 그러나 B의 경우 TaSi_2 내부에는 거의 존재하지 않고

TaSi_2 의 표면과 TaSi_2/Si 계면에 pile-up 현상이 일어나고 있다. 이처럼 As의 경우와 다른 것은 B가 TaSi_2 내에서 확산이 용이하기 때문이라 생각된다.

IV. 결론

실리콘 기판에 불순물을 주입한 후 RTA에 의해 TaSi₂를 형성시킬 때 dopants의 종류에 관계없이 800°C에서 TaSi₂가 형성되기 시작하며 1000°C이상에서 증착된 Ta metal이 전부 TaSi₂로 상전이가 일어났다.

또한 TaSi₂/P⁺영역의 접촉저항은 contact size가 0.9×0.9(μm²)일때 22Ω으로 낮은 값을 가져 contact재료로의 적용가능성이 매우 높았다. 그러나 이온주입된 As와 B가 RTA처리시 TaSi₂내부로 out-diffusion되고, TaSi₂가 columnar구조로 성장하기 때문에 leakage current문제가 발생할 것으로 예상되므로 앞으로 이에 대한 연구가 필요하다고 판단된다.

V. 참고 문헌

1. S.P.Murarka, "Silicides for VLSI Applications", Academic press(1983)
2. S.P.Murarka, J.Vac. Sci.Technol., **17(A)**, 775 (1980)
3. S.Yangisawa and T.Fukuyama, J.Electrochem. Soc., **127(5)**, 1120(1980)
4. J.R.Yang and J.T.Lue, J.Appl.Phys., **65(3)**, 1039(1989)
5. R.Chow and D.Nichols, Thin Solid films, **118**, 139(1984)
6. C.M.OSburm, T.Bratand D. Sharma, J. Electrochem. Soc. **135(6)**, 1490(1988).
7. A.K.Sinha, H.Read. and T.E.Smith, J. Electrochem. Soc., **120(12)**, 1775(1973).
8. 조한수, 조현춘, 최진석, 백수현, 대한전자공학회, **28(1)**, 85(1991).
9. H.J.Yang, J.S.Choi, H.C.Cho and S.H.paek, J. Kor. Ins. Telematics and Electronics, to be published.
10. M.T.Huang, T.L.Martin, V.Malhotra, and J.E. Mahan, J.Vac. Sci. Technol. B **3(3)**, 836 (1985).
11. 조현춘, 양희준, 최진석, 백수현, 대한전자공학회, to be pulished.
12. 伊藤隆司,石川元, 中村廣照, "VLSI의 薄膜技術,"丸善株式會社, (1986)
13. C.Wieczorek, Thin Solid films, **126**, 227(1985).
14. D.coulman and P.Merchant, J.Appl.Phys., **61(11)**, 5110(1987)
15. S.PMurarka, J.Vac.Sci.Technol.B **5(6)**, 1674 (1987).
16. H.J.Mattausch, B.Hasler, and W.Beinvogl, J. Vac.Sci.Technol.B, **1(1)**, 15(1983)
17. K.C.Saraswat, R.S.Nowicki, and J.F.Moulder, Appl.Phys.Lett, **41**, 1127(1982)
18. T.Jiang, Z.Guobin,W.guoying, and D.Anyan, J. Vac.Sci.Technol.B, **6(6)**, 1746(1988)
19. 권상직, 백문철, 차주연, 권오준, "BF₃⁺이온주입된 실리콘 시료의 격자손상과 불순물 농도 분포에 대한 연구," 한국전자통신연구소 반도체 기술지원센터 기술분석실 보고,(1988)