

고속 다이내믹 CMOS PLA의 설계

(Design of a High-Speed Dynamic CMOS PLA)

金 倫 弘*, 林 寅 七*

(Yun Hong Kim and In Chil Lim)

要 約

본 논문에서는 동작속도가 빠르고 안정된 동작을 하며 대규모 배열논리 회로 설계에 적합한 다이내믹 CMOS PLA를 제안한다. 제안한 다이내믹 CMOS PLA에서는 AND 평면과 OR 평면의 클럭간에 시간지연을 주므로써 시차문제를 해결한다. 시간지연을 주기 위하여 AND 평면에서 가장 긴 지연을 갖는 적항선과 동일한 구조의 소자를 사용하므로써, 지연소자의 설계 및 실현이 간단하고, 정확한 지연 시간으로 회로동작이 안정된다. 제안한 다이내믹 CMOS PLA는 입력선이나 출력선이 증가하여도 그에 따른 스위칭 지연이 크게 영향을 받지 않는다.

SPICE에 의한 회로 시뮬레이션을 통하여 제안된 다이내믹 CMOS PLA가 회로가 안정된 동작을 하며 빠른 회로동작이 가능함을 확인하였다.

Abstract

This paper proposes a design of high-speed dynamic CMOS PLA (Programmable Logic Array) which performs stable circuit operation.

The race problem which may occur in a NOR-NOR implementation of PLA is free in the proposed dynamic CMOS PLA by delaying time between the clocks to the AND- and to the OR-planes. The delay element has the same structure as the product line of the longest delay in the AND plane. Therefore it is unnecessary to design the delay element or to calculate correct delay time. The correct delay generated by the delay element makes the dynamic CMOS PLA to perform correct and stable circuit operation. The proposed dynamic CMOS PLA has few variation of switching delay with the increasing number of inputs or outputs in PLA.

It is verified by SPICE circuit simulation that the proposed dynamic CMOS PLA has the better performance over existing dynamic CMOS PLA's.

I. 서 론

LSI/VLSI 기술의 급속한 발전으로 칩의 집적 밀도가 비약적으로 증가하고 회로의 복잡도는 날로 높아지고 있다. 이러한 이유로 디지털 시스템을 설계

하는데 많은 시간과 노력이 필요하게 되었다.¹⁻³⁾

한편, 소비자들의 다양한 주문에 의한 다품종 소량 생산의 필요성이 커짐에 따라 설계비용의 절감이 절실히 요구되고 있다. 이러한 요구를 충족시키기 위하여 CAD(computer aided design) 기술이 등장하게 되어 설계 및 개발 시간을 단축시키고 설계 오류를 최소화하여 설계 변경이 용이해졌다. 또한 회로 검증 및 테스트 시간등도 단축시켜 가격 절감이 가

*正會員, 漢陽大學校 電子工學科

(Dept. of Elec. Eng., Hanyang Univ.)

接受日字: 1991年 8月 4日

능해졌다. 그런데 이와 같은 CAD 기술에 의한 LSI/VLSI 설계가 종래의 불규칙 논리(random logic) 방식에서는 그 장점이 크게 두드러지지 않는데 그 이유는 불규칙 논리를 LSI/VLSI화 할 때 칩의 규모가 커질수록 그 불규칙 구조때문에 설계가 어려워지고 대량생산에 따른 가격절감도 어렵기 때문이다. 이러한 문제점을 해결하기 위한 방안으로 PLA가 등장하게 되었다. PLA는 구조가 간단하고 규칙적이므로 설계와 변경 그리고 테스트가 용이하여 논리회로 설계에 매우 효과적인 수단으로서 그 사용이 날로 증가하고 있다.⁴⁻⁵⁾

또한 배열논리에 적합한 소자기술이 확립되어 가고 있고, 설계 기술자에 대한 설계부담을 경감시킬 수 있는 다양한 설계도구 (CAD tool)가 개발되고 있다. 그런데 PLA는 불규칙 논리에 비해 많은 장점을 갖고 있으나 칩 면적의 이용율은 오히려 떨어져 동작속도에 제한을 주게되고 전력소모가 증가하는 등의 문제점을 갖고 있다. 이에 따라 PLA 실현을 위해 사용되는 소자로는 기존에 nMOS 기술에서 최근 낮은 전력소비와 고집적도등의 특성을 갖는 CMOS 기술로 전환되고 있다. CMOS 기술중에서 스태틱(static) CMOS는 전력소모나 동작 안전성의 면에서는 유리하지만 같은 수의 pMOS와 nMOS 트랜지스터가 모두 필요하게 되므로 많은 면적을 차지하고 동작속도가 떨어진다는 단점이 있다. 따라서 전력소모가 크고 칩 면적 이용율이 떨어지는 대규모 PLA를 실현하기 위해서는 스태틱 CMOS보다 동작속도가 빠르고 작은 면적을 차지하는 다이내믹 CMOS가 많이 사용된다.⁶⁻⁹⁾

그러나 다이내믹 CMOS로 PLA를 실현한 경우 내부 신호 지연에 의한 시차문제(race problem), 누설전류(leakage current), 논리블럭 내에서 발생하는 전하공유(charge sharing)와 전하결합(charge coupling)의 전하 재분배 현상등 여러가지 동작상의 불안정으로 인하여 설계상의 많은 주의와 제약이 따르고 외부의 잡음등에 쉽게 영향을 받게 된다.¹⁰⁻¹³⁾

본 논문에서는 동작속도가 빠르고 안정된 동작을 하며 대규모 배열논리 회로 설계에 적합한 다이내믹 CMOS PLA를 제안한다. 제안한 다이내믹 CMOS PLA에서는 AND 평면과 OR 평면의 클럭간에 시간지연을 주므로써 시차문제를 해결한다. 시간지연을 주기 위하여 AND평면에서 가장 긴 지연을 갖는 저항선과 동일한 구조의 소자를 사용하므로써, 지연 소자의 설계 및 실현이 간단하고, 정확한 지연 시간으로 회로동작이 안정된다. 제안한 다이내믹 CMOS PLA는 입력선이나 출력선이 증가하여도 그에 따른

스위칭 지연이 크게 영향을 받지 않는다.

제안된 다이내믹 CMOS PLA는 SPICE에 의한 회로 시뮬레이션을 통하여 회로가 안정된 동작을 하며, 빠른 회로동작이 가능함을 확인한다.

II. 다이내믹 CMOS PLA의 동작 특성

다이내믹 CMOS회로는 스태틱 CMOS회로에서 pMOS로 구성된 블럭 (p블럭)을 제거시키고, V_{dd} 와 V_{ss} 측에 하나의 pMOS와 nMOS를 각각 부가한 클럭킹 게이트와 회로의 출력값을 결정하는 함수블럭으로 구성된다.

그림1은 2입력 NAND 게이트를 실현한 기본적인 1단 다이내믹 CMOS회로를 나타낸다.

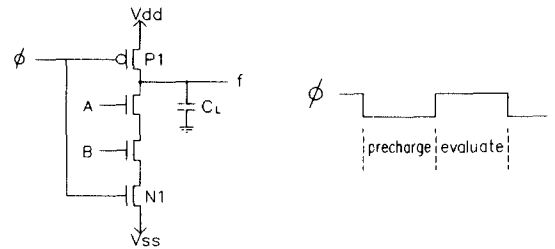


그림 1. 기본 1단 다이내믹 CMOS 회로
Fig. 1. Basic 1-stage dynamic CMOS circuit.

그림1의 회로에서 클럭킹 게이트에는 외부클럭 ϕ 가 인가되어 회로동작을 제어한다. 클럭 ϕ 가 0일 때는 pMOS 트랜지스터 P1이 켜지고 N1은 꺼지게 되어 출력단 f는 V_{dd} 와 연결되어 1로 precharge 된다. (precharge phase) 이때 외부 입력 신호 A, B가 함수블럭에 인가되어 안정된 상태가 된다. 다음으로 클럭 ϕ 가 1이 되면 P1트랜지스터는 꺼지고 N1트랜지스터는 켜지게 되어 출력 f는 함수블럭의 입력변수 A, B의 값에 따라 V_{ss} 로의 경로 형성 여부가 결정된다. 출력단 f와 V_{ss} 간의 경로가 형성되면 C_L 에 저장된 전하가 방전되어 출력값은 0이 되고, 경로가 형성되지 않게 되면 전하가 그대로 유지되어 출력값은 1이 된다. (evaluation phase)

일반적으로 다이내믹 CMOS는 p블럭이 필요없으므로 스태틱 CMOS에 비하여 약 50%의 실리콘 면적만을 차지한다. 또한 실리콘 면적의 감소로 입력용량(input capacitance)이 감소하게 되어 회로의 동작속도가 빠르다. 다이내믹 CMOS회로는 위와같이 비교적 낮은 전력소모, 높은 동작속도, 작은 면적등의 여러가지 장점이 있으나 다음과 같은 동작상의 문제

점들이 있다. 그림1에서와 같이 여러개의 트랜지스터가 직렬로 연결되어 있으면 각 연결 노드간의 기생용량(parastic capacitance)의 영향으로 인하여 부하용량(load capacitance)에 precharge된 전하가 evaluation시에 분배되므로 충분한 출력전압을 유지할 수 없게 되어 회로가 오동작할 수 있다. 이러한 현상을 전하공유라 한다.

단일위상(single phase) 클럭을 사용하는 그림 1의 1단 다이내믹 CMOS를 바로 cascade하여 다단을 구성하게 되면 앞단의 출력이 정확히 evaluation 되기 전에 다음 단이 evaluation을 하게 되어 부정확한 값을 출력할 수 있다. 이를 시차문제라 하는데, 이를 해결하기 위해 기존 다이내믹 CMOS 중에서 Domino CMOS회로는 각 출력단에 인버터를 부가하였고, NORA CMOS회로는 n블럭과 p블럭을 교대로 사용하였다. PLA는 AND 평면과 OR 평면으로 구성되는 2단 배열 논리회로로서, 사용되는 회로기술에 따라 AND-OR, NAND-NAND, NOR-NOR의 3가지 2단 논리로서 각각의 평면이 실현될 수 있다.

nMOS PLA의 경우는 NOR-NOR논리로서 실현되게 되고, 스테틱 CMOS PLA는 NAND-NAND 논리로서 실현하는 것이 바람직하다. 그 이유는 트랜지스터간의 직렬 연결보다는 병렬 연결이, pMOS 트랜지스터의 직렬 연결보다는 스위칭 속도가 빠른 nMOS 트랜지스터간의 직렬 연결이, 안정되고 빠른 회로동작을 얻을 수 있기 때문이다. 한편 Domino CMOS PLA의 경우는, Domino CMOS회로가 출력단의 인버터 때문에 항상 non-inverting 논리만을 실현하므로, AND-OR 논리로서 실현되거나 이중위상(two-phase) 클럭을 사용하여 NOR-NOR논리로서 실현될 수 있다. 그러나 각단의 출력에 CMOS인버터가 부가되어 칩면적이 증가하고 동작속도가 떨어지거나, 이중위상 클럭을 사용할 경우 클럭을 생성하기가 복잡하게 된다. 또한 NORA CMOS^[7] PLA와 Zipper CMOS^[8] PLA는 각 단의 함수 블럭을 nMOS와 pMOS를 교대로 사용하여 실현하므로써, pMOS는 nMOS 보다 스위칭 속도가 늦으므로 회로 전체의 동작속도가 떨어지게 된다. 그리고 Domino CMOS PLA, NORA CMOS PLA와 Zipper CMOS PLA는 모두 회로의 함수 블럭내에 nMOS나 pMOS 트랜지스터들이 직렬로 연결되므로 연결노드의 기생 용량의 영향이 커져서 회로동작이 불안정해지고, 대규모 PLA와 같이 입력수와 출력수가 많아지게 되면 전체회로의 동작속도가 더욱 떨어지며, 입력수에 따라 스위칭 지연이 급변하게 된다. 일반적으로 직렬로 연결된 nMOS 트랜지스터 갯수가 N이라 할 때, $N < 4$ 의 경우는 방전지

연시간(discharge delay time)이 N에 비례하고, N이 클 경우에는 N^2 에 비례한다.

III. NOR-NOR 다이내믹 CMOS PLA

본 논문에서 제안하는 새로운 구조의 다이내믹 CMOS PLA는 NOR-NOR논리로서 실현되고, 시차문제를 해결하기 위해 AND평면의 클럭과 OR 평면의 클럭간에 지연소자를 두어, 같은 클럭을 사용하지만 AND평면과 OR평면간의 evaluation에 시간지연을 주게 된다.

그림2는 다음과 같은 4입력 3출력 함수를 실현한 예이다.

$$f_1 = \bar{A}\bar{B}D + \bar{C}\bar{D}$$

$$f_2 = \bar{A}\bar{B}D + B\bar{D} + AC$$

$$f_3 = AC + \bar{C}\bar{D} + BCD$$

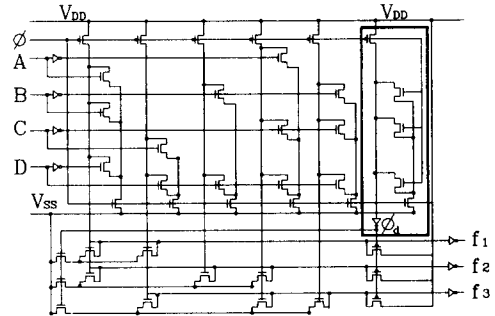


그림 2. 제안된 다이내믹 CMOS PLA의 구성 예
Fig. 2. A circuit of proposed dynamic CMOS PLA.

그림2는 예제함수를 본 논문에서 제안한 다이내믹 CMOS PLA로 실현한 것으로써, AND평면은 5개의 적항으로 구성되어 있으며, OR평면에서는 각 출력함수에 포함된 적항선들을 NOR로 연결하여 각 출력을 구성하고 있다. 제안한 다이내믹 CMOS PLA는 NOR-NOR 논리로서 PLA의 AND, OR 평면을 구성할 수 있도록 하여, 각 평면의 함수블럭내 nMOS 트랜지스터들이 병렬로 연결되며 입력측과 출력측에 각각 인버터를 부가하여 AND-OR 논리와 논리적 동가를 이루고 있다. 따라서 입력수나 출력수가 증가하여도 트랜지스터가 병렬로 확장 연결되므로 스위칭 지연 시간은 크게 증가하지 않는다. 또한 연결노드상의 기생용량의 영향이 크지않고 일정하기 때문에 전하 재분배 현상을 방지할 수 있다.

그림2에서 적항 $\bar{A}BD$, $\bar{C}D$ 와 출력 f_1 에 대한 회로부
분만 고려하면 그림3과 같다.

그림3에서 AND 평면상의 2개의 적항과 OR 평면
상의 출력선 f_1 사이의 클럭 신호전상에 지연 소자를
넣어서 AND 평면 클럭신호 ϕ 와 OR평면 클럭신호 ϕ_a
간에 Δt 만큼 시간을 지연시키게 된다.

$$\phi_a = \phi + \Delta t$$

이때 Δt 만큼의 지연을 위해 삽입되는 소자는 별
도로 설계하는 것이 아니라 AND 평면에서 가장 긴
지연시간을 갖게 되는 적항을 선택하여 그와 똑같은
구조를 갖도록 구성하므로 설계상에 큰 부담이 없다.

AND 평면에서 적항선들은 서로 다른 입력갯수를
갖고 해당 트랜지스터들이 병렬로 연결되어 있다. 그
러므로 입력 패턴에 따라서 적항선들은 서로 다른
지연시간을 갖게되고, 같은 적항선조차도 입력 패턴
에 따라서 다른 지연 시간을 갖게 된다. 이와 같이
다양한 지연 시간 중에서 제일 긴 지연 시간을 나타
내게 될 적항은 가장 많은 트랜지스터가 연결되어
있는(입력수가 제일 많은) 적항이 된다. 모든 가능
한 지연 시간 중에서 제일 긴 지연 시간을 기준으로
AND평면에서 안정된 출력값을 얻게 되면, 그 보다
짧은 지연 시간을 갖는 적항선은 이미 안정된 값을
나타내고 있다. 그러므로 어떤 입력 패턴에 의해서
적항선이 서로 다른 지연 시간을 나타낸다 하더라도
가장 많은 입력수를 갖고 있는 적항이 갖는 지연 후
에 출력값을 얻게 되면 모든 적항선의 출력값이 이
미 안정되어 있기 때문에 제일 많은 트랜지스터가
연결되어 있는 적항선과 같은 수의 트랜지스터를 갖
도록 지연소자를 구성하면 된다.

이에 따라 예제 PLA에서 가장 긴 지연시간을 갖
게 되는 적항은 ABD와 BCD이고, 이와 똑같은 구조
를 갖도록 지연소자를 구성하여 삽입하게 된다. 이
에 따라 AND평면의 특성에 맞도록 지연소자가 알
맞은 지연시간을 갖게 된다. 즉 지연시간 Δt 는 일
정한 시간이 아니라 가변적인 시간이 되어, ϕ 가 0에
서 1로 천이하는가(rising), 1에서 0으로 천이하는가
(falling)에 따라 해당 PLA가 적절히 동작하도록 각
각 다른 시간지연을 갖게 된다.

직접 cascade된 다단 다이내믹 CMOS가 같은 클
럭 ϕ 를 사용할 경우는 앞절에서 설명된 바와 같이
evaluation phase일때 precharge된 전하가 완전히 ev
aluation되지 못한 상태에서 다음단이 이로부터 ev
aluation을 하기 때문에 논리적으로 오동작할 수 있다.

그러나 그림3에서와 같이 AND 평면에서의 적항
과 같은 특성을 갖는 지연 소자를 사용하므로써 시

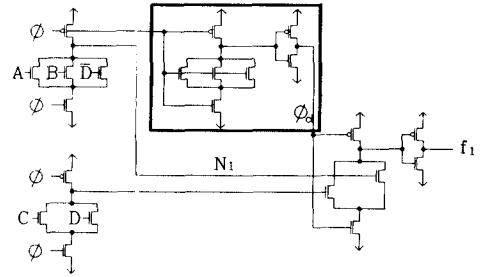


그림 3. 지연소자의 구성
Fig. 3. Structure of delay element.

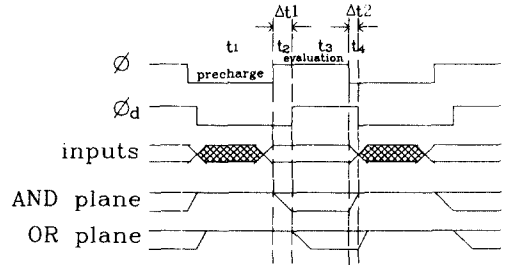


그림 4. 클럭과 입출력 신호간의 타이밍 다이어그램
Fig. 4. Timing diagram of clock, input and
output signals.

차문제는 발생하지 않는다.

그림4에서는 ϕ 와 ϕ_a 의 클럭신호, 입력신호, AND
평면 출력과 OR평면 출력 신호간의 타이밍 관계를
나타내고 있는데, t_1, t_2, t_3, t_4 의 4구간으로 구분할 수
있다.

t_1 구간에서는 PLA의 AND평면과 OR평면이 모두
precharge phase이기 때문에 각 평면의 출력은 1 값
이 되고, 이때 PLA에 새로운 입력값들이 들어오게
된다. t_2 구간에서는 AND평면이 evaluation phase가
되어서 현재 안정된 상태에 있는 입력값들로부터
evaluation을 시작한다. 한편 OR 평면에서는 지연소
자의 하강지연시간(falling delay time)만큼 지연된 클
럭 ϕ_a 를 사용하기 때문에 아직 precharge phase에 있
게 된다. 따라서 AND평면에서 완전히 evaluation 되
어 안정된 출력값이 나올 때까지 OR평면에서는 ev
aluation을 하지 않는다. t_3 구간에서는 AND 평면이
안정된 출력값을 갖게되고, 이때 OR평면은 evaluaion
phase가 시작되어 AND평면이 안정된 값으로부터
evaluation을 하게 된다. t_4 구간에서는 AND 평면이
precharge phase에 놓이게 되어 출력은 1값으로 변
하기 시작하고, OR평면에서는 지연소자의 상승지연

시간(rising delay time)만큼 evaluation phase을 유지한다.

위에서 설명된 동작이 정확히 수행하기 위해서는 Δt 의 시간지연이 중요하다. Δt 는 AND 평면상에서 가장 긴 하강지연을 갖는 적항보다는 길어야 한다. 이것은 t_3 구간이 시작되기 전에 t_2 에서 AND 평면이 안정된 값을 얻을 수 있어야만 되기 때문이다. 그러나 Δt_2 가 너무 길면 구간 t_4 에서 OR평면이 precharge phase에 놓인 AND평면 출력값을 evaluation할 수 있다. 적절한 Δt 만큼의 지연을 위해 가장 효과적인 방법은 AND평면에서 가장 긴 하강지연을 갖는 적항과 똑같은 구조를 갖도록 하는 것이다.

그림3에서 실제 지연을 적절하게 발생시키는 부분으로서, 지연소자의 구조는 3개의 트랜지스터가 병렬로 연결되고 입력클럭 ϕ 에 의해 똑같이 구동되는데, 이는 AND평면에서 가장 긴 지연시간을 갖는 적항과 똑같은 구조이다. 따라서 지연소자의 지연시간 계산과 실현을 위해 복잡한 설계과정을 거칠 필요가 없고, 적항 하나만을 복사하여 지연소자로서 사용하게 되어 같은 구조로 같은 공정을 거치게 되므로 정확한 지연시간을 만들어 낼 수 있고, 정확한 회로 동작을 할 수 있게 된다. 또한 인버터가 하는 역할은 지연소자를 통하여 반전(inverting)된 ϕ 를 다시 반전시키고, 회로의 안정된 동작을 위해 지연여유를 주도록 하는 것이다.

IV. 회로 시뮬레이션 및 성능 평가

이 절에서는 본 논문에서 제안된 다이내믹 CMOS PLA의 안정된 동작과 성능을 확인하기 위하여 SPI-CE를 사용하여 회로 시뮬레이션 한다. 시뮬레이션에 사용된 회로모델 파라미터들은 n-well 기술을 사용한 $2\mu\text{m}$ CMOS 공정 파라미터이다.

그림3의 출력 f_1 에 대한 회로 구성도에서 입력에 $A=B=C=0, D=1$ 을 인가한 상태에서 시뮬레이션한 결과는 그림5와 같다.

그림5의 시뮬레이션 결과에서 보면 클럭 ϕ_a 는 ϕ 보다 약 10ns정도의 시간지연을 갖게 된다. 따라서 클럭 ϕ 를 사용하는 AND평면에서 evaluation을 시작하고 약 10ns정도 후에 클럭 ϕ_a 에 의하여 OR평면에서 evaluation을 시작하게 되므로 AND평면의 출력 $N1$ 과 OR평면의 출력 f_1 은 glitch현상 등이 발생하지 않는 안정된 출력을 나타낸다.

본 논문에서 제안한 다이내믹 CMOS PLA와 Domino CMOS PLA, NORA CMOS PLA의 회로 동작속도를 비교하기 위하여 그림3의 출력함수 f_1 을 Domino CMOS PLA와 NORA CMOS PLA로 실현

한 회로는 각각 그림6, 그림7과 같다. 제안된 다이내믹 CMOS PLA는 함수 블럭내의 nMOS 트랜지스터가 병렬로 연결되지만, 그림6과 그림7의 Domino CMOS PLA와 NORA CMOS PLA는 함수 블럭내의 트랜지스터의 연결이 모두 직렬로 되어있다. 따라서 evaluation phase 동안에 precharge된 전하의 방전시간은 제안된 다이내믹 CMOS PLA가 가장 짧게 된다.

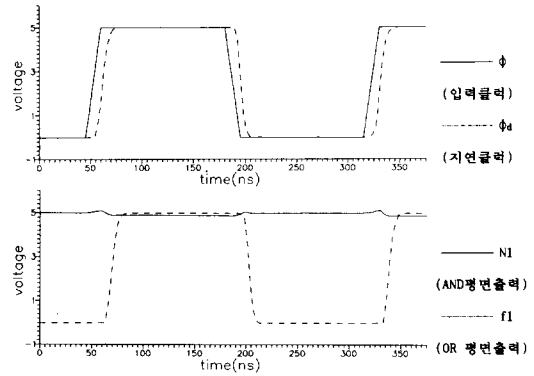


그림 5. 회로 시뮬레이션 결과
Fig. 5. Circuit simulation results.

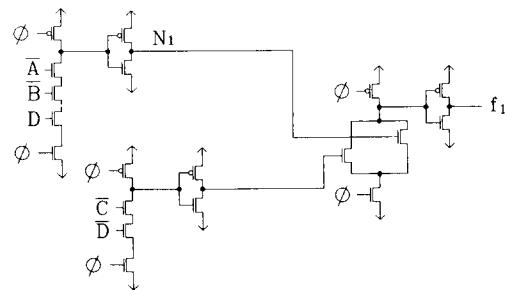


그림 6. 출력 f_1 에 대한 Domino CMOS PLA
Fig. 6. Domino CMOS PLA for output f_1 .

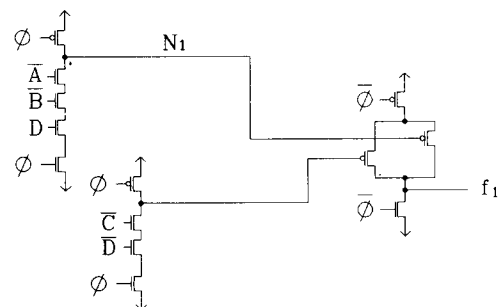


그림 7. 출력 f_1 에 대한 NORA CMOS PLA
Fig. 7. NORA CMOS PLA for output f_1 .

그림3, 그림6과 그림7의 각 회로에 대하여 입력 A=B=C=0, D=1을 인가한 상태에서 회로 시뮬레이션을 수행하였다. 각 CMOS PLA 회로는 모두 한 pMOS 트랜지스터를 통하여 precharge되기 때문에 precharge시간은 거의 동일하나 evaluation시간은 함수 블럭의 구성 방식이 다르기 때문에 서로 다르다. 따라서 주어진 입력에 대하여 출력 f_1 이 precharge phase동안의 0값에서 evaluation phase가 되어 1값으로 상승하는 출력 파형을 비교하여 보면 그림8과 같다.

그림8에서의 시뮬레이션 결과를 보게되면 그림6의 Domino CMOS PLA가 제안된 다이내믹 CMOS PLA보다 동작속도가 조금 빠르다. 한편 그림 7의 NORA CMOS PLA는 제일 느린 동작속도를 나타내고 있는데, 그 이유는 OR 평면에서 함수 블럭이 pMOS 트랜지스터를 사용하여 구성되므로 다른 회로에 비하여 스위칭 속도가 떨어지게 되어 상승지연 시간이 길게 늘어지기 때문이다. Domino CMOS PLA가 제안된 다이내믹 CMOS PLA보다 빠른 동작을 하는 이유는 예제 PLA의 출력 f_1 과 같은 회로의 경우에 함수블럭의 연결형태에 따른 방전시간 차이보다는 제안된 다이내믹 CMOS PLA내의 지연소자로 인한 시간지연이 더 크기 때문이다. 따라서 PLA에서 적항이 커질수록, 즉 AND평면에서 함수블럭내의 입력수가 많아질수록 제안된 다이내믹 CMOS PLA의 동작속도가 점차 빠르게 되어 Domino CMOS PLA의 동작속도를 앞지르게 된다.

함수블럭내의 트랜지스터가 6개일 경우, 회로 시뮬레이션 결과는 그림9와 같다. 그림9의 시뮬레이션 결과에서는 제안된 다이내믹 CMOS PLA가 Domino CMOS PLA보다 빠른 동작속도를 나타냄을 알 수 있다. 함수블럭내의 트랜지스터의 갯수가 점차 증가할 수록 제안된 다이내믹 CMOS PLA는 기존의 다이내믹 CMOS PLA보다 뛰어난 성능을 나타냄을 결과적으로 알 수 있다.

다이내믹 CMOS PLA에서 evaluation 동안 출력이 V_{aa} 를 유지해야 할 경우, 함수블럭내의 트랜지스터의 누설전류로 인한 출력전압 V_{out} 의 감소는 다음과 같이

$$V_{out} \approx V_{aa} - \frac{1}{C_L} \int_0^t I_k dt \approx V_{aa} - \frac{1}{C_L} t \quad (1)$$

나타낼 수 있다. 여기서 I_k 는 누설전류이고, C_L 는 출력노드의 부하용량이다. 식(1)에서와 같이 출력전압은 evaluation 시간이 길어질수록 더욱 감소하게 된다. 제안된 다이내믹 CMOS PLA에서는 회로 시뮬

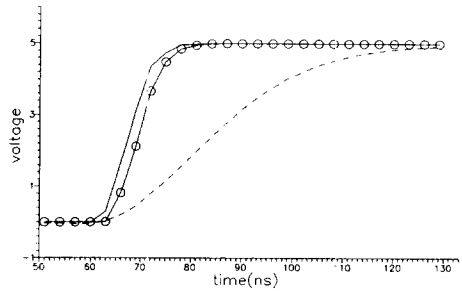


그림 8. 각 PLA의 상승지연 (입력수=3)
Fig. 8. Rising delay of each PLA (#inputs=3).

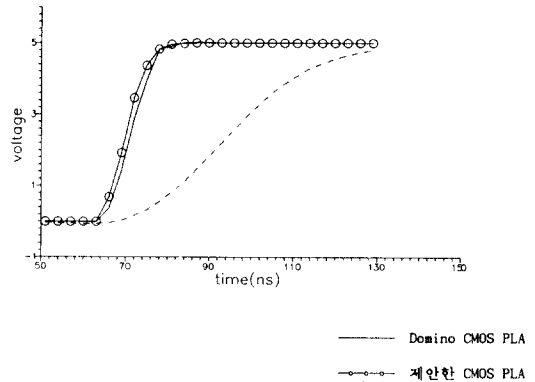


그림 9. 각 PLA의 상승지연 (입력수=6)
Fig. 9. Rising delay of each PLA (#inputs=6).

레이션 결과에서 알 수 있듯이 입력수가 많아지더라도 스위칭 지연이 크게 변동되지 않으므로 evaluation 시간이 기존의 다이내믹 CMOS PLA보다 짧기 때문에, 출력전압의 변동이 작게 되고, 잡음여유(noise margin)도 증가하게 된다.

V. 결 론

본 논문에서는 동작 속도가 빠르고 안정된 동작을 할 수 있으며 대규모 배열논리 회로 설계에 적합한 다이내믹 CMOS PLA를 제안하였다. 제안된 다이내믹 CMOS PLA는 AND평면과 OR평면의 클럭간에 시간지연을 주므로써 적항선간의 시차문제를 해결할 수 있도록 하였고, 시간지연을 주기 위하여 AND평면에서 가장 긴 지연을 갖게 되는 적항선과 동일한 구조를 갖도록 구성한 소자를 사용하므로써, 간단한 설계과정을 통하여 지연소자를 설계할 수 있도록 하였다. 또한 정확한 지연시간에 의해, 보다 정확한 회로 동작이 가능하다.

제안된 다이내믹 CMOS PLA는 SPICE에 의한

회로 시뮬레이션을 통하여 회로가 안정된 동작을 하며, 기존의 다이내믹 CMOS PLA에 비하여 빠르게 회로 동작을 수행함을 확인하였다. 특히 입력수가 증가함에 따라 보다 우수한 성능을 나타냄을 알수 있었다.

본 논문에서 제안된 다이내믹 CMOS PLA는 대규모 배열논리 시스템 구성에 효과적이고, 특히 높은 집적도, 낮은 전력소모, 회로설계의 용이성, 및 높은 처리속도가 요구되는 마이크로 프로세서의 제어부나 명령어 디코더의 설계등 다양한 VLSI설계에 많이 이용되어 좋은 성능을 얻을 수 있을 것으로 기대된다.

參 考 文 獻

- [1] R.D. David, "The case of CMOS," *IEEE Spectrum*, vol. 20, no. 10, pp. 26-32, Oct 1983.
- [2] D.J. Myers and P.A. Ivey, "A design style for VLSI CMOS," *IEEE Journal of Solid State Circuits* vol. SC-20, pp. 741-745, June 1985
- [3] J.Y. Chen, "CMOS-the emergency VLSI technology," *IEEE Circuit and Devices Magazine*, pp. 16-31, March 1986.
- [4] H. Fleisher and L.I. Maissel "An introduction to array logic," *IBM Journal of Research and Development* vol. 19, pp. 98-109 March 1975.
- [5] R.A. Wood, "High-speed dynamic programmable logic array chip," *IBM Journal of Research and Development*, vol. 19, pp. 379-383, July 1975.
- [6] R.H. Crambrek, C.M. Lee and H.S. Law, "High-speed compact circuits with CMOS," *IEEE Journal of Solid-State Circuits*, vol. SC-17, no. 3, pp. 614-619, June 1982.
- [7] N.P. Goncalves and H.J. de Man, "NORA: a race free dynamic CMOS technique for pipelined logic structures" *IEEE Journal of Solid State Circuits* vol. SC-18, pp. 261-268, June 1983.
- [8] C.M. Lee and E.W. Szeto, "Zipper CMOS," *IEEE Circuits and Devices Magazine*, pp. 10-17, May 1986.
- [9] J.A. Pretorius, A.S. Shubat and C.A.T. Salama, "Analysis and design optimization of Domino CMOS logic with application to standard cells" *IEEE Journal of Solid State Circuits*, vol. SC-20, pp. 523-530, April 1985
- [10] V.G. Oklobdzija and R.K. Montoye, "Design performance trade-offs in CMOS-Domino," *IEEE Journal of Solid State Circuits* vol. SC-21, pp. 304-306, April 1986.
- [11] J.A. Pretorius A.S. Shubat and C.A. T. Salama "Charge redistribution and noise margins in Domino CMOS logic," *IEEE Transactions on Circuits and Systems* vol. CAS-33 no. 8, pp. 768-793, Aug. 1986.
- [12] N. Weste & K. Eshraghian, *Principles of CMOS VLSI Design*, Addison Wesley, 1985.
- [13] M. Shoji *CMOS digital circuit technology*, Prentice Hall, 1988.

著 者 紹 介

林 寅 七 (正會員) 第25卷 第8號 參照
현재 한양대학교 전자공학과
교수

金 倫 弘 (正會員) 第27卷 第5號 參照
현재 한양대학교 전자공학과
박사과정