

論文 91-28A-5-6

TiSi₂와 다결정 실리콘에 이온주입된 As계에서 TiAs 침전물형성에 관한 고분해능 TEM 연구

(High-Resolution TEM Study of TiAs Precipitate Formation Between TiSi₂ and As Doped in Poly-Silicon)

朴滢浩*, 李廷鎔**, 趙庚翼*, 李仲煥*, 權五準*, 南基守*

(Hyung Ho Park, Jeong Yong Lee, Kyoung Ik Cho, Joong Hwan Lee,
Oh Joon Kwon, and Kee Soo Nam)

要 約

실리콘 wafer에 Ti 실리사이드 박막을 증착, 850°C, 1분간의 급속 열처리를 통해 C54 구조를 갖는 TiSi₂ 상을 형성시키고 이후 다결정 실리콘을 증착, 3E16/cm²의 As 이온을 주입한 후, 900°C에서 열처리를 함으로써 이온주입된 As에 대한 Ti-Si 시스템의 최종 안정상인 C54 구조를 갖는 TiSi₂의 열적 안정성을 살펴 보았으며, TiSi₂+As→TiAs+2Si 반응에 의한 TiAs와 extra Si의 형성이 기존 다결정 실리콘 박막의 형태변화에 미치는 영향을 연구하였다.

Abstract

Formation of TiAs precipitate through the reaction between TiSi₂ with C54 structure and heavily doped arsenic ion in poly-silicon, and influence of TiAs and silicon distribution resulted from the reaction $TiSi_2 + As \rightarrow TiAs + 2Si$ on the morphology degradation have been studied.

I. 서 론

Ti 실리사이드의 낮은 전기저항(상온에서 10-20 $\mu\Omega$ cm)과 낮은 형성온도(500°C) 및 열적, 화학적으로 안정하다는 장점으로부터^[1] 이를 VLSI 소자제조 of 접촉물질(contacts)이나 상호 연결물질(interconnecting materials)로 사용하고자 하는 연구가 많이 진행되어 왔다.^[2-4] 이중 트랜지스터의 게이트, 소스

나 드레인 영역에 선택적으로 금속을 증착, 기관 실리콘과 반응시켜 실리사이드를 형성하게하는 자기정렬 실리사이드화 과정^[2](self-aligned silicidation)에 관한 연구나 금속과 실리콘을 실리콘 기관위에 원하는 실리사이드 조성으로 동시에 증착, 열처리를 함으로써 실리사이드를 형성시키는 형성기구에 관한 연구가 많이 이루어졌다.^[5,6] 그러나 이러한 실리사이드의 형성은 고농도로 이온주입된 실리콘 기관 위에서 일어나는 과정이므로 실리사이드의 일반적인 활용은 이온주입 도판트와 금속 혹은 실리사이드 간의 반응에 관한 이해를 필요로 한다. 즉 As 혹은 B로 이온주입된 다결정 실리콘과 실리사이드 계면에서 열처리에 의한 도판트와 실리사이드의 상호반응에 의해 TiAs, TiB₂ 등의 화합물이 형성되어 실리콘내

*正會員, 韓國電子通信研究所
(Korea Electronics and Telecommunications)

**正會員, 韓國科學技術院 材料工學科
(Dept of Materials Eng., KAIST)

接受日字: 1990年 11月 2日

의 도판트 농도변화를 초래, MOS 소자의 경우 flat-band voltage shift를 야기하거나 접촉저항을 증가시키기 때문이다. 그러나 이러한 실리사이드의 이온주입 도판트에 대한 안정성에 관한 연구는 모두 고농도로 이온주입된 다결정 실리콘위에 금속이나 금속과 실리콘을 동시증착하여 열처리 과정을 통해 실리사이드를 형성시키거나, 실리콘 기판위에 실리사이드를 형성한 후 이온주입하여 도판트와 실리사이드의 반응성을 살피는 형태로 진행되었다. 따라서 전자의 경우 실리사이드화 과정에서 금속과 도판트와의 반응가능성, 후자는 고에너지 이온주입이 실리사이드의 안정성에 미치는 영향 등으로 인해 이온주입 도판트에 대한 실리사이드의 열적 안정성만이 고려되어졌다고 할 수 없다. 이에 본 저자들은 먼저 Ti 실리사이드 박막을 증착, 열처리를 통해 C54 구조를 갖는 TiSi₂ 상을 형성시키고 이후 다결정 실리콘을 증착, As 이온을 주입한 후 열처리를 함으로써 C54 구조를 갖는 TiSi₂의 이온주입 As에 대한 열적 안정성을 살펴본 바 있다.⁷⁾ 위 연구에서 XRD, SEM 및 AES 분석 등을 통하여 TiSi₂와 이온주입 다결정 실리콘의 계면에서 TiAs 침전물이 생성, 다결정 실리콘의 층 구조를 변화시킴을 알 수 있었다.

본 연구에서는 이러한 다결정 실리콘 층의 형태변화와 TiAs 침전물 생성과의 관계를 알아보기 위해 TEM을 사용하여 열처리에 따른 TiAs 침전물의 생성 및 분포위차와 TiSi₂+As→TiAs+2Si 반응에 의해 생성되는 2Si에 의한 증착 실리콘 층의 형태변화를 관찰하였다.

II. 실험

실리콘(100)웨이퍼에 고온 확산로에서 약 300nm의 실리콘 산화층을 형성시키고 그위에 Ti 실리사이드 박막을 100nm 정도 증착, 850°C 질소 분위기에서 열처리를 통해 C54 구조를 갖는 TiSi₂층을 만들었다. 이후 200nm 두께의 다결정 실리콘을 저압화학 기상 증착법(LPCVD)으로 증착, As 이온을 3E16/cm² 주입한 후 이온주입 As의 확산이탈을 방지하기 위하여 300nm의 저온 실리콘 산화막을 증착시켰다. 위의 시편을 900°C에서 10, 30 및 60분간 각각 열처리하여 C54 구조를 갖는 TiSi₂와 다결정 실리콘에 이온주입된 As가 반응하여 야기하는 다결정 실리콘 층의 층상구조 변형을 TEM의 단면 관찰을 통해 연구하였다. 본 연구에서 사용된 TEM은 JEOL사의 JEM 2000EX로 가속전압은 200kV이며 TEM 시료는 기계적 연마후 argon ion milling으로 제작되었다.

III. 실험 결과 및 논의

위 시편의 900°C에서 60분 열처리의 경우, XRD와 AES 측정으로 부터 TiSi₂와 다결정 Si계면에서 TiAs 침전물의 형성은 이전의 연구결과⁷⁾에서 밝혀진 바 있다. 또한 30분 열처리의 경우 면저항의 측정, 비교로 부터 TiAs의 형성을 예상할 수 있었다. 즉 위 시료의 실리콘 산화막을 제거한 후 SEM으로 관찰한 결과 다결정 실리콘 층의 형태가 심하게 변형된 것을 알 수 있었으며(그림1), 따라서 이러한 변형의 원인이 되는 TiSi₂+As→TiAs+2Si 반응에 의해 생성되는 TiAs 침전물 및 실리콘의 분포 등을 살펴보기 위해 TEM으로 시료의 단면을 관찰하였다.

그림 2(a)에 900°C에서 60분간 열처리한 시료의 단면 TEM 사진을 나타내었다. 단면에 관한 설명은 (b)에 나타나 있는데 A가 실리콘 산화막에 해당되고 B1이 시료제작시 증착된 다결정 실리콘 층임을 알 수 있다. 증착 다결정 실리콘 층의 두께가 200nm인 것으로 부터 B1은 동일 물질로 여겨지는 B2층과 점선으로 구분되어 진다. 이 점선으로 표시된 경계부위는 실제 TEM 단면사진인 (a)에서도 명확히 관찰되어 진다. TiSi₂인 C층은 B2 층이 생성되어 B1 층과 분리되는 영역에서 부분적으로 깨어져 이물질과 혼합되어 있음을 알 수 있다(C층내 점박으로 표시된 부위). 우측 상단에 관찰되는 시료의 단면 역시 900°C에서 60분 열처리한 시편으로 층 구조의 변형없이 증착 층의 두께가 열처리 후에도 균일하게 유지되는

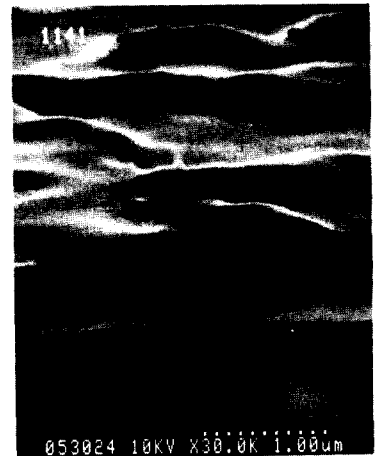


그림 1. 900°C에서 60분 열처리한 시편의 SEM 사진
Fig. 1. SEM image of 60 min-annealed sample at 900°C.

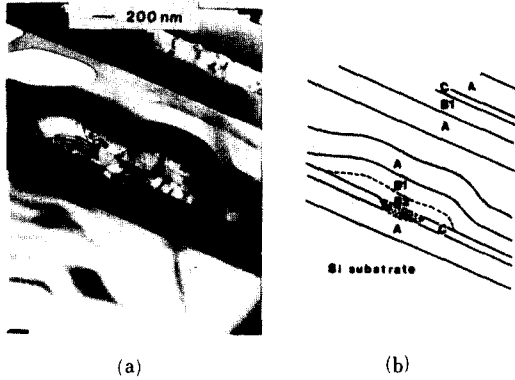


그림 2. 900°C에서 60분 열처리한 시편의 단면 TEM 사진 (a)과 설명도 (b)

Fig. 2. Cross-sectional TEM image (a) and its diagram, (b) of 60 min-annealed sample at 900°C.

부분을 나타낸다. $TiSi_2$ 층인 C층 및 B2층과도 구별되는 점박으로 표시된 영역과 B2층에 대해 미세구조적 연구를 수행하기 위해 고분해능(high-resolution) TEM 단면시료를 제작(그림3), 상(image)을 관찰하고 특정 부위의 회절 패턴(diffraction pattern)을 구해 보았다. 그림 3에서 B2로 표시된 부위는 그림 2(b)의 B2 영역에 해당하며 D로 표시된 영역은 그림 2(b)의 점박부위에 해당한다.

그림 4(a)는 점박(D영역)으로 표현된 부분의 고분해능 사진으로 격자상(lattice image)이 서로 교차되어 나타나 있음을 볼 수 있다. 사진에 세로로 나타난 줄무늬의 간격은 2.18 Å, 빗금으로 나타나는 줄무늬의 간격은 1.82 Å으로, 이들은 각각 $TiAs$ 의 (104)

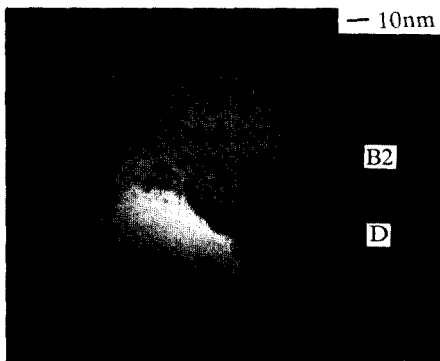
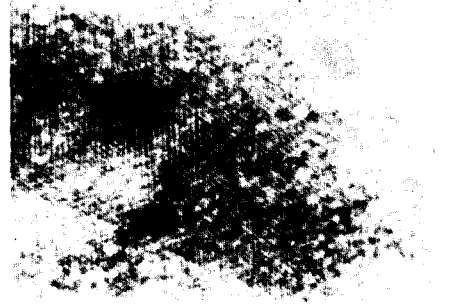
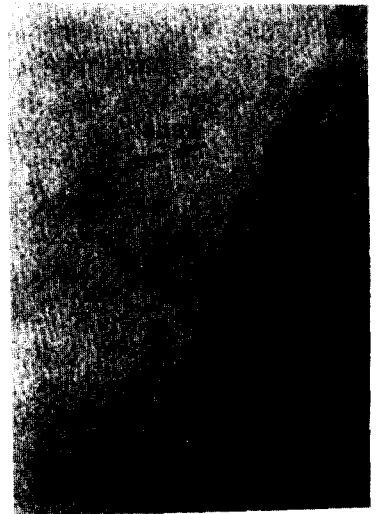


그림 3. 900°C에서 60분 열처리한 시편의 TEM 단면사진

Fig. 3. Cross-sectional image of TEM specimen annealed at 900°C during 60min.



(a)



(b)

그림 4. 900°C에서 60분 열처리한 시편의 고분해능 TEM 사진

(a) $TiAs$ 격자 image,
(b) Si 격자 image

Fig. 4. High-Resolution TEM image of 60 min-annealed sample at 900°C.

(a) lattice image of $TiAs$,
(b) lattice image of Si .

와 (110)면의 면간거리에 해당하게 된다($TiAs$ 에서 $d_{104}=2.183 \text{ \AA}$, $d_{110}=1.823 \text{ \AA}$).^[8] 이 두 줄무늬가 이루는 각이 53°로 측정되어 $TiAs$ 단위정(unit cell)에서의 (104)면과 (110)면의 면각, 53.24°와 아주 잘 일치함으로써 그림 2의 점박부분은 주로 $TiAs$ 침전물에 의해 형성되어져 있음을 알 수 있다.

그림 4(b)는 B2 영역에 대한 고분해능 TEM 사진이다. 우측 하부에 그림 2의 점박 부분이 약간 포함되어 있으며 3.13 Å의 간격을 갖는 줄무늬가 전반적으로 잘 나타나 있음을 알 수 있다. 이 3.13 Å의

출무늬 간격은 실리콘의 (111)면의 면간거리에 해당하며(Si에서 $d_{111}=3.1355 \text{ \AA}$),¹⁾ 이것이 점박 부분(우측 하부)에 걸쳐서도 발달되어 있는 것으로 보아 점박으로 표현된 부분중 B2와의 경계 부위에는 약간의 다결정 실리콘이 포함되어 있음을 알 수 있다. 즉 B2 층은 다결정 실리콘 층이며 점박부위는 TiAs, 경계부위는 실리콘으로 구성되어져 있는 것이다.

그림 5(a)는 B2와 점박영역을 포함하는 부분의 회절 패턴이며 (b)는 이의 확대 설명도이다. 안쪽에 관찰되는 것이 다결정 실리콘의 {111}에 해당하는 환형 패턴(ring pattern)이며 검은 점(closed circle)으로 중앙에서 가까운 것으로 부터 (1120), (1014), (2134) 등의 TiAs 회절 반점을 관찰할 수 있다. 이 검은 점으로 나타난 회절 패턴의 zone axis는 [440]에 해당하며(1120)와 (2134) 및 (2134)와 (1014)의 중심점에 대해 이루는 각(25°, 29°)은 TiAs 단위정에서 위 특정면들이 이루는 각(24.04°, 29.19°)과 잘 일치함을 알 수 있다. 위 패턴의 설명도 (b)에 나타난 흰 점(open circle)은 중앙에서 가까운 것으로 부터 TiAs의 (1013), (2026)면에서의 회절 반점에 해당되는 것으로 이는 검은 점의 회절 패턴을 나타내는 TiAs 단결정 입자와 무관한, 즉 결정학적인 방향이 다른 단결정 입자로 부터의 회절에 의한 것이다. 즉 위 그림 5의 회절 패턴은 B2의 다결정 실리콘과 점박부위내 최소한 2개 이상의 TiAs 단결정 입자에서 기인하는 것이다. 이로부터 고온 열처리에 의해 다결정 실리콘에 고농도로 이온주입된 As와 TiSi₂가 반응하여 TiSi₂ 층을 통해 TiAs 침전물을 형성하며, 위 반응으로 생성되는 실리콘은 계면에서 배열하여 기존 층상 실리콘 층의 형태를 심하게 변형시킴을

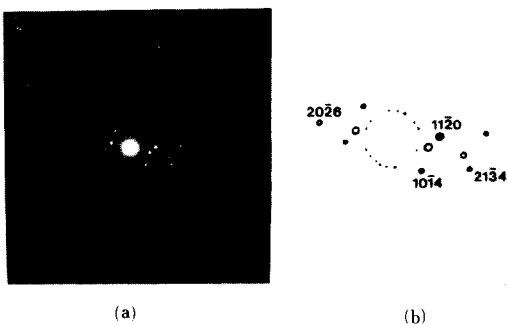


그림 5. 900°C에서 60분 열처리한 시편의 회절 패턴 (a)과 설명도 (b)

Fig. 5. Diffraction pattern (a) and its explanation (b) of 60 min-annealed sample at 900°C.



그림 6. 900°C에서 30분 열처리한 시편의 단면 TEM 사진

Fig. 6. Cross-sectional TEM image of 30 min-annealed sample at 900°C.

알 수 있다. 즉 TiSi₂와 As의 반응은 $TiSi_2 + As \rightarrow TiAs + 2Si$ 로 진행되는데 반응전 다결정 실리콘 층에 이온주입된 As의 격자내 위치(substitutional or interstitial)에 따른 부피의 증가가 야기된다. 이는 앞의 단면 TEM 관찰에서 나타난 바와 같이 TiSi₂ 층이 국부적으로 TiAs 침전체의 층으로 변화하고 (소량의 Si 포함) 생성되는 2Si는 TiAs 침전물과 기존 다결정 실리콘 층 계면에서 배열하여 또다른 실리콘 층을 형성하며 성장하게 되는 것이다.

900°C에서 30분 열처리한 시편의 경우 이전의 연구결과에서 면저항의 측정에 의해 TiAs 침전물의 존재 가능성을 예상할 수 있었다. 그림 6은 이러한 시료의 단면 TEM 사진으로 중앙부에 다결정 실리콘 층의 두께 변화로 인한 다결정 실리콘 층 및 실리콘 산화막 층의 변형이 선명하게 관찰됨을 알 수 있다 (그림 6에서 각 부위의 문자표식 설명은 그림 2와 동일). 이러한 변형 역시 앞의 고분해능 TEM 분석결과로 미루어 소량의 적은 입자의 TiAs 침전물 형성에 기인하는 것으로 보인다.

IV. 결 론

C54 구조를 갖는 TiSi₂와 다결정 실리콘에 3E16/cm²로 이온주입된 As가 900°C에서 60분 열처리에 의해 반응하여 TiAs를 형성함을 확인하였다.

TiAs는 고온 열처리에 의해 다결정 실리콘 내에서 As가 확산, TiSi₂와 반응하여 TiSi₂ 층을 통해 형성

되며 $TiSi_2 + As \rightarrow TiAs + 2Si$ 반응에 의해 생성되는 여분의 실리콘 (2Si)은 기존 $TiSi_2$ 와 다결정 실리콘 계면에서 배열하여 증착 다결정 실리콘 층 형태는 물론 층 구조와 표면 형태를 변형시킴을 알 수 있었다.

参 考 文 献

[1] S.P. Muraka *Silicide for VLSI Applications*, Academic Press, New York, 1983.
 [2] T. Shibata, K. Heida, M. Sato, M. Konaka et al. *IEEE Trans. Electron Devices ED-29*, p. 531, 1982.
 [3] H. Okabayashi, E. Nagasawa and M.

Morimoto *IEEE IEDM Tech, Dig.*, p. 556, 1982.
 [4] C.K. Lau, Y.C. See, D.B. Scott, J.M. Bridges et al. *IEEE IEDM, Tech. Dig.*, p. 714, 1982
 [5] S.T. Lakshmikummar and A.C. Rastogi *J. Vac. Sci. Technol.*, B7(4), p. 604, 1989.
 [6] I.J. M.M. Raaijmakers, A.H.V. Ommen and A.H. Reader *J. Appl. Phys.*, 65(10), p. 3896, 1989.
 [7] H.H. Park, K.I. Cho, O.J. Kwon et al. *J. of the KITE*, 27(11), p. 55, 1990.
 [8] JCPDS, 7-134
 [9] JCPDS, 27-1402

著 者 紹 介

朴 瀧 浩 (正會員) 第27卷 第11號 参照
 현재 한국전자통신연구소 물
 성분석 연구실 선임연구원

李 仲 煥 (正會員) 第23卷 第6號 参照
 현재 한국전자통신연구소 물
 성분석 연구실 선임연구원

李 廷 鎔 (正會員) 第26卷 第8號 参照
 현재 한국과학기술원 재료공
 학과 교수

權 五 準 (正會員) 第27卷 第11號 参照
 현재 한국전자통신연구소 물
 성분석 연구실 책임연구원

趙 庚 翼 (正會員) 第27卷 第11號 参照
 현재 한국전자통신연구소 물
 성분석 연구실 선임연구원

南 基 守 (正會員) 第27卷 第11號 参照
 현재 한국전자통신연구소 고
 집적 소자연구실 책임연구원