論文 91-28A-5-5

광대역 교환을 위한 InP JFET소자

(InP JFET Devices for High Speed Switching Application)

池 尹 圭*, 金 成 俊**, 丁 鍾 珉***

(Yoon Kyoo Jhee, Sung June Kim, and Jong Min Cheong)

要 約

Ion-implanted InP JFET 소자를 광대역 교환소자로 사용하기 위한 특성을 연구하였다. 이 교환 소자는 1GHz 신호에서 5.5dB의 insertion loss와 31.6dB의 isolation을 보여주었다. 이 소자는 또한 byte-multiplexed 2Gb/s 신호를 효과적으로 교환하였으며 2Gb/s의 데이타에서 얻어진 eye-diagram 은 error-free한 모양을 보여 주었다. 따라서 이 소자는 장파장을 이용해서 높은 rate 데이타를 전송하는 optoelectronic monolithic integration에 교환소자 로서 사용될 수 있다.

Abstract

A high performance fully ion-implanted InP JFET was characterized for high speed switching elements. The switch has an insertion loss of 5.5dB with 31.6dB isolation at 1GHz. This device can effectively switch a byte-multiplexed 2Gb/s signal and an eye-diagram taken at 2Gb/s shows an error-free eye pattern. Therefore, this device can be used as a switching element for high transmission data rate for monolithic integration of optoelectronic circuits in the long-wavelength region.

I. 개 요

Gigabit rate이상의 고속 전송을 요구하는 디지탈 통신 네트워크는 보다 높은 bit rate능력을 가진 교환 시스템을 필요로 한다. 실제로 광섬유 값이 점차 싸짐에 따라 광섬유를 가입자의 집까지 설치하고, 비디오 써비스까지 포함하는 광대역 종합통신망(B-ISDN)을 계획하고 있는 나라들은 매우 많다. 이의 실현을 위해서는 asynchronous transfer mode(ATM)가 표준으로 되었고, 이들이 시간 다중화되어 들어오는 높은 bit-rate 데이타들을 cross-connect 하기 위해서는 고속으로 동작되는 교환 소자가 요구된다.

장거리 광통신 시스템은 광섬유(silica fiber)의 dispersion 이나 감쇠가 최소화 되도록 1.3~1.5μm의 장파장 영역에서 동작하도록 한다. 또한 이 장파장 영역은 높은 bit-rate에서 동작하는 local loop 응용에도 사용될 것이다. 아직 InP를 베이스로한 전자소자기술[1][2]은 미숙하나, InP 광소자가 1.3~1.5μm의 파장영역에서 동작하기 때문에 InP를 베이스로 한 OEIC(optoelectronic IC)[3][4][5][6][7]는 요즘 많은 관심을 불러 일으키고 있다. 그리고 광소자와 전자소자를 집적함으로써 싼 가격과 개선된 신뢰도 및 보다 좋은 성능을 얻을 수 있을 것으로 기대된다. 완전히 Ion-implanted로 제작된 JFET소자는 낮은 pinch-off전압, 낮은 캐패시턴스 및 높은 transconductance를 갖으므로 낮은 전력소모와 고속동작이 요구되는

*正會員,***準會員, 韓國科學技術院 電氣및 電子工學科
(Dept. of Electrical Eng., KAIST)
**正會員, 서울大學校 電子工學科 및 半導體 研究所
(Dept. of Electronics Eng. SNU)
接受日字 : 1990年 4月 2日

monolithic OEIC에 이용될 수 있다.[8][9]

이 논문에서는 InP JFET transmission게이트 스위치에 관하여 연구 하였다. 게이트의 길이와 폭이 각각 1.5μm, 100μm인 이 소자는 1GHz 신호에서 약 5.5dB의 insertion loss와 31.6dB의 cross-talk isolation을 갖는 것으로 측정되었다. 1GHz 정현파를 250MHz rate로 스위치한 출력파형을 보면 이 소자는 byte-multiplexed 2Gb/s 신호를 효과적으로 스위치할 수 있다는 것을 알 수 있으며 bit-rate가 2Gb/s에서 출력 신호의 eye-diagram은 error-free한 모양을 보였다. 따라서 이 소자는 장파장을 이용해서 고속으로 데이타를 전송하는 optoelectronic 회로의 monolithic집적에 스위칭 소자로 사용될 수 있다.

Ⅱ. Ion-Implanted JFET

이 소자의 단면도는 그림 1과 같다. 이 소자에서 세가지 중요한 사항은 다음과 같다. 첫째는, p-n junction이 얕고(2000Å), As와 Be의 co-implantation (이는 activation 동안 Be의 indiffusion을 막는다)으로 abrupt junction을 이루는 것이다. Boos et al[12]은 Be indiffusion에 의한 graded junction에 대하여 논했다. Graded junction과 비교해서 abrupt junction은 주어진 게이트 바이어스 변화에 대해 보다 크게 채널을 공핍화 시킬 수 있기 때문에 보다 높은 transconductance를 갖는다. 또한 abrupt junction은 낮은 threshold와 낮은 power 소자에 필수적인 얕은 채널내의 junction 깊이를 조절하는데 유리하다. 둘째는, 이 소자가 얇은 채널(4000Å)을 갖는다는 것이다. 이는 소자의 낮은 전류 특성을 제공함과 더불어 아래 관계식에 의해 주어지는 높은 transconductance(g_m)를 제공한다.

$$g_m \propto \left[\frac{N}{aL}\right]^{1/3}$$

N : 채널doping
L : 채널길이
a : 채널두께

셋째는, 소오스와 드레인에 n^+ implant를 하여 FET의 직렬저항을 줄여서 g_m값의 감소를 작게한다.

Dopants의 lateral 확산을 허용하기 위해 게이트와 소오스의 간격은 0.5μm로 하였다. FET는 (100) Fe-doped LEC semi-insulation subrtrate에 Si과 As/Be을 순차적이고 선택적으로 implant해서 만들었다. 먼저, substrate는 polish에 의한 손상을 제거하기 위하여 5분동안 10:1:1의 H_2SO_4:H_2O_2:H_2O 용액에서 에칭되었다. 세가지 implants는채널, n^+, 게이트 순으로 행하여 졌다. 또한 CF_4/O_2 플라즈마 에칭후 photoresist에 의해 윤곽이 그려진 2000Å 두께의

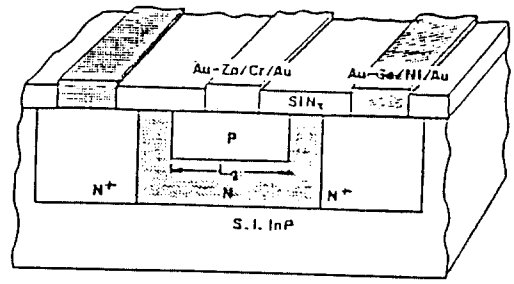

그림 1. Ion-implanted JFET의 단면도.
Fig. 1. Cross section of fully ion-implanted InP JFET.

SiN_x가 implant mask로 사용되었다. 채널(dose:10^{13}/cm^2)과 n^+(5E13/cm^2) implants에는 220KeV Si implant가 이용되었고, 게이트에는 180KeV As(6E13/cm^2)/20KeV Be(6E13/cm^2)의 co-implants가 쓰였다. Implants는 capping layer로 Al_2O_3를 사용한 RTA(rapid thermal annealer)로 동시에 activate 되었다. 나머지 process는 SiN_x passivation layer의 deposition과 p와 n metalization이다. 게이트 metal에는 Au-Zn/Cr/Au (20/1000/1000Å)이, 소오스와 드레인 metal에는 Au-Ge/Ni/Au(800/200/1000Å)이 사용되었고, 다음에 RTA안에서 30초 동안 각각 420, 380℃에서 alloy 되었다.

Ⅲ. 소자의 스위치 능력

이 게이트 길이가 1.5μm인 FET는 transconductance가 90mS/mm이고, 게이트 캐패시턴스가 1.5pF/mm이며, pinch-off전압이 −3.2V 이었다. 이 InP JFET스위치는 게이트 전압 V_g로 스위칭 상태를 조정하는 3−terminal소자이다. Transmission게이트 스위치는 논리 게이트 보다 전력소비가 적고, propagation delay가 작고 pulse width variation이 데이타의 mark density에 덜 영향을 받는 장점들이 있다. 스위칭 동작을 보면 "OFF"상태는 negative 게이트 전압 크기가 pinch-off 전압 크기 보다 클때($|V_g|>|V_P|$)이고, "ON"상태는 게이트 바이어스가 0V일때 이다. 어떤 상태에서도 소오스와 드레인 사이에 DC바이어스 전압은 걸리지 않는다. 게이트 바이어스가 없을 때 채널은 열려있고 FET는 입력신호를 감쇠시키는 선형저항으로 모델화 될 수 있다. 캐패시턴스의 리액턴스가 여러 parasitic 저항보다 훨씬 크다는 가정하에서 "OFF"상태는 한 개의 저항과 한 개의 캐패시터의 직렬 연결로 모델화 될 수 있다.[10]

이 소자를 세라믹 substrate에 놓고 SMA connector를 가진 micro-wave test fixture에 insert되었다. 양방향성 신호의 path는 소오스와 드레인 사이에 형성된다. "ON"상태에서 게이트는 0V이다. 이 게이트 길이가 1.5μm이고 게이트 폭이 100μm인 소자는 소오스-드레인 사이의 DC "ON"저항은 100 ohm이다. HP 8510 network analyzer를 이용해 측정한 insertion loss와 isolation은 그림 2에 주파수에 따라 나타나 있다. 이 주파수 영역에서 정확한 calibration을 위하여 insertion loss에서 test fixture loss를 제거하였다. 측정된 insertion loss는 1GHz에서 5.5dB부근이다. "OFF"상태 에서는 게이트에 pinch-off전압 이상으로 −5V를 걸었다. 고주파수에서 isolation은 떨어지는데 이는 주로 소오스-드레인 캐패시턴스 때문이다. 그림 2는 명백하게 더 높은 주파수로 갈수록 degradation이 큼을 보여주고 있다. 1GHz에서 이 소자의 isolation은 31.6dB로 측정되었다. 그림 2가 보여 주듯이, 이 소자는 2Gb/s NRZ(non-return-to-zero)신호에 대해 낮은 "ON" insertion loss와 높은 "OFF" isolation을 얻게하여 만족할 만한 결과를 준다.

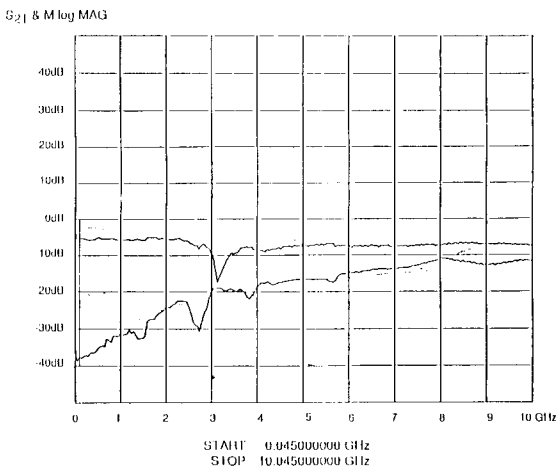

그림 2. InP JFET의 insertion loss와 isolation
Fig. 2. Insertion loss and isolation of InP JFET.

이론적으로 insertion loss와 isolation을 구하기 위한 이 소자의 등가회로는 그림 3과 같다.[11][12]이 모델은 게이트와 소오스/드레인 사이에 애벌런치 현상이 일어나지 않는 한 실험 측정치와 일치한다. "OFF"상태에서 소오스-드레인 저항 R_{ds}는 회로 모델링에서

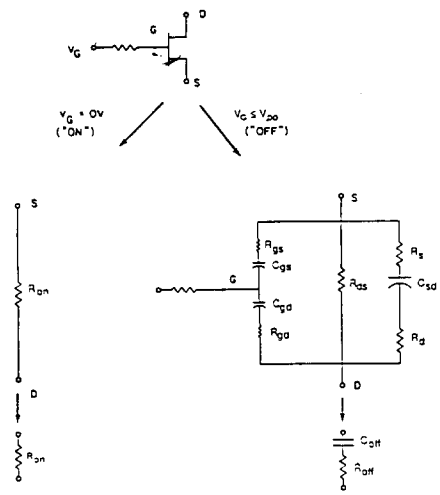

그림 3. JFET의 등가회로
Fig. 3. Equivalent circuit of JFET.

무시할 수 있을 정도로 크다. 소오스와 드레인은 직접적으로 C_{ds}로, 게이트를 거쳐서는 C_{gs}와 C_{gd}로 커플링 되어 있다. 그리고 이런 캐패시턴스들은 직렬의 parasitic 저항성분이 포함되어 있다. 결국 "ON" 상태는 R_{on} 저항으로, "OFF"상태는 R_{off}와 C_{off}의 직렬 연결로 모델화 될 수 있는데, R_{on}, R_{off}, C_{off}를 구하는 식은 다음과 같다.[10]

$$R_{on}=R_{ds}=\frac{1}{qN_d\mu_n Wa}\left\{2l_{gs}-2a(V_{bi}/V_a)^{1/2}+\frac{l_g}{1-(V_{bi}/V_a)^{1/2}}\right\}$$

$$R_{off}\approx\frac{R_{gs}+R_{gd}}{\left[1+\dfrac{C_{sd}}{(C_{gs}+C_{gd})}\right]^2}+\frac{R_s+R_d}{\left[1+\dfrac{(C_{gs}+C_{gd})}{C_{sd}}\right]^2}$$

$$1/C_{off}\approx\frac{1/(C_{gs}+C_{gd})}{\left[1+\dfrac{C_{sd}}{(C_{gs}+C_{gd})}\right]^2}+\frac{1/C_{sd}}{\left[1+\dfrac{(C_{gd}+C_{gs})}{C_{sd}}\right]^2}$$

$$R_{gs}=\frac{l_{gs}-a\left(\dfrac{V_{bi}-V_g+V_s}{V_a}\right)^{1/2}}{qN_d\mu_n Wa}\qquad R_{gd}=\frac{l_{gd}-a\left(\dfrac{V_{bi}-V_g+V_d}{V_a}\right)^{1/2}}{pN_d\mu_n Wa}$$

여기서, l_g는 게이트 길이, l_{gs}(l_{gd})는 게이트에서 소오스(드레인)까지 거리, V_{bi}는 junction 전압, a는 채널 두께, V_g는 게이트에 가해진 전압, V_P는 pinch off전압, $V_a=V_{bi}-V_P$, V_s(V_d)는 소오스(드레인) 전압, q는 전자 전하량, N_d는 채널 도우핑 농도, μ_n은 전자의 이동도, W는 채널 폭 그리고 a는 채널 두께이다. 물론, 여기에서 R_{off}와 C_{off}는 주파수에 무관한 상수로, 주파수에 따라 변화하는 항은 무시되었

다. 각각 수치들을[8][9] 대입하여 R_{off}와 C_{off}를 구하면 R_{off}는 3Ω-mm이고 C_{off}는 1.6pF/mm이다. 여기에서 구한 값들을 이용하여 inserion loss와 isolation을 구하고자 할때 그 등가회로는 그림 4에 나타나 있다. Insertion loss와 isolation은 특성 임피던스 Zo (50Ω)를 갖는 connector로 소자가 연결되지 않은 상태의 전력전달(P_{max})과 소자가 연관된 상태에서 전력전달(P_{on}, P_{off})과의 비를 데시벨로 표현한 양이다. 그러므로 수식으로 표현하면 다음과 같다.

$$\text{Insertion loss} = 10\times\log|Pon/Pmax|$$

$$= -10\log\left|1+\frac{R_{on}}{100}+\frac{j2\pi fL}{100}\right|^2$$

$$\text{Isolation} = 10\times\log|Poff/Pmax|$$

$$= -10\log\left|1+\frac{R_{off}}{100}+\frac{1}{100\,j2\pi fC_{off}}+\frac{j2\pi fL}{100}\right|^2$$

단, $Pmax = Vs^2/(4\times Zo)$

$\omega = 2\pi f$

여기서, Vs는 입력에서 가해준 전압, f는 주파수, L은 기생 인덕턴스(few nH)이다. 이 시뮬레이션 결과와 측정된 데이타는 그림 2에서 보듯이 일치한다.

그림 5는 250MHz로 스위칭된 1GHz 정현파(NRZ에서 2Gb/s 데이타에 해당)의 출력파형을 보여준다. 그림 5의 측정에서 게이트 바이어스 회로에 50ohm의 부하저항이 사용되었다. 비록 이 소자의 스위칭 시간이 정확히 측정되지는 않았지만 그림 5은 이 소자가 byte-multiplexed 2Gb/s의 신호를 효과적으로 스위칭할 수 있다는 것을 보여준다. 그러므로 이 스위칭 소자는 고속의 time-multiplexed 스위칭 네트워크에 이용될 수 있다.

출력 신호의 질은 그림 6의 eye-diagram에서 보여진다. NRZ신호는 2Gb/s신호로서 $2^{15}-1$ period를 갖는 pseudorandom sequence였다. 같은 bit-rate를 갖는데서 취해진 입력신호의 eye-diagram은 그림6과 같이 error-free한 모양을 보여준다.

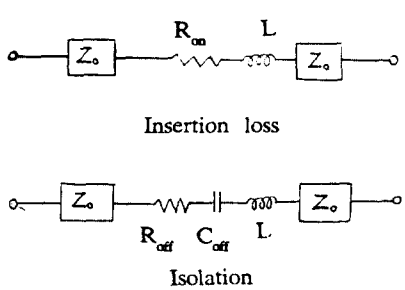

그림 4. Insertion loss와 isolation 측정회로
Fig. 4. Measurement of insertion loss and isolation.

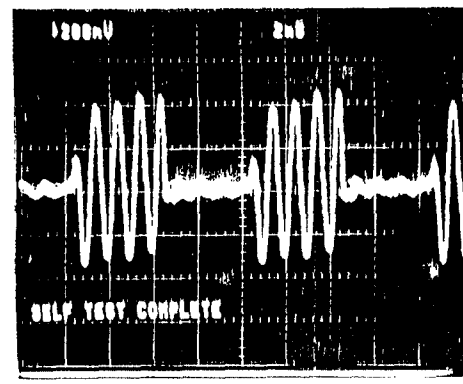

그림 5. 1GHz신호를 250MHz로 스위칭 했을때 출력파형
Fig. 5. Output when 1 GHz singal is switched at 250 MHz.

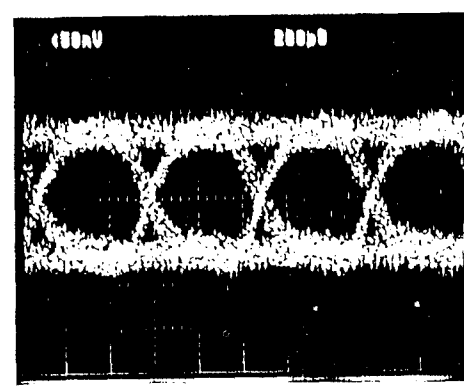

그림 6. 2Gb/s NRZ에서 eye-diagram.
Fig. 6. Eye-diagram at 2 Gb/s NRE.

Ⅳ. 결　　론

이 논문은 완전히 ion-implanted된 고속 스위칭을 위한 InP JFET소자에 대해 연구하였다. 이 소자는 1GHz에서 5.5dB의 insertion loss와 31.6dB의 isolation을 갖는 것으로 측정되었다. 이 소자는 또한 byte-multiplexed된 2Gb/s신호를 효과적으로 교환하였으며, 2Gb/s의 데이타에서 얻어진 eye-diagram은 error-free한 모양을 보여 주었다. 따라서 이 소자

는 장파장 영역에서 높은 rate의 데이타를 전송하는 optoelectronic monolithic 집적회로에서 교환소자로서 사용할 수 있다.

參 考 文 獻

[1] J.B. Boos, T.H. Weng, S.C. Binari, G. Kelner, and R.L. Henry, "InP JFETs by Shallow Zn Diffusion," *IEDM Tech. Dig.*, pp. 625-627, Dec. 1983.

[2] J.B. Boos, S.C. Binari, G. Kelner, P.E. Thompson, T.H. Weng, N.A. Papanicolaou, and R.L .Henry, "Planar Fully Ion Implanted InP Power Junction FET's," *IEEE Electron Device Letters*, vol. EDL-5, no. 7, pp. 273-276, July 1984.

[3] R.F. Leheny, R.E. Nahory, M.A. Pollack, A. Ballman, E. Beebe, J.C. Dewinter, and R.J. Martin, "Integrated InGaAs PIN-FET Photoreceiver," *Electron Lett.*, vol. 16, pp. 353, 1980.

[4] K. Kasahara, J. Hayashi, K. Makita, K. Taguchi, A. Suzuki, H. Nomura and S. Matushita, "Monolithically Integrated InGaAs PIN/InP MISFET Photoreceiver," *Electron Lett.*, vol. 20, p. 314, 1984.

[5] S. Hara, M. Iketa, T. Amano. G. Morosugi. K. Kurmada, "Planar InGaAs/InP PINFET fabricated by Be Ion Implantation," *Electron Lett.*, vol. 20, p. 947, 1984.

[6] B. Tell, A.S.H. Liao, K.F. Brown-Goebeler, T.J. Bridges, G. Burkhardt, T.Y. Chang, and N.S. Bemago, "Monolithic Integration of a Planar Embedded InGaAs PIN Detecttor with InP Depletion-Mode FETs," *IEEE Trans. Ele. Dev.* vol. ED-32, no. 11, p. 2319, Nov. 1985.

[7] C. Cheng, R. Chang, B. Tell, S. Zima, Y. Ota, G. Vella-Coleiro, R. Miller, J. Ziko, B. Kasper, V. Mattera, K. Brown-Goebeler, "Monolithically Integrated Receiver Front End: InGaAs PIN Amplifier," Presented at the 45th Device Research Conference, June 1987.

[8] S. Kim, K. Wang G. Vella-Coleiro, J. Lutze, Y. Ota, and G. Guth, "A Low Power High Speed Ion-Implanted JFET for InP-Based Monolithic Optoelectronic ICs," *IEEE Elec. Dev. Lett.*, vol. EDL-8, pp. 18, Nov. 1987.

[9] S. Kim, G. Guth, and G. Vella-Coleiro, "Integrated Amplifers Using Fully Ion-Implanted InP JFET's with High Transconductance," *IEEE Elec. Dev. Lett.*, vol. 9, p. 306, June 1983.

[10] M.J. Schindler and A, Morris, "DC-40 GHz and 20-40 GHz MMIC SPDT Switches," *IEEE Trans. on Electron Devices*, vol. ED-34, no. 12, pp. 2595-2602, Dec. 1987.

[11] Y. Ayasli, "Microwave switching with GaA FETs," *Microwave J.*, vol. 25, no. 11, pp. 61-74, 1982.

[12] S. Powel, "18 to 40 GHz single pole, 4-throw switch," *Microwave J.*, vol. 29, no. 7, pp. 127-132, 1986.

著 者 紹 介

金 成 俊(正會員)

1954年 10月 24日生. 1978年 서울대학교 전자공학과 학사. 1981年 Cornell대학교 전기전자공학과 석사. 1983年 Cornell대학교 전기전자공학과 박사. 1983年～1989年 AT&T Bell Labs. 연구원. 1989年～현재 서울대학교 반도체공동연구소/전자공학과 조교수. 주관심분야는 광전자 반도체공학, 고속 IC 설계, 생체전자공학 등임.

池 尹 圭 (正會員) 第27卷 第11號 參照

현재 한국과학기술원 전기및 전자공학과 교수

●

丁 鍾 珉(準會員)

1968年 12月 16日生. 1990年 한국과학기술대학 전기및 전자공학과 석사 2년 재학중. 주관심분야는 광통신 시스템 및 OEIC 등임.