

80V BICMOS 소자의 공정개발에 관한 연구

(A Study on the 80V BICMOS Device Fabrication Technology)

朴致善*, 車承翼*, 崔然益*, 鄭源永**, 朴 用**

(Chi Sun Park, Seung Ik Cha, Yearn Ik Choi, Won Young Jung, and Yong Park)

要 約

본 논문에서는 아날로그/디지털 혼합 시스템 구성시 내부의 논리회로 부분은 CMOS 소자로 입출력 부와 아날로그 부분은 바이폴라 소자를 이용하여 높은 전압(80V) 영역에서 동작하는 BICMOS 공정과 소자 개발을 하고자 하였다. 소자 설계의 기본개념은 공정 흐름을 복잡하지 않게 하면서, 바이폴라, CMOS 소자 각각의 특성을 최적화하는데 두었다. BICMOS 공정 중 CMOS 부분은 폴리게이트 CMOS 공정을 기본으로 하였고, 바이폴라 소자를 위한 공정은 3번의 마스크 스텝을 추가로 진행하였다. 바이폴라 소자를 위한 주요 공정은 콜렉터 저항을 줄이기 위한 n⁺ buried layer 공정, up/down isolation 공정, 그리고 p-well 베이스 공정이다. 바이폴라의 베이스 영역을 CMOS의 p-well로서 동시에 구성하므로써 마스크 스텝과 열처리 공정을 단순화 하였다. 실험 결과로서, 바이폴라 NPN 트랜지스터의 h_{FE} 특성은 100-150(I_c=1mA) 정도이고, bent 모양에 따른 콜렉터 저항값은 138ohm까지 얻었다. 항복전압 특성은 BV_{EBO} 21V, BV_{CBO} 115V, BV_{CEO} 78V의 값을 얻을 수 있었다. CMOS 소자에서는 NMOS와 PMOS 트랜지스터의 문턱전압이 각각 ±1.0V이었으며, 항복전압 특성 또한 NMOS 22V, PMOS 19V로서 원하는 특성을 얻을 수 있었다. 디지털회로 구성에 쓰이는 41 stage ring oscillator에서는 0.8ns의 지연시간 특성을 나타내었다.

Abstract

In this paper, a BICMOS technology that has CMOS devices for digital applications and bipolar devices for high voltage (80V) analog applications is presented. Basic concept to design BICMOS device is simple process technology without making too many performance trade-offs. The base line process is poly gate p-well CMOS process and three additional masking steps are added to improve bipolar characteristics. The key ingredients of bipolar integration are n⁺ buried layer process, up/down isolation process and p-well base process. The bipolar base region is formed simultaneously with the region of CMOS p-well area to reduce mask and heat cycle steps. As a result, h_{FE} value of NPN bipolar transistor is 100-150 (I_c=1mA). Collector resistance value is 138 ohm in case of bent type collector structure. Breakdown voltage of BV_{EBO}, BV_{CBO} and BV_{CEO} are 21V, 115V and 78V respectively. Threshold voltage is ±1.0V for NMOS and PMOS transistor. Breakdown voltage of NMOS and PMOS transistor is obtained 22V and 19V respectively. 41 stage CMOS ring oscillator has 0.8ns delay time.

*正會員, 亞洲大學校 電子工學科
(Dept. of Elec. Eng., Ajou Univ.)

**正會員, 金塔일렉트론연구소
(GoldStar Electron R & D. Center)
接受日字: 1991年 5月 29日

I. 서 론

일반적으로 바이폴라 트랜지스터는 높은 전류구동 능력을 가지고 있지만 비교적 집적도가 낮고 전력소모가 크다는 단점을 가지고 있다. 반면에 MOS 트

랜지스터는 구동능력이 낮은 단점을 가지고 있다. 저전력 고집적도의 장점때문에 CMOS 기술은 메모리, 미니 컴퓨터등 산업용 분야등에 널리 이용되어 왔고, 바이폴라 기술은 high speed, low noise 특성이 요구되는 저잡음 고감도 증폭기, 고속 신호처리 통신분야 등에 쓰여졌다. 그런데 아날로그/디지털 공존형의 특정 시스템에서는 바이폴라와 CMOS의 장점을 one-chip상에 집적시킨 BICMOS technology가 개발되고 있다.

현재 BICMOS 기술은 고속성, 고집적도, 저전력 소비를 필요로 하는 기억소자에의 응용과 내부의 논리회로 부분은 CMOS 소자로 입출력부는 바이폴라 소자를 이용하는 게이트 어레이 분야로서 그 응용 범위는 디지털 TV, VTR, 음성신호 처리, 통신용 집적회로의 분야에 이르고 있다.¹⁻⁵⁾

BICMOS 기술을 기억소자 및 논리회로에 가장 선두적으로 사용하고 있는 회사는 일본의 Hitachi, Fujitsu, 그리고 미국의 Motorola, TI 등의 회사를 들 수 있다. 실제 90년 ISSCC에서 Fujitsu사는 부하용량이 큰 입출력 buffer, decoder 회로에는 BICMOS 복합회로를 사용하고 고속성이 특히 요구되는 sense amplifier에는 바이폴라 차동증폭기를 구성하고 기억단위소자에는 CMOS 소자를 이용한 0.8 μ m BICMOS 기술을 개발하여 1MSRAM에서 access시간을 6.5ns 까지 얻었다고 발표하였다. 또한 게이트 어레이 분야에서도 Fujitsu사에서 0.8 μ m BICMOS 공정을 사용하여 400ps의 속도를 갖는 게이트를 20만개정도 집적시켰다고 발표하였다.⁶⁾

아날로그/디지털 공존형 BICMOS LSI 개발은 가격이 아날로그 chip과 디지털 chip을 가산한 값이 되는 것은 의미가 없으므로 가격, 성능, 기능면에서 충분히 경제적으로 되어야 한다. 이 때문에 BICMOS 소자 구조의 개발은 어떤 방법으로 공정과정을 간단히 하는가 하는 점이 매우 중요하다.

본 논문에서는 아날로그와 디지털 기능이 함께 있는 높은 전압영역의 혼합시스템 구성시 내부의 논리회로 부분에 이용되는 CMOS 소자는 폴리게이트 CMOS 공정을 적용하여 NMOS, PMOS 트랜지스터 각각의 특성을 최적화 하고자 하였고, 입출력단과 아날로그 구성에 쓰이게 되는 바이폴라 소자의 특성을 극대화 하면서도 공정을 복잡하지 않게 하는데 주안점을 두었다.

II. BICMOS 공정/소자 설계

BICMOS 공정설계의 기본 구도는 CMOS 소자는 기존의 poly 게이트 CMOS 공정을 근간으로 하여

NMOS, PMOS 트랜지스터 각각의 특성을 최적화 하고자 하였고, 또한 바이폴라 소자의 특성을 최적화 하면서도 공정과정을 복잡하지 않게 하기 위하여 CMOS의 p-well과 바이폴라의 베이스가 같이 공정 진행 되어도 특성이 각각 최적화 되도록 공정 및 소자 설계하였다.

따라서 바이폴라 소자를 위한 추가 공정은 콜렉터 저항을 줄이기 위한 n+ buried layer 스텝과 isolation 면적을 줄이기 위한 up/down isolation 공정 방식만 추가하므로써 집적도를 높이고 전체 공정 과정을 간단히 하고자 하였다.

1. 바이폴라 공정/소자 설계

BICMOS 시스템 구성시 아날로그 기능과 입출력부는 높은 전압(70V)과 전류 구동능력을 필요로 하는 바이폴라 트랜지스터가 쓰여지게 된다. 전류이득 범위는 50-200 ($I_c=1mA$) 사이에서 동작하도록 하고자 하였다. 또한 70V 이상의 높은 전압 범위에서도 사용할 수 있도록 항복전압 특성에 관계되는 베이스 깊이와 농도구배, 에피층 두께와 농도를 설계하였다.

먼저 70V 이상의 영역에서 동작하는 바이폴라 NPN 트랜지스터의 에피층의 농도를 정하려면 항복전압 BV_{CE0} 와 BV_{CB0} 의 관계식에서 BV_{CB0} 전압에 맞는 농도를 구해야 한다.^{6,7)}

$$BV_{CE0} = BV_{CB0} / \sqrt[n]{h_{FE}} \quad (n=4, h_{FE}=100) \quad (1)$$

식(1)에서 BV_{CB0} 특성은 220V 이상이 되어야 한다. 소자의 항복전압 BV_{CB0} 는 non reach-through 인 경우에는 다음과 같은 식으로 나타내어 진다.⁷⁾

$$BV_{CB0} = 5.34 \times 10^{13} \times NB^{-3/4} \quad (Non\ Reach-through) \quad (2)$$

한편 reach-through인 경우에는 다음과 같은 식으로 나타내어 진다.

$$BV_{CB0} = \frac{E_{crit} W b^{-1} q N B W b^2 / 2 \epsilon_{s1} (Reach-through)}{\epsilon_{s1}} = \frac{\sqrt{2qNB \times 5.34 \times 10^{13} \times NB^{-3/4}}}{\epsilon_{s1}} X W b - \frac{qNB W b^2}{2 \epsilon_{s1}} \quad (3)$$

이 경우에 필요한 에피층의 두께는 다음과 같은 식이 된다.

$$Wb = \sqrt{\frac{2\epsilon_{si}}{qNB}} \left(\sqrt{5.34 \times 10^{13} \times NB^{-3/4}} - \sqrt{5.34 \times 10^{13} \times NB^{-3/4} - BV_{RT}} \right) \quad (4)$$

(Wb =epi thickness, E_{crit} =electric field, NB =back concentration)

이들 식에 맞는 에피층의 농도와 두께는 바이폴라 소자의 콜렉터 저항을 줄이기 위하여 항복전압 특성과 저항값 사이에 존재하는 trade-off를 만족하는 적절한 두께와 비저항을 연결해야 한다. 에피층의 농도는 non reach-through 조건인 식(2)을 만족시키는 농도인 $1.5 \times 10^{15}/\text{cm}^3$ 으로 정하고 실제 항복 전압과 두께는 reach-through 조건에서의 식(3), (4)으로 부터 항복전압 BV_{CBO} 130V순수 에피층의 두께 Wb 를 5 μm 으로 설계하였다.

이 조건에서 전압증가에 따른 공핍영역의 변화를 알기 위한 소자 simulation PISCES-2B 결과인 그림 1을 보면 전압이 130V까지 증가하면 공핍영역층은 에피층을 지나 n+ buried 지역까지 이르게 되지만 베이스 영역내로는 그 범위가 에미터 집합 부분까지는 이르지 않게되어, non reach-through 항복전압 범위가 아닌 reach-through 조건에서의 공핍영역층의 증가 범위를 알 수 있었다.

NPN 트랜지스터의 전류이득 특성에 영향을 미치는 요소중에서 베이스 영역의 농도와 깊이를 CMOS의 p-well과 동일하게 최적화하여 공정과정을 단순화하고자 하였다. CMOS의 공정설계의 기본구도는

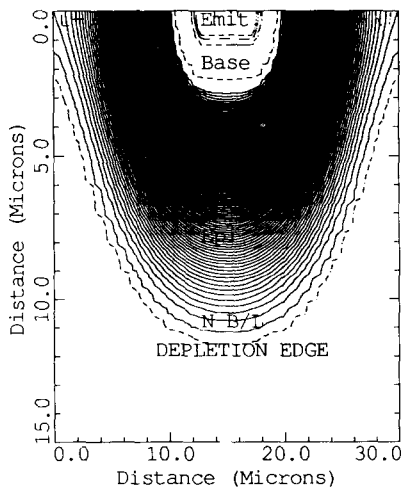


그림 1. 전압 증가에 따른 공핍영역 분포도
Fig. 1. Depletion layer contour with bias increasing.

CMOS의 NMOS 소자특성과 NPN 트랜지스터의 전류이득 특성이 trade-off 되는 범위에서 공정 및 소자 simulation 결과를 토대로 하였다. 그림 2(a)에는 베이스 표면농도가 $1.5E10^{16}/\text{cm}^3$, 깊이가 4.8 μm 인 경우의 SUPREM-III 공정 simulation 결과를 나타내고 있다. 이 경우 PISCES-2B 소자 simulation 결과에서의 Gummel plot인 그림 2(b)를 보면 중간 전류 영역에서의 전류 이득값이 약 70-85 정도를 얻을 수 있었지만, 높은 전류 영역 범위에 이르면 high level injection 영향이 비교적 심하게 나타남을 보여주

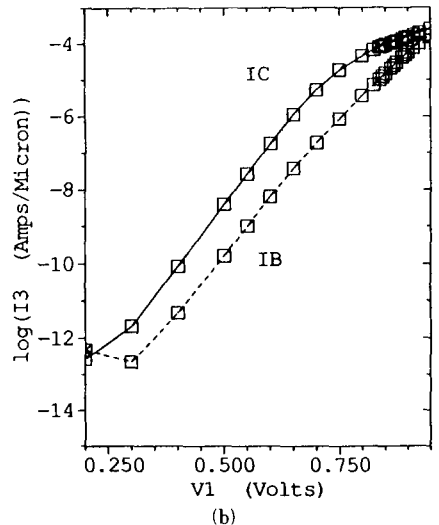
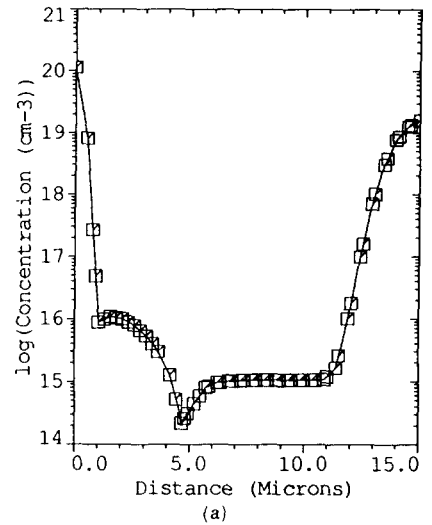


그림 2. (a) NPN 트랜지스터 도핑 분포도
(b) NPN 트랜지스터 Gummel plot
Fig. 2. (a) Doping profile of NPN transistor,
(b) Gummel plot of NPN transistor.

고 있다. 일반적인 NPN 트랜지스터의 베이스 폭이 $1\mu\text{m}$ 안쪽인데 비하여 베이스 폭은 넓지만 중간 영역에서 전류이득 특성이 양호한 이유는 상대적으로 베이스 농도가 낮아서 이러한 점을 보상해 주었기 때문이라 사료된다.

본 실험에서는 바이폴라 트랜지스터의 용도를 70V 정도의 높은 전압 범위와 중간 전류영역에서의 응용을 고려 하였기에, 높은 전류 영역에서의 특성 저하는 베이스 공정을 CMOS의 p-well과 같이 최적화하는 측면에서 trade-off하여 농도는 $1.0 \times 10^{13}/\text{cm}^2$, 깊이는 $4.8\mu\text{m}$ 로 설계하였다.

일반적으로 바이폴라 소자 구조에서 isolation 영역이 차지하는 면적은 대략 20-30%에 이르게 된다. 따라서 isolation 구조에 따라 chip 크기에 큰 영향을 미치게 되고 parasitic capacitance 등에도 밀접한 관계를 갖는다. 바이폴라 공정에서 isolation 구조는 대부분 junction isolation 형태였으나 에피층이 얇아짐에 따라 SWAMI 방식이나 trench 구조도 적용이 가능한 형태이나 높은 항복전압이 요구되는 소자의 두꺼운 에피층에서는 junction isolation 방식이 대부분 쓰여지게 된다.

따라서 $15\mu\text{m}$ 에피층이 사용되는 본 실험에서는 기존의 junction isolation 방법으로는 무려 $15\mu\text{m}$ 이상 확산시켜야 하므로, up/down isolation 방식을 공정적용함으로써 chip size를 줄이는데 주안점을 두었다. 따라서 CMOS 영역의 p-well(베이스) 확산시 isolation 영역이 확산되고 bottom isolation p+ buried layer 부분 또한 확산되고, 동시에 autodoping 되면서 서로 맞닿아 junction isolation이 형성되도록 공정설계 하였다.

2. CMOS 공정/소자 설계

P-well CMOS 공정으로 이루어진 NMOS, PMOS 트랜지스터의 문턱전압은 각각 $\pm 1\text{V}$, switching factor는 100mV 이하가 되고 소자의 항복전압은 15V 이상이 되도록 공정 및 소자 simulation 결과를 토대로 하여 소자설계 하였다.

CMOS의 공정에서 well 구조의 선정은 바이폴라 소자에서 에피층과 마찬가지로 중요한 공정 요소가 된다. 본 구조에서는 n-type 에피층위에 CMOS의 p-well을 형성하여 바이폴라의 베이스 구조로도 같이 쓸수 있도록 공정, 소자설계를 최적화 하고자 하였다. 소자의 최적화 순서는 우선 PMOS 소자의 최적 조건을 찾은 범위에서, p-well 농도를 변화시켰을 때 NMOS 소자의 문턱전압 simulation 결과를 바탕으로 삼았다.

P-well 농도변화에 따른 NMOS 소자의 문턱전압 특성과 바이폴라 소자의 전류이득 특성을 simulation 결과를 통하여 최적화 범위를 찾고자 하였다. 그 결과 그림3을 보면 p-well 이온주입 boron 도즈가 $1.0 \times 10^{13}/\text{cm}^2$ 인 범위에서는 NMOS 소자의 문턱전압이 PMOS 소자의 문턱전압 조절이온 주입량인 boron $7 \times 10^{11}/\text{cm}^2$ 정도에서 원하는 문턱전압 1.0V를 얻을 수 있으나, p-well 농도가 boron $1.5 \times 10^{13}/\text{cm}^2$ 인 경우에는 약 1.2V 정도의 값을 나타내었다.

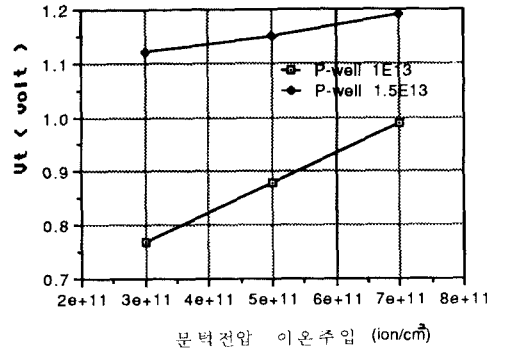


그림 3. P-well 이온 주입에 따른 문턱전압 변화
Fig. 3. Threshold voltage change with p-well ion dose split.

CMOS 소자의 isolation 방법으로는 LOCOS 방식이 사용되는데, 이 경우 field tr.의 문턱전압 특성은 20V이상으로 하기 위해서는 field oxide 두께를 8000 Å로 정하고 이온주입 공정을 통하여 조정하여 주었다. PMOS field 트랜지스터의 문턱전압을 20V이상으로 높이기 위해서 마스크 공정없이 에피공정 후에 바로 phosphorous $2 \times 10^{12}/\text{cm}^2$ 으로 field 이온주입 공정을 진행하였고, NMOS field 트랜지스터의 문턱전압은 p-well 영역에 boron $3 \times 10^3/\text{cm}^2$ 으로 이온주입시켜 20V이상으로 특성을 최적화 하였다.

Ⅲ. 소자 제작 과정

아날로그 디지털 혼합 시스템 구성시 높은 전압 (80V) 범위에서 사용할 수 있는 바이폴라, CMOS 소자의 공정 설계는 각각의 소자 특성을 최적화 하면서도 공정과정을 복잡하지 않게 하였다. 비저항이 15-25ohm-cm 인 P형(100) 웨이퍼를 사용하여 bipolar NPN 트랜지스터의 콜렉터 저항을 줄이기 위한 n+ 저항을 줄이기 위한 buried layer층은 arsenic 이온도즈 주입량을 $3 \times 10^{15}/\text{cm}^2$ 으로 접합깊이가 $3.5\mu\text{m}$ 기

되도록 확산공정 진행하였다. Isolation 확산공정 시간을 줄이기 위해 p+ buried layer층을 bottom isolation 영역으로 boron $2 \times 10^{15}/\text{cm}^2$ 이온 주입한 후 접합깊이가 $3.0\mu\text{m}$ 이 되도록 확산공정 진행하였다. Epi 층 설계는 CMOS transistor 특성을 최적화 하면서 바이폴라 콜렉터 저항과 항복 전압값을 고려하여 비저항을 $30\text{ohm}\cdot\text{cm}$ 로 두께는 $15\mu\text{m}$ 로 성장시켰다. 에피층의 저항, 두께의 분포는 $\pm 10\%$ 이내 었다.

PMOS field tr.의 문턱전압을 20V이상으로 높이기 위해 마스크 공정 없이, 에피공정 후에 바로 phosphorous $2 \times 10^{12}/\text{cm}^2$ 으로 field 이온 주입 공정을 진행하였다. CMOS의 p-well(base) 공정과 junction isolation 형성을 위하여, p-well 이온 주입과 고농도의 isolation 이온주입 후 p-well 확산공정시 isolation 부분이 동시에 확산되고, bottom isolation p+ buried layer 영역이 auto doping 되면서 서로 맞닿아 junction isolation이 형성되도록 공정을 진행하였다. P-well의 boron 이온 주입량은 $1 \times 10^{13}/\text{cm}^2$ 로 접합깊이가 $4.8\mu\text{m}$ sheet 저항값은 $2.0\text{Kohm}/\text{sq}$ 가 되었다. Isolation 영역은 boron 이온 주입량은 $1 \times 10^{16}/\text{cm}^2$ 로 확산 공정후 접합 깊이가 $10\mu\text{m}$ 가 되고 이때 bottom layer가 auto doping되면서 서로 맞닿아 junction isolation이 형성되도록 하였다.

CMOS 영역의 NMOS, PMOS 트랜지스터 문턱 전압을 공히 $\pm 1.0\text{V}$ 로 맞추기 위해 boron 이온 주입량을 $7 \times 10^{11}/\text{cm}^2$ 으로 마스크 공정없이 이온 주입시켰다. 이온 주입 공정이 끝난 다음에 base 산화막층을 strip하고 gate 산화막을 450\AA 키운 후, NMOS 트랜지스터의 source/drain 형성시 바이폴라 NPN 트랜지스터의 에미터를 함께 정의하고 접합깊이를 깊게하기 위하여 phosphorous $8 \times 10^{15}/\text{cm}^2$ 으로 이온 주입시켰다. PMOS source/drain 형성에는 boron $5 \times 10^{15}/\text{cm}^2$ 으로 이온주입시켜 주었다. 소자간의 연결 후 step coverage를 좋게하기 위해 contact etch 공정은 wet/dry/wet 순서로 진행하였다. 금속막으로는 Al-1.5% Si을 $1.0\mu\text{m}$ 증착 시켰다. 위와 같이 13 layer의 마스크 스텝과 공정과정을 거쳐 완성된 BICMOS 소자의 평면도 및 단면도는 그림4에 나타내었다.

IV. 실험결과 및 고찰

1. 바이폴라 소자

SBC(standard buried collector) 공정으로 진행된 바이폴라 NPN 트랜지스터는 두꺼운 에피층에서 오는 콜렉터저항을 줄여주기 위하여, deep 콜렉터 마스크

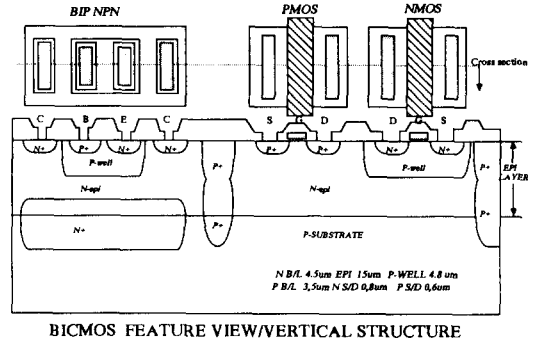


그림 4. BICMOS 소자의 평면도 및 단면도
Fig. 4. Feature view and cross section of BICMOS device.

공정을 추가함에 따른 chip 면적증가와 확산 공정의 추가 없이도 저항을 감소시킬 수 있는 형태인 bent 콜렉터 모양의 트랜지스터를 제작하였다.

그림 5(a)에서는 콜렉터 영역을 세로방향과 또한 가로방향으로도 배치한 구조를 나타내어 주고 있다. 이러한 구조의 등가회로는 그림 5(c)에서 보면 세로 방향의 콜렉터 저항 성분에 가로 방향의 저항 성분이 병렬로 구성된 bent 모양의 콜렉터 등가저항은 세로 방향의 저항과 가로 방향의 저항이 병렬로 연결된 형태로되어 전체 콜렉터 저항은 다음과 같은 식이 된다.

$$\frac{1}{R_{bent} (total)} = \frac{1}{R1} + \frac{1}{2R2} \quad (5)$$

그림 5(b)에서 보면 수직 방향의 콜렉터 저항성분은 크게 세부분으로 나누어 진다.

i) 전류가 베이스-콜렉터 접합영역에 도달한 후 buried layer에 도달하기까지의 RV1, ii) buried layer 저항성분 RL1, iii) buried layer에서 collector에 이르는 저항 RV2로 구분지을 수 있는데 각각의 저항식은 다음과 같은 식으로 계산해낼 수 있다.

i) buried layer까지의 저항 RV1은

$$RV1 = \frac{\rho_{epi} x (T_{epi} - X_{jBLO} - X_{jB} - X_d)}{LE \times WE} \quad (6)$$

(이 식에서 T_{epi}=에피층의 두께, ρ_{epi}= 에피층의 농도, X_{jBLO}=buried layer out diffusion 두께, X_{jB}= 베이스 깊이, X_d=공핍 영역층 두께, LEC=에미터에서 콜렉터 사이 길이, WE=에미터 길이)

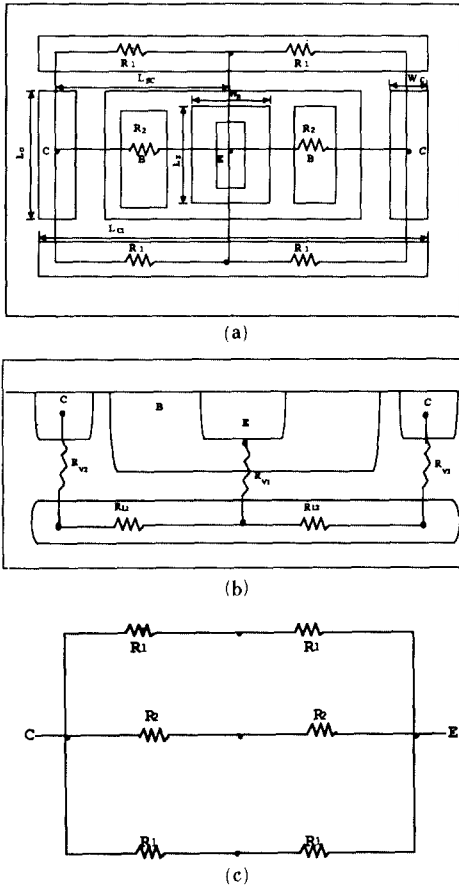


그림 5. (a) NPN 트랜지스터의 평면도
 (b) NPN 트랜지스터 콜렉터 저항성분 단면도
 (c) NPN 트랜지스터 콜렉터 저항 등가 회로

Fig. 5. (a) Feature view of NPN transistor,
 (b) Cross section of NPN tr. with indication of the collector series resistances,
 (c) Equivalent circuit for collector resistance of NPN transistor.

ii) buried Layer 저항성분 RL1

$$RL1 = \frac{\rho_{BL} i x LEC}{LC} \quad (7)$$

(이 식에서 ρ_{BL} =buried layer 농도, LC=콜렉터 길이)

iii) buried layer에서 collector에 이르는 RV2

$$RV2 = RV3 = \rho_{epi} \times \frac{(Tepi - X_{jBLO} - X_{jE})}{LE \times WC} \quad (8)$$

(이 식에서 X_{jE} =에미터 깊이, WC=콜렉터 폭)

따라서

$$R2 = RV1 + \frac{RV2 + RL1}{2} \quad (9)$$

식(6), (7), (8)에서 구한 값을 식(9)에 대입하면 가로 성분의 R2 저항값은 약980ohm에 달하게 된다. 한편 세로 성분의 저항값 R1은 같은 방법으로 계산하면 약840ohm이 된다. 따라서 bent 구조의 전체 콜렉터 저항값은 식(5)에 의해 이론적인 값이 약 147ohm으로 줄어들게 된다.

실제 제작된 소자의 bent 형태의 정도에 따른 collector 저항값의 차이는 그림 6(a)에서 보면 bent 모양이 없는 경우에는 (세로 방향의 콜렉터 구조만 있는 모양), 콜렉터 저항 Rc(sat) 값이 약 2800ohm인데, 반하여 bent가 다 둘러진 모양에서의 특성은 그림 6(b)를 보면 그 값이 138ohm으로 크게 줄어듬

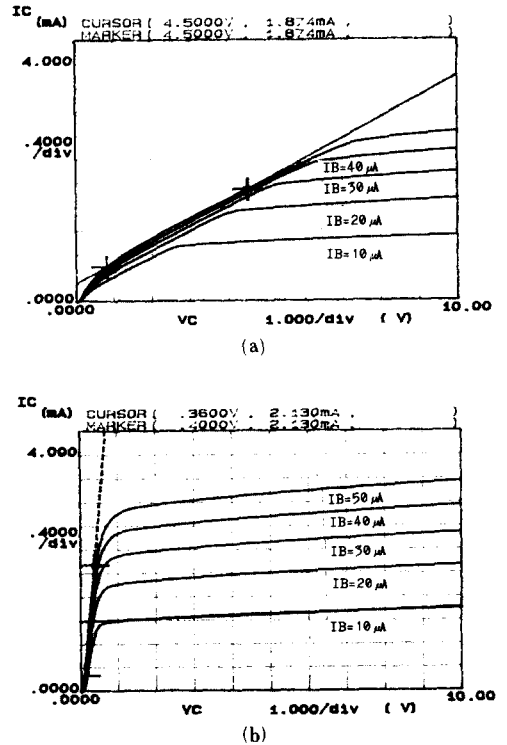
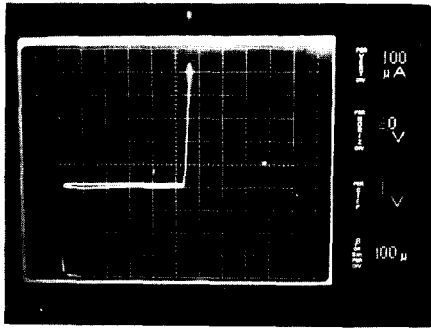
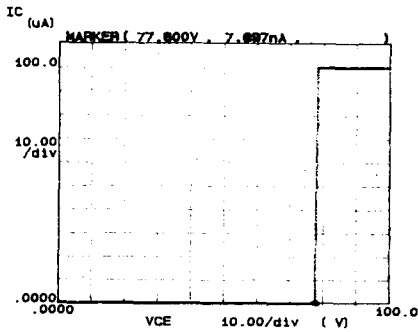


그림 6. (a) NPN 트랜지스터 전류-전압 특성곡선 (without bent)
 (b) NPN 트랜지스터 전류-전압 특성곡선 (bent)

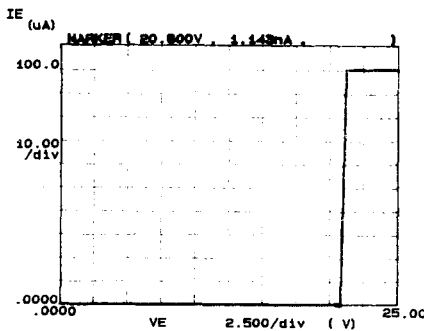
Fig. 6. (a) I-V Characteristics of NPN transistor (without bent),
 (b) I-V Characteristics of NPN transistor (bent).



(a)



(b)



(c)

그림 7. NPN 트랜지스터의 항복전압 특성 곡선

(a) BV_{CBO} (b) BV_{CEO} (c) BV_{EBO}

Fig. 7. Breakdown characteristics of NPN tr.

(a) BV_{CBO} , (b) BV_{CEO} , (c) BV_{EBO} .

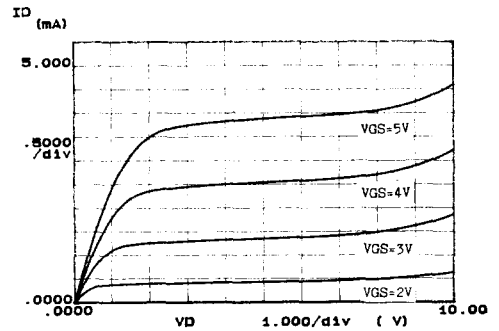
을 알 수 있었고, h_{FE} 특성은 $I_c=1mA$ 에서 130 정도의 값을 나타내었다. 이러한 특성은 높은 전압이 요구되는 소자에서는 에피층이 두꺼워짐에 따라 deep 콜렉터 공정이 추가되는 공정의 복잡성과 chip 면적 증가를 개선할 수 있는 결과라 사료된다.

70V 이상의 항복전압값과 콜렉터 저항(r_c) 특성을 최적화하기 위한 적절한 두께와 비저항으로 제작된 NPN 트랜지스터의 항복전압 특성을 그림 7에서

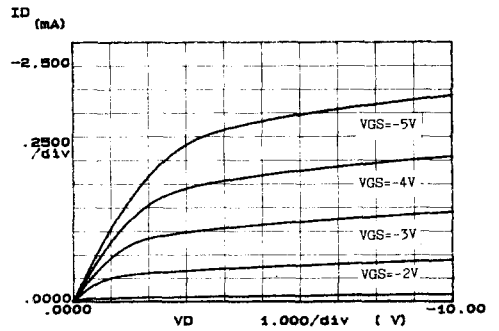
보면 BV_{EBO} 는 21V로서 접합 지점의 베이스 농도에 의한 avalanche 항복전압 특성을 보여 주었는데 이 값은 베이스 농도와 항복전압 관계를 나타낸 이론치와 가깝게 나타내었다.⁶⁾ BV_{CBO} 는 115V로서, 공정 설계된 에피층 농도와 베이스 접합 깊이에서 공핍영역 증가에 따른 reach through 항복전압 값을 나타내었는데 이론적인 값 130V보다는 작은 특성치를 나타내었다. BV_{CEO} 는 78V로서 이론적인 값 70V보다 큰 특성을 보여주었다. 이는 에피층의 성장 공정결과, 농도가 낮은 범위에 분포하여서 얻어진 결과라 사료된다.

2. CMOS 소자

P-well CMOS 공정으로 이루어진 NMOS 소자의 경우에는 source/drain 영역이 바이폴라의 에미터로도 쓰이게 되므로, 바이폴라 소자의 특성 최적화와



(a)



(b)

그림 8. (a) NMOS 트랜지스터 I-V 특성곡선

(W/L:42/2.5 μ m)

(b) PMOS 트랜지스터 I-V 특성곡선

(W/L:42/2.5 μ m)

Fig. 8. (a) I-V characteristics of NMOS transistor (W/L:42/2.5 μ m),

(b) I-V characteristics of PMOS transistor (W/L:42/2.5 μ m).

punch-through 항복 전압이 심하게 일어나지 않는 범위에서 소자 simulation 결과를 토대로하여 공정진행한 결과 그 깊이가 0.8 μm 로 이었으며, PMOS 소자의 경우에는 0.6 μm 로 진행된다.

제작 결과를 보면 각각의 트랜지스터의 전류-전압 특성 곡선인 그림 8 (a, b)에서 보면 NMOS(W/L:42/2.5 μm), PMOS(W/L:42/2.5 μm)의 전류-전압 특성이 일반적인 CMOS 공정으로 만들어진 소자와 비교해 보아도 그 특성이 양호함을 알 수 있었다. NMOS 소자의 문턱전압은 1.02V, PMOS 소자는 -1.05V의 특성을 나타냄으로서 simulation 결과와 비교적 일치하는 값을 보여주었고, switching factor 특성 또한 NMOS 75mV, PMOS 90mV로서 원하는 특성을 얻을 수 있었다. 또한 Field 트랜지스터의 문턱전압 특성은 PMOS 20V, NMOS 24V로서 20V 이상의 값을 얻을 수 있었다.

그림9에서 보면 긴 채널에서 NMOS 소자의 항복 전압 값은 22V, PMOS 소자에서도 긴 채널에서 19V 정도의 특성치를 보였는데, 채널 길이에 따른 항복전압의 변화 또한 NMOS 2.5 μm , PMOS 2.5 μm 까지는 길이에 따른 항복전압의 변화가 크게 나타나지 않았다. 그러므로 CMOS 소자의 중간 전압 범위에서 안정된 동작 특성을 갖게 된다.

그림10에는 디지털 회로 구성에 쓰이는 41 stage ring oscillator에서 0.8ns의 지연시간 특성을 나타내었다.

Ⅶ. 결 론

아날로그와 디지털 기능이 함께 필요한 시스템에 있어서 입출력부와 아날로그 부분은 높은 전압(80V) 영역에서 동작하는 바이폴라 소자를, 그리고 높은 집적도의 디지털 회로 구성에는 CMOS 소자를 이용하여 회로를 구성할 수 있는 BICMOS 공정을 개발하였다.

실험 결과로서, 바이폴라 NPN 트랜지스터의 h_{FE} 특성은 100-150($I_c=1\text{mA}$) 정도이고, bent 모양에 따른 콜렉터 저항값은 138ohm까지 얻었다. 항복 전압 특성은 BV_{EBO} 21V, BV_{CBO} 115V, BV_{CEO} 78V의 값을 얻을 수 있었다. CMOS 소자에서는 NMOS와 PMOS 문턱전압이 각각 $\pm 1.0\text{V}$ 이었으며, 항복전압 특성 또한 NMOS 22V, PMOS 19V로서 원하는 특성을 얻을 수 있었다. 한편, 디지털 회로 구성에 쓰이는 41stage ring oscillator에서는 0.8ns의 지연 시간을 나타내었다. 따라서 CMOS 소자 또한 20V 영역에서 안정된 동작 특성을 보여 주었다.

이러한 BICMOS 기술은 바이폴라, CMOS 소자의

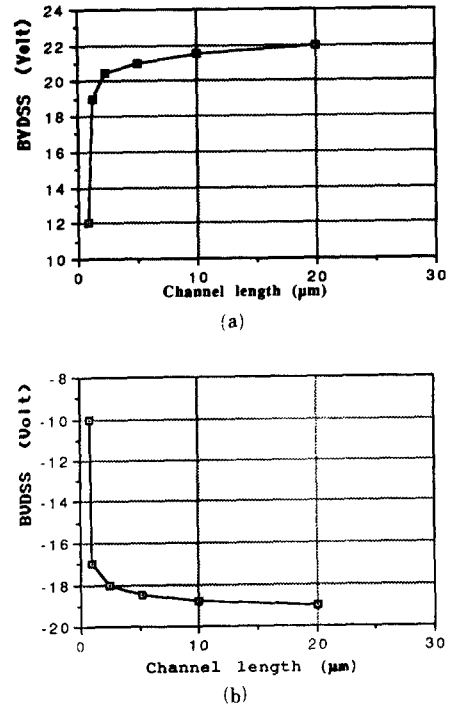


그림 9. (a) 채널길이에 따른 NMOS 문턱전압 변화곡선
(b) 채널길이에 따른 PMOS 항복전압 변화곡선

Fig. 9. (a) Breakdown voltage roll off with channel length for NMOS transistor,
(b) Breakdown voltage roll of with channel length for PMOS transistor.

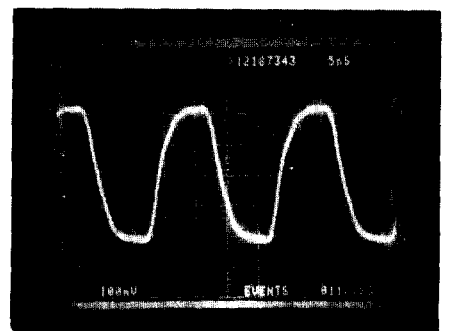


그림10. 41 stage ring oscillator 특성곡선
Fig. 10. Oscillation characteristics of 41 stage ring oscillator.

장점을 공정과정을 복잡하지 않게 하면서도 한 chip 에 제작하므로서, 그 응용 여부에 따라 아날로그/디지털 혼합 집적회로 제작에 활용될 수 있을 것이다.

參 考 文 獻

[1] Bernald Cornad Cole, "Mixed process chips are about to hit the big time," *Electronics*, pp. 27-31, 1986.

[2] A.R. Alvarez, R.M. Roop, "Lateral Dmos Transistor Optimized for high voltage Bicmos applications," *IEDM*, pp. 420-423, 1983.

[3] Fred Walczyk, Jorge Rubinstein, "A Merged CMOS/Bipolar Technology," *IEDM*, pp. 59-62, 1983.

[4] Gunter Zimmer, Bernd Hoefflinger, "A Fully implanted NMOS, CMOS, Bipolar Technology for VLSI of Analog Digital systems," *IEEE Transactions on Electron Devices*, vol. 26, no. 4, pp. 390-395 Apr., 1979.

[5] International Solid State Circuits Conference, 1990.

[6] B.J. Baliga, "Modern Power Devices," pp. 62-71, 1987.

[7] A.S. Grove, "Physics and Technology of Semiconductor Devices," Chapter 6, 7, 1967.

著 者 紹 介



朴 致 善 (正會員)
 1958年 1月 15日生. 1981年 2月 한양대학교 재료공학과 졸업. 1983年 2月 동대학원 재료공학과 졸업. 1983年 3月~1985年 7月 금성반도체 Bipolar 제품기술과 근무. 1985年 8月~1988年 8月 금성 반도체 (연) 3연구실 근무. 1988年 9月~1990年 3月 CCD 개발실 공정/소자 팀장 (축삭연구원). 1990年 4月~현재 금성일렉트론 (연) 메모리 개발실 선임연구원. 1986年 9月~현재 아주대학교 전자공학과 박사과정 재학중. 주관심분야는 고속/고 집적 메모리 소자개발, BICOMS Technology 등임.

崔 然 益 (正會員) 第16卷 第1號 參照
 현재 아주대학교 전자공학과 부교수



鄭 源 永 (正會員)
 1965年 7月 7日生. 1988年 2月 성균관대학교 이과대학 물리학과 졸업. 1988年 7月~1989年 12月 금성 반도체 연구소. 1990年 1月~현재 금성 일렉트론연구소 TCAD팀. 주관심분야는 Proces

& Device Modeling 및 Simulation, 2-Dimensional Image Sensor.



車 承 翼 (正會員)
 1954年 2月 10日生. 1974年 3月~1978年 2月 성균관대학교 물리학과 졸업. 1978年 3月~1980年 2月 성균관대학교 물리학과 대학원 졸업 1984年 7月~1989年 1月 대우통신 근무. 1989年 3月~1990年 7月 수원대학교 강사. 1989年 8月~현재 아주대학교 전자공학과 박사과정. 주관심분야는 반도체 제조공정임.



朴 用 (正會員)
 1960年 2月 27日生. 1983年 단국대 전자공학과 졸업. 1986年 단국대 대학원 전자공학과 졸업. 1986年 금성 반도체 연구소 IMD-RAM PROCESS INTEGRATION Engineer CCD Device Simulation and Design. 1990年 금성 일렉트론 연구소 CCD Device Simulation and Design. 주관심분야는 CCD Device Modeling & Simulation, 등임.