

RTA 공정 및 Trench 격리기술을 사용한 PSA 바이폴라 소자의 특성 연구

(A Study on the Characteristics of PSA Device using RTA Process and Trench Technology)

具 用 書* 姜 相 元* 安 哲**

(Yong Seo Koo, Sang Won Kang, and Chul An)

要 約

본 논문에서는 에미터 저항값과 콜렉터-기판간의 접합용량을 개선시킨 $1.5\mu\text{m}$ PSA (Polysilicon Self-Align) 바이폴라 트랜지스터에 대해 설명한다. 이러한 전기적 특성을 구현하기 위하여 급속열처리공정 (RTA)과 Trench 산화막격리 공정기술을 적용하였다. 제작된 npn 트랜지스터의 에미터 저항값은 약 63Ω ($A_e: 1.5 \times 6\mu\text{m}^2$)이며 기판용량은 28fF로 측정되었다. 또한 31 단 NTL 링발진기를 제작 측정 한 결과 전력소모가 약 0.7mW에서 게이트당 최소전달지연시간이 121ps의 빠른 속도특성을 얻을 수 있었다.

Abstract

This paper presents the $1.5\mu\text{m}$ PSA bipolar device which establishes the performance improvement such as the reduction of emitter resistance and substrate junction capacitance. To achieve the above electrical characteristics, RTA process and trench isolation technology were adapted. The emitter resistance and substrate capacitance of npn transistor having $1.5 \times 6\mu\text{m}^2$ emitter area was measured with 63Ω and 28fF, respectively. The minimum propagation delay time shows 121ps at 0.7 mW from the measurement of 31 stage ring oscillator.

I. 서 론

정보화 시대를 맞이하여 많은 정보를 보다 신속히 흡수하기 위해 정보를 수집하고 전송하는 통신 기기나, 정보를 처리하고 저장하는 컴퓨터 등 통신 시스템

의 요구가 급격히 증가하고 있다. 이들 통신 시스템이 효율적으로 활용되기 위하여는 보다 많은 정보를 신속히 처리하는 능력이 갖추어져야 하며, 신속한 정보 처리를 위하여는 칩의 집적도와 동작 속도가 증가하여야 한다.¹⁾ 그리고 이들 특성을 만족하는 반도체 칩을 얻기 위하여는 집적 회로를 구성하고 있는 개별 소자의 면적 축소와 동작 속도 개선이 선행되어야 한다. 현재 전자 기기의 부품으로 쓰이는 반도체 소자의 종류로는 실리콘을 기본 재료로 하는 MOS (MOS) 소자 및 바이폴라 (bipolar) 소자와 GaAs, Inp 등을 기본 재료로 하는 화합물 반도체 (compound semiconductor) 소자가 주종을 이루고 있다.

*正會員, 韓國電子通信研究所
(Electronics and Telecommunications Research Institute)

**正會員, 西江大學校 電子工學科
(Dept. of Elec. Eng., Sogang Univ.)

接受日字: 1991年 6月 15日

속도 및 전류 구동 능력의 장점 등으로 인해 주로 고속형 소자로 사용되고 있는 바이폴라 소자는 shockley에 의하여 소자 동작 이론이 정립된 이래 꾸준한 제조기술의 개발과 함께 개선되어 왔다.

일반적으로 바이폴라 소자에서는 전류가 전압의 지수 함수적으로 증가하므로, 상대적으로 매우 큰 trans conductance ($gm = qI/kT$) 를 갖게 되어 용량성 부하를 구동하는데 매우 유리하다. gm 이 높으면 급격한 전달 특성을 얻을 수 있으며, 논리 문턱 전압의 정확한 조절이 가능하므로, 작은 logic swing으로도 적당한 noise margin을 유지할 수 있는 장점이 있다. 이러한 바이폴라 소자의 구조적 특성을 잘 이용하여 보다 고성능, 고속 소자들 구현하기 위하여는 각종 기생 용량 및 기생 저항을 줄여야 한다. 그러나 기존의 SBC (Standard Buried Collector) 바이폴라 공정 기술은 깊은 접합, 측면 확산, 측면공핍층의 존재, 넓은 에미터 면적 등으로 인해 동작 속도 및 전력 소모 측면에서 좋은 특성을 기대하지 못하였으나 새로운 형태의 PSA (Polysilicon self-align) 트랜지스터가 개발됨으로써 소자의 전기적 특성에 상당한 개선을 가져 오게 되었다.¹³⁾ 즉 미세패턴 형성 기술에 의한 에미터 면적의 축소, LOCOS, trench 등의 산화막 격리 기술, 다결정 실리콘으로의 이온주입에 의한 얇은 접합깊이 형성 기술¹⁴⁾ 및 고속열처리공정 (RTA)¹⁵⁾ 등을 사용함으로써 소자내의 불필요한 용량성분과 베이스 직렬 저항성분, 에미터저항 등이 줄어들게 되어 한층 더 개선된 동작특성을 얻을 수 있다. 이러한 PSA 기술은 1978년 일본 NEC의 Shiba 등에 의해 발표된 이래 1980년 미국 IBM의 Ning¹⁷⁾ 1982년 일본 마쓰시타의 takemoto¹⁸⁾ 등에 의해서도 개발되어 일부 고속처리 시스템의 부품으로 쓰이거나 사용될 움직임을 보이고 있으며 향후 정보통신시대에 적용될 고속 바이폴라 소자의 무한한 가능성을 보여주고 있다. 따라서 본 논문에서는 $1.5\mu m$ 에미터폭을 갖는 PSA 구조의 바이폴라소자를 제작하여 그 전기적특성을 관찰하였다. 특히 공정측면에서 고속열처리 공정과 trench 격리기술을 사용함으로써 에미터영역을 먼저 정의하는 본 PSA 구조의 취약점인 에미터 저항값을 감소시켰으며 아울러 콜렉터-기관간의 접합용량 감소등에 의한 고속스윙칭 특성을 얻을 수 있었다.

II. PSA 소자의 기본 개념

PSA 소자의 가장 큰 특징중의 하나는 다결정 실리콘을 이용하여 에미터와 베이스를 자기 정렬 (self-align) 시킨다는 점이다. 이는 곧 활성영역의 극소화

를 의미하며 접합 용량 및 베이스 내에 축적되는 소수 반송자들의 양을 감소시켜 스윙칭 특성의 개선을 가져온다. 아울러 산화막 격리 기술은 PSA 소자를 구현하는데 필수적인 공정 기술이며 기존의 P-N 접합 격리 기술에 비해 약 1/10 이상 칩 면적의 감소를 가져오며, 특히 trench 격리 기술을 사용할 경우 칩 면적이 더욱 줄어들 뿐 아니라 기관 용량 감소에 의한 개선된 속도 특성 향상을 얻을 수 있다.¹⁶⁾ 또한 P+ 다결정 실리콘을 비활성 베이스 영역으로 사용하여, 베이스 직렬 저항을 감소시키며, 다결정 실리콘위에 비소 (As^+)를 이온주입하여 에미터를 형성시키므로 $0.2\mu m$ 이하의 매우 얇은 접합을 가질 수 있게 되어 차단 주파수와 전달 지연 시간의 개선을 가져 오게 된다. 특히, 다결정 실리콘 에미터 형성 기술은 얇은 접합 형성시 발생할 수 있는 접합 파괴 현상이나 낮은 전류 이득을 개선시키는 역할을 한다. 즉, 급속 접합의 경우 에미터 깊이 W_E 가 정공의 확산 길이 L_p 보다 작을 경우, 대부분의 정공들은 에미터 표면에 도달하게 되며 (npn 트랜지스터) 이때 소수 반송자인 정공 농도 p 는 표면에서 재결합하게 되어 $p(x=0) = P_0$ 가 된다. 이는 에미터 내의 급격한 기울기를 나타내어 베이스 전류를 증가시켜 전류 이득의 감소를 가져 오게 된다. 그러나 다결정 실리콘 에미터 접합에서는 그림 1에서 보는 바와 같이 $x=0$ 에서의 정공의 농도가 0보다 크게 나타나며 그 결과 정공의 전류 J_p 는 감소하여 전류 이득의 증가를 가져 온다. 이를 수식으로 나타내면 식(1)과 같다.

$$\beta = \frac{J_c}{J_b} = \frac{J_c}{J_p + J_r} \approx \frac{J_c}{J_p} \quad (1)$$

(β : 전류 이득, J_b : 베이스 전류밀도, J_c : 콜렉터 전류밀도 J_p : 정공 전류밀도, J_r : 베이스재결합 전류밀도)

최근에는 에미터 내로의 정공 주입 감소에 대한 여러가지 모델이 제시되었는데 graff & groot는 다결정 실리콘과사이의 자연 산화막이 정공의 터널링 장벽으로 작용하게 되어 평균 재결합 속도 S_p 의 감소와 베이스 전류의 감소를 초래한다고 설명하였다.¹⁹⁾

또한 Ning & issac¹⁷⁾은 다결정 실리콘 내에서 소수 반송자인 정공의 이동도 감소에 의해 정공 전류가 감소된다고 하였으며, Neguroschel이 주장한 바에 따르면 비소 불순물의 "pile-up"에 의해 이러한 현상이 나타난다고 하였다.¹¹⁾

한편, PSA 트랜지스터의 구조 특성상 에미터와 베이스 영역은 측면 산화막으로 정의되는데, 이 space 폭 즉, 에미터와 비활성 베이스 간의 거리가 전기적

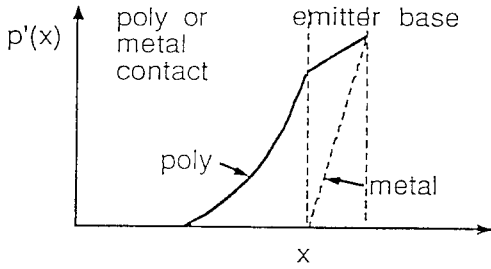


그림 1. 금속 및 다결정실리콘 에미터의 정공농도 분포도

Fig. 1. Hole profiles for emitters contacted by metal and polysilicon.

특성에 중요한 변수로 작용하게 된다. space 폭이 작아지게 되면 비활성 베이스가 에미터 아래로 침범함에 따라 콜렉터 전류가 감소하게 된다. 베이스 전류 증가 요인으로 첫째, 베이스의 에미터 영역 침범으로 주변 베이스 전류에 영향을 주는 에미터 Gummel 수의 감소로 인한 요인과 둘째로, 에미터에서 비활성 베이스로 주입되는 전자 전류의 증가 등을 들 수 있다. 따라서 전류 이득 증가 등 전기적 특성 개선을 위하여는 space 폭을 적당히 조절하는 것이 요구되며 공정상에서는 일반적으로 약 $0.3\sim 0.45\mu\text{m}$ 간격을 두고 있다.

III. PSA 소자 설계 및 제작

1. PSA 소자 설계

PSA 공정기술을 토대로 하여 설계된 NPN트랜지스터 구조는 그림2와 같이 butted 에미터 형태와 두개의 베이스 접점을 갖고 있으며, 에미터 면적은 $1.5 \times 6\mu\text{m}^2$ 로 설계하였다. 산화막격리기술은 칩 집적도의 증가 및 콜렉터-기판간의 접합용량을 줄이기 위해 trench 공정을 채택하였으며 이 면적을 포함한 소자 전체의 크기는 $12 \times 15\mu\text{m}^2$ 이다. 이는 SWAMI공정을 사용하였을 경우의 크기 $14 \times 27\mu\text{m}^2$ 보다 약 2.1배 정도의 면적 감소 효과를 가진다.

한편 제작된 소자의 속도특성을 알아보기 위하여 $AE = 1.5 \times 6\mu\text{m}^2$ 인 31단 NTL 링 발진기를 설계하였다. NTL 기본 게이트가 차지하는 면적은 $14.5 \times 35\mu\text{m}^2$ 이며 콜렉터 저항과 에미터 저항의 비는 2:1로 만들었다. 그림 3은 NTL 링발진기의 기본 게이트를 나타내고 있다.

2. PSA 소자의 제작

본 연구에서는 자기정렬된 다결정 실리콘의 PSA

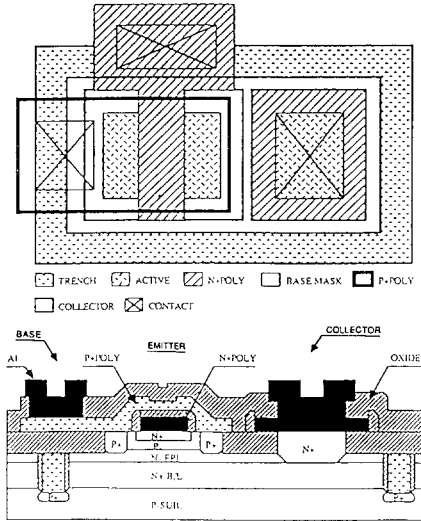


그림 2. PSA 트랜지스터의 평면도 및 단면도
Fig. 2. Top view and cross section of PSA transistor.

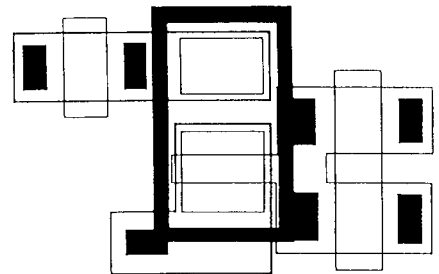


그림 3. 31단 NTL 링 발진기의 기본 게이트
Fig. 3. Basic gate of 31 stage NTL ring oscillator.

바이폴라 구조에 고성능 소자특성을 구현하기 위하여 얇은 에피층 성장기술, 이온주입에 의한 얇은 접합깊이 형성기술과 특히 에미터 저항 감소와 고속 스위칭 특성을 위하여 고속 열처리공정 및 trench 격리기술을 사용하여 소자를 제작하였다. 제작공정에 기본이 되는 기판 재료는 P형의 $16\sim 18\Omega\text{-cm}$ 의 비저항을 가지는 (100) 웨이퍼이며 각 공정단계를 요약하면 다음과 같다.

먼저 매몰층은 비소(As)를 이온주입한 후 고온에서 두 단계로 열처리하여 면저항이 $20\sim 30\Omega/\text{sq}$, 접합깊이가 $2.0 \pm 0.2\mu\text{m}$ 인 N^+ 매몰층을 만들었고 그 위에 인(phos)이 도핑된 $0.2\sim 0.3\Omega\text{-cm}$ 의 N형 에피층을 $1.5\mu\text{m}$ 성장시킨다.(그림4(a))

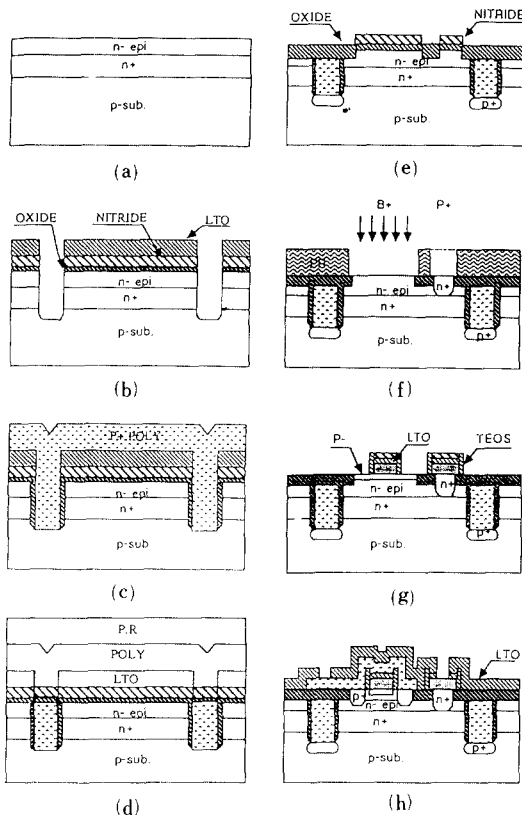


그림 4. PSA 트랜지스터의 공정 단계

Fig. 4. The process steps for fabrication of PSA transistor.

소자간의 격리를 위한 trench 식각 공정은 마스크 층으로서 산화막 및 질화막을 사용하였으며 두단계로 공정이 이루어진다. 먼저 10KÅ의 증착산화막과 1.2KÅ의 질화막, 0.5KÅ의 산화막으로 구성된 마스크 층을 반응성 이온식각(R.I.E)에 의해 이방성식각을 하고 감광막 세기후에 실리콘 식각을 수행한다. 이때의 trench의 폭/깊이는 비는 1.5μm/4.5μm이다. 다음으로 약 0.5KÅ 정도의 건식산화막을 형성시킨 후 습식식각하고 접연을 위한 산화막을 1.5KÅ 재성장시켰다. 기판점지와의 연결을 위해 trench 바닥을 반응성 이온식각하고 약 5KÅ의 다결정 실리콘을 도포한 후 925°C에서 붕소(boron)를 도핑시켜준다. 다시 9KÅ의 다결정실리콘을 도포하여 trench 부분을 채운 다음 925°C에서 60분간 열처리한다. 평탄화작업을 위하여 약 1.5μm 감광막을 도포한 후 감광막 및 다결정 실리콘을 동시에 건식식각해낸다. (그림 4(b) (c) (d))

소자의 활성영역은 질화막/산화막/실리콘을 각각 1.2KÅ/0.5KÅ/3KÅ정도 이온식각 함으로써 이루어

지며 field 산화막은 925°C에서 약 6.5KÅ 두께로 성장시킨다. (그림 4(e)) 콜렉터와 베이스 영역은 모두 감광막을 마스크층으로 사용하여 인과 붕소를 각각 2E15atoms/cm², 100KeV와 7E13atoms/cm², 30KeV로 이온주입하여 형성시킨다. (그림 4(f)) 한편 에미터를 정의하고 자기정렬(self-align) 구조를 만들기 위해 다음과 같은 공정이 이루어진다.

3.3KÅ의 다결정실리콘을 도포한 후 비소를 2E16 atoms/cm², 120KeV의 조건으로 이온주입한 후 산화막과 질화막을 3KÅ, 1.2KÅ으로 도포한다. 이온식각 방법을 사용하여 에미터영역을 정의하며 측면산화막 형성을 위하여 TEOS(tetraethoxy silane) 방법으로 3KÅ을 도포시킨다. 다음으로 습식산화에 의한 약 0.6KÅ의 산화막을 성장시킨후에 이온식각해내어 베이스전극과 에미터 전극간에 약 0.4μm의 간격을 유지시킨다. (그림 4(g)) 베이스전극 및 비활성 베이스 영역을 형성시키기 위하여 증착된 3.3KÅ의 다결정실리콘위에 붕소를 920°C에서 60분간 도핑 및 확산 과정을 행한다. LTO 산화막을 증착한 후에는 접합깊이를 조절하기 위하여 920°C에서 120분간 최종 열처리 과정을 행한다. 아울러 다결정 실리콘의 재결정화 및 다결정실리콘과 실리콘사이의 자연 산화막과피를 위하여 급속열처리공정을 수행한다. 접촉부위의 개구는 두 단계공정으로 반응성 이온식각에 의한 방법과 6:1 BHF 화학용액에 의한 습식식각을 병행하여 수행하였다. (그림 4(h)) 공정의 최종 단계로써 1.0μm의 Al-1% Si를 스퍼터링하여 사진식각작업후에 합금 열처리하였다.

IV. 측정결과 및 검토

1. 공정변수 추출

1.5μm의 설계를 갖는 PSA 제작공정에서의 주요 공정변수들을 공정제어용 웨이퍼와 공정제어용 캐턴 등을 통하여 추출하였다. 대표적인 공정변수인 에피층의 두께와 비저항은 각각 1.5μm와 0.2~0.24Ω-cm으로 나타났으며, 이때 에피층의 단위체적당 불순물농도는 2E16atoms/cm³이다. NPN트랜지스터의 활성영역의 농도분포를 측정하기 위하여 그림 5와 같이 SIMS(secondary ion mass spectroscopy)분석을 수행하였으며 측정결과로부터 에미터 접합깊이는약0.12μm 베이스폭은 약 0.2μm이었다. 에미터 전극인 다결정실리콘내에서의 단위체적당 비소농도는 4E20atoms/cm³의 균일한 분포를 하였으며, 실리콘에서의 단위체적당 에미터표면농도는 1E20atoms/cm³, 베이스접합의 단위 체적당 최대 붕소 농도는 약 8E17atoms/cm³

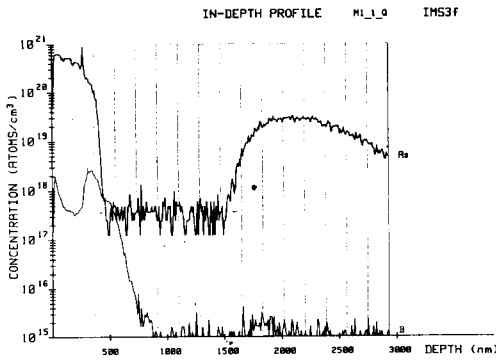


그림 5. SIMS 분석에 의한 활성영역의 농도 분포
 Fig. 5. Concentration profile for active region by SIMS analysis.

을 보여주고 있다. 또한 매물층의 단위면적당 비소의 최대농도는 약 $3E19atoms/cm^3$ 로 나타났다.

이밖에 추출된 주요 공정변수들로서는 trench깊이가 약 $4.5\mu m$, 비활성 베이스 영역의 접합 깊이와 단위체적당 불순물 최대농도는 각각 $0.45\mu m$, $4E19atom/cm^3$ 등으로 측정되었으며, N^+ 다결정실리콘의 접촉면 저항은 약 $1.2\Omega/sq$, P^+ 다결정실리콘의 접촉면 저항은 약 $3.9\Omega/sq$ 으로 나타났다. 그림 6은 trench refill 공정 및 etch-back후의 SEM 사진이며, 그림 7-a, b는 켈빈(kelvin) 패턴에 의하여 측정된 N^+/P^+ 다결정실리콘 접촉면저항들을 나타내고 있다.

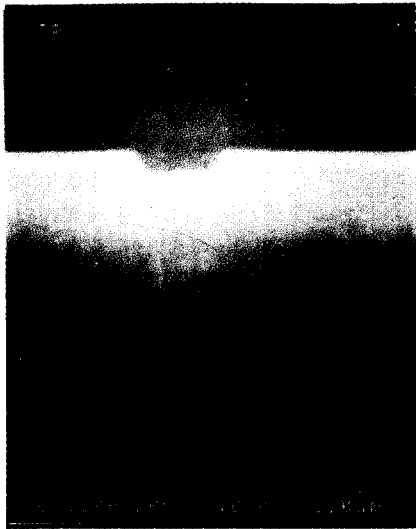
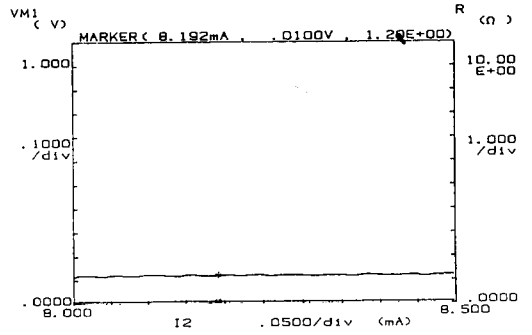
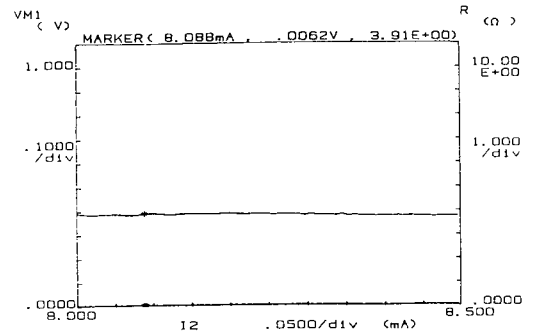


그림 6. Trench Etch-Back 공정후의 SEM 사진
 Fig. 6. SEM photograph after trench etch-back process.



(a) N^+ Polysilicon



(b) P^+ Polysilicon

그림 7. N^+/P^+ 다결정실리콘의 접촉면저항 ($3\times 3\mu m$)

Fig. 7. Characteristics of contact resistance for

한편 에미터저항 값의 주요 변수중의 하나인 N^+ 다결정실리콘($3.3K\text{\AA}$)의 면 저항 값이 그림 8에서 보는 바와같이 $67\Omega/sq$ 로 나타나 급속 열처리(RTA)공정에 의한 다결정실리콘의 재결정 효과가 큰 것으로 나타났다. 실제로 RTA공정을 사용하지 않았을 경우 약 $122\Omega/sq$ 정도의 매우 큰 값을 보여준다. (그림 9)

2. 전기적 특성

$1.5\times 6\mu m^2$ 의 에미터 면적을 갖는 npn 트랜지스터의 전류이득을 측정한 결과, $V_{ce}=3V$ 에서 약 117 정도로 안정되게 나타났으며, Early 전압은 약 28V이다. (그림 10) 동일한 공정조건과 에미터 면적을 가지되 급속 열처리 공정을 거치지 않은 트랜지스터의 전류이득 값은 $V_{ce}=1V$ 에서 약 211이며, 이때의 Early 전압은 약 13V이다. (그림 11) 이러한 전류이득(β) 값의 증가는 다결정실리콘과 다결정실리콘 계면에서의 자연산화막에 의한 정공억제효과에 기인한 것으로 사료되며, 낮은 파괴전압 및 누설전류를 야기시켜 집적

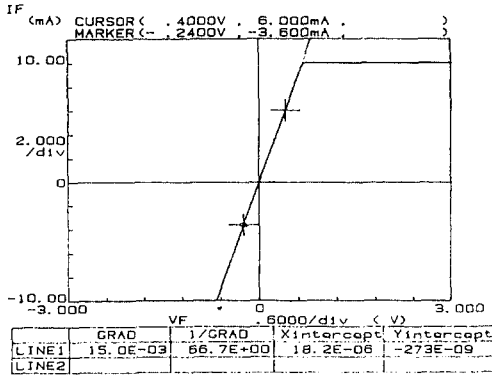


그림 8. RTA 공정을 적용한 N⁺ 다결정실리콘의 면저항 특성

Fig. 8. Sheet resistance of N⁺ polysilicon using PTA process.

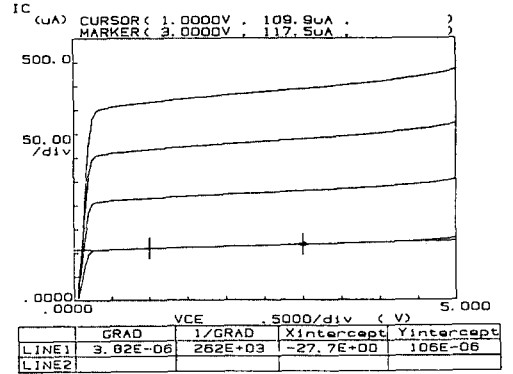


그림 10. RTA 공정을 적용한 npn 트랜지스터의 I - V 특성

Fig. 10. I - V Characteristics of npn transistor using RTA process.

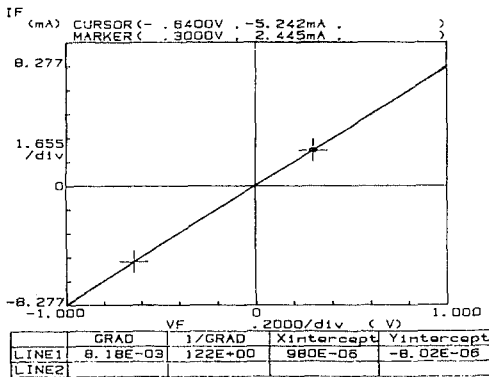


그림 9. RTA 공정을 적용하지 않은 N⁺ 다결정실리콘의 면저항 특성

Fig. 9. Sheet resistance of N⁺ polysilicon without RTA process.

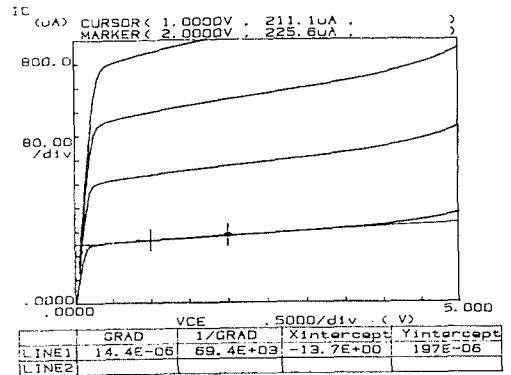


그림 11. RTA 공정을 적용하지 않은 npn 트랜지스터의 I - V 특성

Fig. 11. I - V characteristics of npn transistor without RTA process.

회로를 구성하는 데 있어서 문제가 될 수 있다. 따라서 RTA 공정들을 사용하여 자연산화막을 파괴하는 기법이 필수적으로 요구된다 하겠다.

한편 에미터 저항은 동일한 에미터 면적(AE=1.5 × 6μm²)에 대하여 RTA공정을 사용한 경우와 사용하지 않은 경우 각각 63Ω, 130Ω으로 나타나 RTA공정의 다결정실리콘 재결정효과와 자연산화막의 파괴현상을 전기적으로 살펴볼 수 있었다. (그림 12, 13) 따라서 에미터 영역을 먼저 정의하는 본 PSA 구조에서는 베이스 영역을 먼저 정의하는 PSA 구조보다 상

대적으로 큰 에미터 저항값을 가지게 되나 이러한 RTA 공정을 사용함으로써 R_e 값을 상당히 감소시킬 수 있게된다.

포화전류(I_s) 값은 V_{bc}가 0V에서 Gummel plot 으로부터 얻을 수 있으며, 그림 14에 나타난 바와같이 NF가 약 1.002일때 1.35E-17A의 값을 갖는다. 또한 V_{be} 변화에 따른 I_b, I_c, H_{FE} 값을 살펴 볼 수 있으며, 에미터 저항을 좀더 줄일경우, 보다 많은 콜렉터 전류를 구동할 수 있을 것이다.

그림 15는 H_{FE}-I_c곡선으로서 매우 양호한 전기적

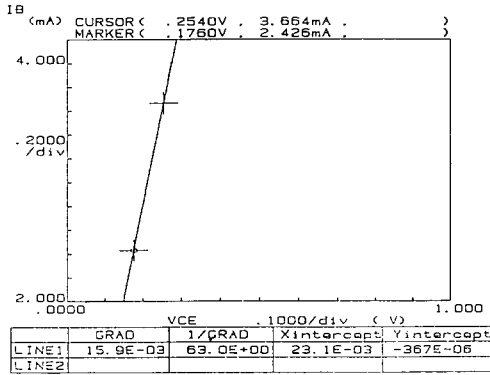


그림12. 에미터 저항 특성(RTA 공정 적용)
Fig. 12. Characteristics of emitter resistance. (using RTA process)

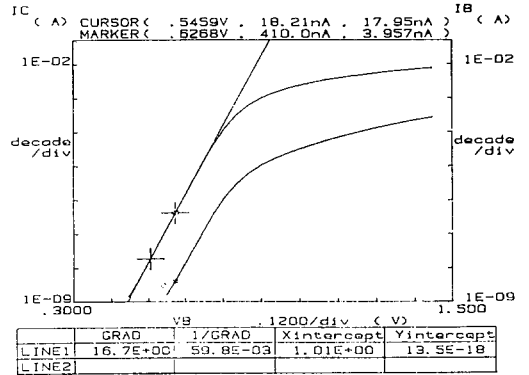


그림14. V_{be} 변화에 따른 I_c, I_b 특성 ($V_{bc} : 0V$)
Fig. 14. Characteristics of I_c and I_b v. s. V_{be} . ($V_{bc} : 0V$)

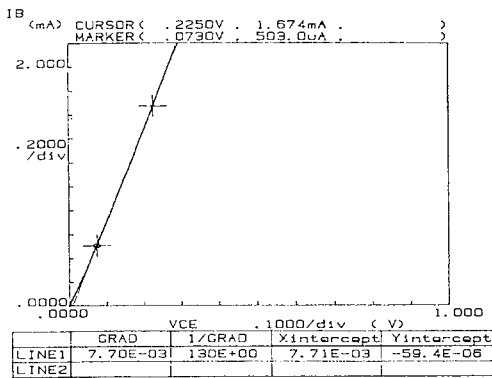


그림13. 에미터 저항 특성(RTA 공정제외)
Fig. 13. Characteristics of emitter resistans. (with out RTA process)

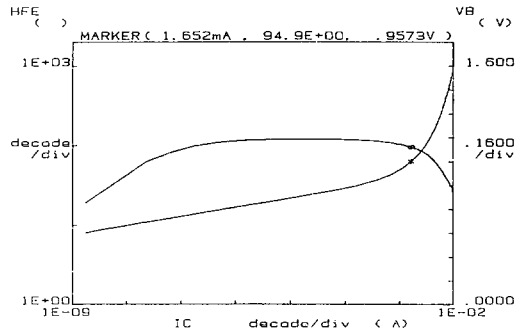


그림15. 콜렉터 전류 변화에 따른 전류이득 특성 ($V_{cc} : 3V$)
Fig. 15. Variation of Current gain with collector current.

특성을 나타내고 있으며, 콜렉터-베이스 접합근처에 n^+ 영역을 형성시키는 구조를 사용할 경우 kirk 효과 개선에 의한 보다 많은 콜렉터 전류를 구동할 수 있을 것으로 사료된다.

콜렉터 저항은 그림 16과 같은 방법으로 측정하여 얻어진 V_{ce}, I_c, I_b 로부터 $\Delta V = (I_{c2} - I_{c1}) R_c + I_{c2} + (I_{c2} + I_{b2} - I_{c1} - I_{b1}) R_e$ 의 식에 대입하여 얻었으며 약 120Ω 으로 나타났다.

콜렉터-기판사이의 접합용량은 TECAP software를 사용하여 측정하였으며 약 28fF의 낮은 값을 나타내었다. 이는 trench 격리방법에 의한 에피층과 기판간의 불필요한 접합용량 감소효과때문이라 사료된다

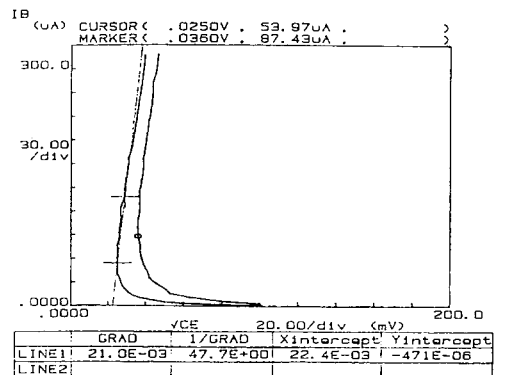


그림16. 콜렉터 저항 특성
Fig. 16. Characteristics of collector Resistance.

다. 그림 17은 바이어스 전압에 따른 기생용량이 포함된 총 접합용량(Cjs)을 나타내고 있다.

아울러 A·C특성을 관찰하기 위하여 1.5×6μm²의 에미터면적을 가지는 31단 NTL 링 발진기를 제작, 측정된 결과 게이트당 0.7mW에서 최소 전달지연시간이 121ps의 매우 빠른 속도특성을 얻을 수 있었다. 그림 17은 전력소모에 따른 속도특성을 보여주고 있다.

V. 결 론

본 논문에서는 1.5×6μm² 에미터 면적을 갖는 PSA 구조의 바이폴라 소자를 설계 제작하였으며 보다 양호한 소자특성을 얻기 위하여 공정 측면에서 급속 열처리 기술, trench 산화막 격리 기술등을 사용하였다.

제작된 npn 트랜지스터의 주요 전기적 특성은 전류이득 117, early 전압 28V, 포화전류 1.35E-17A, BV_{ceo} 10V, 콜렉터 저항 120Ω 정도로 나타났다. 특히 PSA 소자를 이용한 IC 설계에 있어 중요한 변수중의 하나인 에미터 저항 값(R_e)은 약 63Ω으로 측정되었으며 이는 RTA 공정에 의한 다결정실리콘의 새결정화 및 다결정실리콘과 실리콘사이의 자연산화막 파괴효과 때문이라 사료되며 RTA 공정을 거치지 않은 소자의 R_e 값은 약 130Ω 정도로 크게 나타났다. 한편 콜렉터-기판 접합용량은 약 28fF로서 매우 낮은 값을 나타내었으며 이는 trench 공정을 사용하여 에피층과 기판과의 불필요한 용량성분을 없앴기 때문이다. 아울러 속도특성을 관찰하고자 31단 NTL 링 발진기를 설계제작하여 약 0.7mW에서 121ps의 최소 지연전달시간을 얻을 수 있었다.

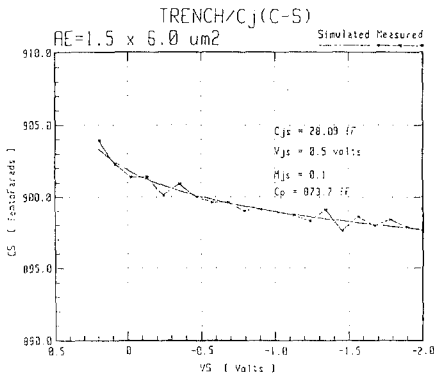


그림 17. 바이어스 변화에 따른 콜렉터-기판간의 총 접합용량

Fig. 17. Collector-substrate total junction capacitance v. s. Bias condition.

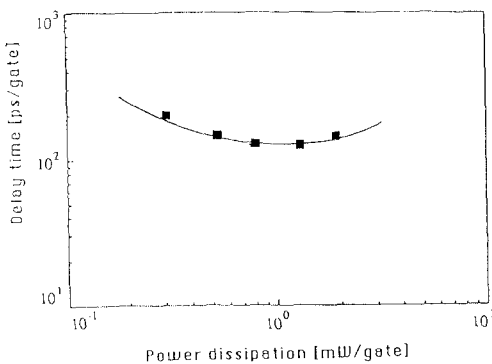


그림 18. 게이트당 전력소모에 따른 전달지연시간 특성
Fig. 18. Propagation delay Time v. s. power dissipation per gate.

参 考 文 献

- [1] T. Tashiro et al., "An 80 ps ECL circuits with high current density transistor," *Tech. Digest, IEDM*, pp. 686-689, 1984.
- [2] F.H. Ichine et al. "Si bipolar multi-Gbit/s logic family using super self aligned process technology," *Digest of 16th International Conference on Solid State Devices and Materials*, pp. 217-220, 1984.
- [3] D.D. Tang et al., "73 ps bipolar ECL circuits," *Digest Tech. Papers, ISSCC* pp. 104-105, 1986.
- [4] K. Ueno et al., "A Sub-40 ps ECL circuit at a Switching Current of 1.28 mA," *IEEE IEDM Technical Digest*, pp. 371-374, 1987.
- [5] Kazuya Kikuchi et al., "A high-speed bipolar process using Self-Aligned double diffusion polysilicon technology," *IEEE* pp. 420-423, 1986.
- [6] Y. Nittsu et al., "Comparison between poly emitter bipolar characteristics with and without native oxide layers under various processes," *Proceedings of the 1989 bipolar circuits and technology meeting*, Sept. 18-19, pp. 98-101, 1988.
- [7] T.H. Ning and R.D. Issac, "Effect of emitter contact on current gain of silicon bipolar device," *IEEE Trans. ED*. vol. ED-26, pp. 2051-2055, 1980.
- [8] T. Takemoto, et al., "Advanced VIST device technology," *IEEE IEDM* 83. pp. 51-54, 1982.

- [9] P.C. Hunt and M.P. Cooke, "Process HE: A highly advanced Trench Isolated bipolar technology for analogue and digital applications," *Technical Digest of 1988 CICC*, pp. 22.2.1, 1988.
- [10] H.C de Graaff et al., "The SIS tunnel emitter: A theory for emitters with thin interface layers," *IEEE Trans. ED*. vol. ED-26, pp. 1711, No.v 1979.
- [11] A. Neugroschel, et al., "Experimental study of the minority-carrier transport of the polysilicon-monosilicon interface," *IEEE Trans. ED*. vol. ED-32, pp. 817-825, April. 1985.

 著 者 紹 介

具 用 書 (正會員) 第24卷 第5號 參照
 현재 한국전자통신연구소 선
 임연구원

安 哲 (正會員) 第28卷 A編 第4號 參照
 현재 서강대학교 전자공학과
 교수

●

姜 相 元 (正會員) 第23卷 第6號 參照
 현재 한국전자통신연구소 연
 구위원