

論文 91-28A-9-11

재산화된 질화 산화막을 게이트 절연막으로 사용한 MOSFET의 특성

(The Characteristics of MOSFET with Reoxidized Nitrided Oxide Gate Dielectrics)

梁 光 善*, 朴 訓 洙*, 金 鳳 烈*

(Kwang Sun Yang, Hoon Soo Park, and Bong Ryul Kim)

要 約

급속 열처리 방법 (rapid thermal processing: RTP)으로 실리콘 산화막(thermally oxide: SiO_2)을 질화 및 재산화시켜 성장시킨 질화 산화막 (nitrided oxide: NO)과 재산화된 질화 산화막 (reoxidized nitrided oxide: ONO)을 게이트 절연막으로 사용하여 n^+ 형 다결정 실리콘 게이트 NMOSFET와 p^+ 형 다결정 실리콘 게이트 PMOSFET를 제작하여 전기적 특성 및 신뢰성을 분석하였다. SiO_2 NMOSFET에 비해서 ONO NMOSFET의 전류 구동 능력이 크고, 더 높은 드레인 전압에서 snap-back이 일어났다. 기판 전류가 최대가 되는 게이트 전압과 드레인 전압으로 DC bias 스트레스를 가한 후 문턱전압 및 전달 콘덕턴스의 변화량을 조사하여, ONO NMOSFET가 hot-carrier에 대한 저항력이 우수함을 알 수 있었다. SiO_2 PMOSFET의 경우에는 boron 침투가 심각하여 문턱 전압이 양의 값을 갖는 depletion type (normally-on type)이 되었다. 그러나 NO, ONO PMOSFET는 질화 산화막이 boron 침투에 대한 장벽 역할을 하여 문턱 전압이 음의 값을 갖게 되었다.

Abstract

N^+ poly gate NMOSFETs and p^+ poly gate (surface type) PMOSFETs with three different gate oxides (SiO_2 , NO, and ONO) were fabricated. The rapid thermal nitridation and reoxidation techniques have been applied to gate oxide formation. The current drivability of the ONO NMOSFET shows larger values than that of the SiO_2 NMOSFET. The snap-back occurs at a lower drain voltage for SiO_2 cases for ONO NMOSFET. Under the maximum substrate current bias conditions, hot-carrier effects inducing threshold voltage shift and transconductance degradation were investigated. The results indicate that ONO films exhibit less degradation in terms of threshold voltage shift. It was confirmed that the ONO samples achieve good improvement of hot-carrier immunity. In a SiO_2 SC-PMOSFET, with significant boron penetration, it becomes a depletion type (normally-on). But ONO films show excellent impurity barrier properties to boron penetration from the gate.

I. 서 론

*正會員, 延世大學校 電子工學科
(Dept. of Elec. Eng., Yonsei Univ.)
接受日字: 1991年 5月 18日

최근 반도체 공정 기술의 발달로 집적도가 ULSI 수준에 도달함에 따라 전기적 특성이 우수하고 신뢰

성이 높은 소자에 대한 요구가 증가하고 있다. 그러나, 소자의 크기가 작아짐에 따라서 성능은 증가 하지만 게이트 절연막에 고 전계가 인가되는 경우에 드레인 부근의 고 전계에 의한 hot carrier 효과, DIBL(drain induced barrier lowering)에 의한 off-state 누설 전류의 증가, punch through 전압의 감소 등과 같은 short channel 현상이 발생하여 소자를 scaling 하는데 가장 큰 제한 요소들이 되고 있다. 실제로 게이트 절연막의 전기적 특성을 유지하면서 두께를 얇게 하는 것은 거의 물리적 한계에 도달하여 기존의 실리콘 산화막 (thermally oxide: Si_2O_2)을 대체할 새로운 유전체 개발이 요구되고 있다. 실리콘 산화막을 질화시킨 질화 산화막 (nitrided oxide: NO)은 유전 상수값이 크고, 절연 파괴 전압이 높으며 고 전계에서 계면전하 생성에 대한 저항력이 큰 장점을 갖고 있으나, 질화 과정에서 electron 트랩이 많이 발생한다는 단점을 갖고 있다. 최근에는 질화 산화막을 다시 재산화시켜 electron 트랩을 감소시킨 재산화된 질화 산화막 (reoxidized nitrided oxide: ONO)이 가장 실용성이 있는 것으로 주목되고 있다.¹⁻³ 한편, 현재의 n^+ 다결정 실리콘 게이트 CMOS의 매몰 채널 (buried-channel) PMOSFET (BC-PMOSFET)는 소자의 크기가 submicrometer 이하로 축소됨에 따라 short channel 현상이 심각하게 일어나기 때문에 p^+ 다결정 실리콘을 전극으로 사용하여 표면 채널 (surface-channel) PMOSFET (SC-PMOSFET)로 대체하려는 연구가 활발히 진행되고 있다.⁴⁻⁷ 본 연구에서는 ONO 박막을 MOSFET의 게이트 절연막으로 사용하여 전기적 특성을 분석하고, 표면 채널 PMOSFET 제작시 가장 큰 문제가 되는 boron의 침투를 막기 위해서 불순물에 대한 저항력이 우수한 ONO 박막을 게이트 절연막으로 사용하여 그 문제점을 해결하고자 한다.

II. 소자 제작 및 측정

비 저항이 $8-10 \Omega\text{-cm}$ 인 P(100)형 웨이퍼를 사용하여 P-Well과 N-Well을 형성한 후, 소자 분리를 하기 위해서 LOCOS 공정을 하였다. 문턱 전압을 조절하기 위해서 NMOSFET에는 boron을 PMOSFET는 phosphorus를 이온 주입하였다. 초기 산화막은 furnace를 이용하여 약 100\AA 성장시킨 후 급속 열처리 장치 (rapid thermal processing: RTP)를 이용하여 950°C 에서 40초 동안 암모니아(NH_3) 분위기에서 질화를 행하였다. 이어서 다시 RTP를 이용하여 dry O_2 분위기에서 1000°C , 20초 동안 재산화하여 재산화된 질화 산화막 (reoxidized nitrided oxide:

ONO)을 성장하였다. 그리고 LPCVD 방법으로 약 4000\AA 의 다결정 실리콘을 증착한 후 NMOFSET의 경우에는 POCl_3 doping을 하여 n^+ poly 게이트를 형성하였고, 표면 채널 PMOSFET의 경우에는 boron을 $5.0 \times 10^{15} \text{cm}^{-2}$ 에너지 40KeV 로 이온 주입하여 p^+ poly 게이트를 형성하였다. poly 게이트에 도핑된 boron의 out-diffusion을 막기 위하여 LTO(low temperature oxidation)를 약 400\AA 증착한 후에 열처리를 하였다. 소오스 및 드레인 형성은 드레인 근처에서 야기되는 고 전장 효과를 감소시키기 위하여 LDD 구조로 하였다. 그리고 900°C 에서 30분 동안 N_2 분위기에서 소오스/드레인 어닐링을 행하였다. LTO와 BPSG를 증착하고 난 후에 전극을 형성하였다. 표1은 공정 조건에 따른 시료 구분 부분을 나타낸 것이다. 본 연구에서 제작된 소자의 크기는 마스크(mask) 상의 채널 길이가 0.7, 0.8, 1.0, 1.2, 1.4, 3, $15\mu\text{m}$ 이고 채널 폭은 $15\mu\text{m}$ 이다. 제작한 소자의 문턱 전압, 전달 콘덕턴스, subthreshold slope, 기관 전류 및 게이트 전류 특성과 hot-carrier에 의한 소자의 성능 저하 정도를 HP 4145B parameter analyzer를 이용하여 측정하였다.

표 1. 공정 조건에 따른 시료 구분

Table 1. Sample splits depending on process conditions.

Tr. Type	Gate Process	Gate Type	Furnace Oxidation	Nitridation (RTP; in NH_3)		Reoxidation (RTP; in O_2)	
				Temp ($^\circ\text{C}$)	Time (sec)	Temp ($^\circ\text{C}$)	Time (sec)
NMOS	POCl_3 Doping	SiO_2	100\AA				
		NO		950	40		
		ONO		950	40	1000	20
SC-PMOS	Boron Implant 5×10^{15} 40KeV	SiO_2					
		NO		950	40		
		ONO		950	40	1000	20

III. 실험 결과 및 고찰

1. NMOSFET의 전기적 특성

SiO_2 , NO 및 ONO 박막을 NMOSFET의 게이트 절연막으로 이용한 각 소자의 short channel 현상을 비교하기 위하여 채널 길이에 따른 문턱 전압의 변화를 그림1에 나타내었다. 문턱 전압의 측정은 고정 전류 (fixed current) 방법을 이용하여 ($I_{ds} = 0.2\mu\text{A} \times W_m/L_m$ 값을 갖는 게이트 전압) 측정하였다. SiO_2 게이트 절연막을 갖는 소자에 비해서 NO, ONO를 이용한 NMOSFET의 문턱 전압이 약 0.15V 감소한 것은 질화를 시키는 과정에서 positive 고정 전하 밀

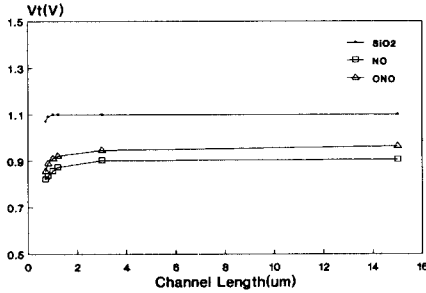


그림 1. 채널 길이에 따른 NMOSFET의 문턱 전압
Fig. 1. Threshold voltage of NMOSFET dependence on the channel length.

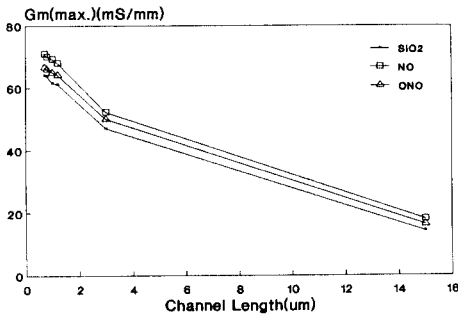


그림 2. 채널 길이에 따른 NMOSFET의 전달 콘덕턴스
Fig. 2. Transconductance of NMOSFET dependence on the channel length.

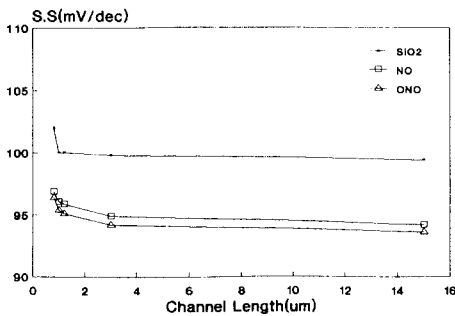


그림 3. 채널 길이에 따른 NMOSFET의 Subthreshold slope
Fig. 3. Subthreshold slope of NMOSFET dependence on the channel length.

도 (fixed charge density)가 증가하였기 때문인 것으로 생각된다.⁶⁾그림2는 채널 길이에 따른 전달 콘덕턴스 특성을 비교한 것이다. 채널 폭과 길이가 15/0.8 μ m인 소자에 대해서 $V_{ds}=3.0V$ 에서 측정된 최대 전달 콘덕턴스는 SiO₂ 절연막을 이용한 경우에 64mS/mm이고 NO 및 ONO의 경우에는 각각 71mS/mm, 60mS/mm이었다. 그림3은 채널 길이에 따른 subthreshold slope (S.S.)을 측정된 결과이다. 채널 길이가 작아짐에 따라서 surface punch through에 의한 누설 전류가 증가하여 소자의 turn-off 특성이 나빠짐을 알 수 있다. 그림4는 게이트 전압에 대한 기관 전류 특성 변화를 나타낸 것으로 드레인 전압의 증가에 따라 기관 전류는 증가하며, 이때 최대 기관 전류의 위치는 게이트 전압이 증가하는 방향으로 이동됨을 알 수 있다. 이는 게이트와 드레인 전압의 증가에 따라 hot carrier에 의한 충격 이온화 현상이 증가함을 의미한다. 그림5는 SiO₂와 ONO NMOSFET의 전류-전압 특성을 비교한 것이다. 게이트 전압이 높은 영역에서 SiO₂에 비하여 ONO NMOSFET의 전류 구동능력이 더 큰것을 알 수 있다. 또한 SiO₂ NMOSFET의 경우에는 더 낮은 드레인 전압에서 snap-back이 일어나고 있다. 이것은 그림6에서 알 수 있듯이 ONO NMOSFET의 경우가 충격 이온화가 작게 일어나 기관 전류가 적게 흐르기 때문인 것으로 생각된다. 그림6은 기관 전류 특성을 비교한 것으로 채널 폭과 길이는 15/15 μ m이고 $V_D=6V$ 를 인가하였다. NO 및 ONO의 경우에 기관 전류가 더 적게 흐르는 이유는, Coulomb scattering으로 인한 평균 자유 행정(mean free path)의 감소로 여겨진다. 그림7은 $V_{well}=-10V$ 를 인가하여 substrate hot electron을 주입한 경우에 게이트 전류의 특성을 비교

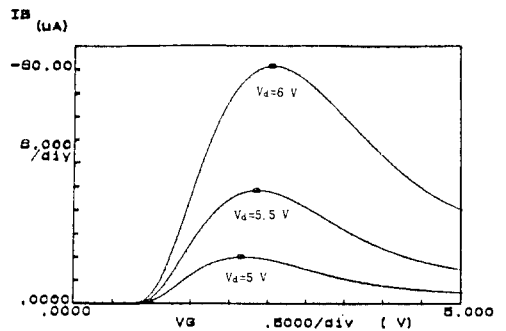


그림 4. 게이트 전압에 대한 ONO NMOSFET의 기관 전류 (W/L=15/0.8 μ m)
Fig. 4. Substrate current of ONO NMOSFET as a function of gate voltage.

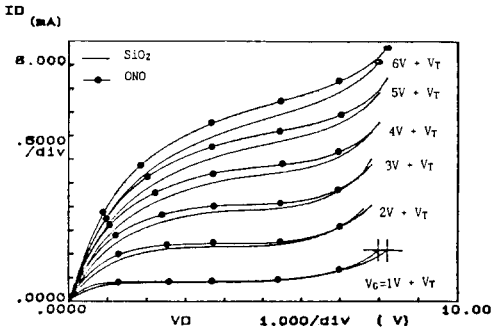


그림 5. SiO₂, ONO NMOSFET의 전류-전압 특성 비교 (W/L=15/1.0μm)

Fig. 5. Comparison of I-V characteristics for SiO₂ and ONO NMOSFET.

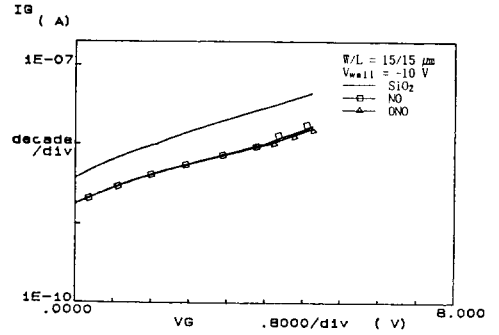


그림 7. Substrate hot electron을 주입한 경우 NMOSFET의 게이트 전류

Fig. 7. Substrate hot electron injected gate current for NMOSFET.

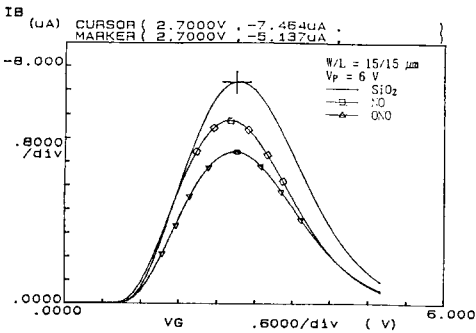


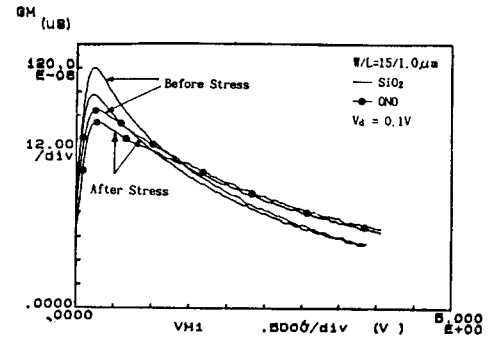
그림 6. NMOSFET의 기판 전류 특성 비교

Fig. 6. Comparison of substrate current for NMOSFET.

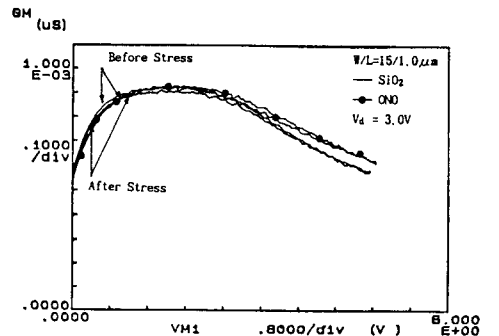
한 것이다. NO 및 ONO의 절연막을 이용한 경우가 SiO₂에 비해서 hole 게이트 전류가 적게 흐름을 알 수 있다. 이 현상은 NO 및 ONO 박막의 전하 트랩핑 효과와 함께, SiO₂와 비교해서 포텐셜 장벽 높이의 차이가 있기 때문인 것으로 생각된다.

2. NMOSFET의 hot-carrier 특성

DC bias 스트레스는 기판 전류가 최대가 되는 게이트 전압과 드레인 전압으로 가했으며, 스트레스를 가한 후 소오스와 드레인을 바꾸어서 문턱 전압 및 전달 콘덕턴스의 변화량을 측정하였다. 이는 스트레스 중 소오스와 드레인간의 높은 전장으로 인한 hot carrier가 거의 드레인 가장자리 부근에서 발생하여 드레인 부근의 게이트 절연막에 계면 트랩 또는 electron 트랩이 형성되기 때문에, 이러한 전하가 소자



(a)



(b)

그림 8. 스트레스 후에 게이트 구동력에 대한 전달 콘덕턴스의 변화 (스트레스 조건 : I_{sub}=90μA, 3,000초, W/L=15/1.0μm)

(a) 선형 영역 (V_d=0.1V)
(b) 포화영역 (V_d=3.0V)
Fig. 8. Transconductance as a function of gate drive after stress. (Stress condition : I_{sub}=90μA, 3,000sec, W/L=15/1.0μm)
(a) Linear region, (b) Saturation region.

특성에 미치는 영향을 측정할 때는 스트레스시 드레인으로 사용한 단자를 측정시는 소오스로 사용하여야 스트레스로 인한 영향을 쉽게 측정할 수 있다. 그림8은 채널 폭/길이가, 15/1.0 μm 인 SiO₂ 및 ONO NMOSFET에 대해서, 3,000초 스트레스를 가한후에, hot-carrier로 인한 전달 콘덕턴스의 성능 저하가 주로 낮은 전계 영역에서 발생함을 보여준다. 선형 영역 ($V_d=0.1\text{V}$, 역방향)과 포화 영역 ($V_d=3\text{V}$)에서 SiO₂와 ONO 절연막을 사용한 경우의 전달 콘덕턴스의 변화를 나타낸 것이다. 여기서 V_{M1} 은 $V_G - V_T$ 로 정의한 값이다. SiO₂의 경우에는 초기에 낮은 전계 영역에서 전달 콘덕턴스값이 크게 나타났더라도 스트레스에 따라서 급격히 감소한다. 고 전계에서 ONO 박막이 스트레스에 따른 전달 콘덕턴스 특성이 더 우수하다는 것은, 특히 소자의 크기가 급격히 축소되면서 절연체의 두께가 매우 감소하므로 매우 중요한 의미를 갖게 된다.

그림9는 스트레스 시간에 따른 문턱 전압의 변화량을 측정된 것이고, 그림10은 $V_{ds}=0.1\text{V}$ 에서 측정된 스트레스 시간에 따른 최대 전달 콘덕턴스 변화를 나타낸 것이다. 스트레스 후 소자의 문턱 전압은 증가하였고, 전달 콘덕턴스는 감소하였다. ONO 박막을 게이트 절연막으로 사용한 경우가 V_T 및 G_m degradation이 가장 적게 나타나 hot-carrier에 대한 저항력이 우수함을 알 수 있다.

3. 표면 채널 PMOSFET의 전기적 특성

그림11은 표면채널 PMOSFET의 $I_D - V_G$ 특성을 나타낸 것이다. SiO₂ PMOSFET의 경우에는 boron 침투가 심각하여 문턱 전압이 positive가 되는 depletion type (normally-on type)이 되었다. NO 및 ONO

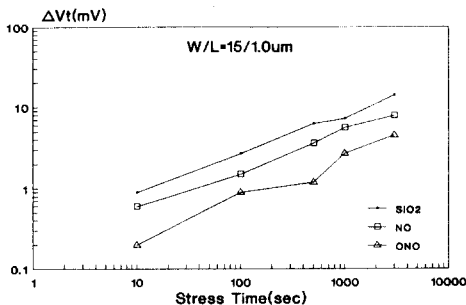


그림 9. 스트레스 시간에 따른 NMOSFET의 문턱 전압 변화량
Fig. 9. Stress time dependence of threshold voltage shifts for NMOSFET.

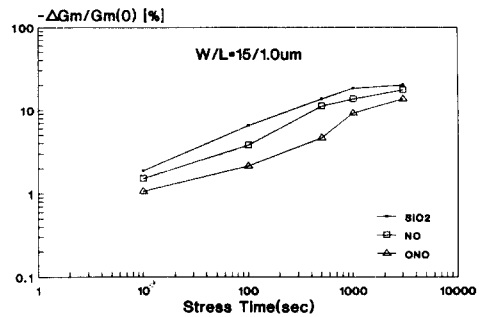


그림10. 스트레스 시간에 따른 NMOSFET의 전달 콘덕턴스 변화량
Fig. 10. Stress time dependence of transconductance shifts for NMOSFET.

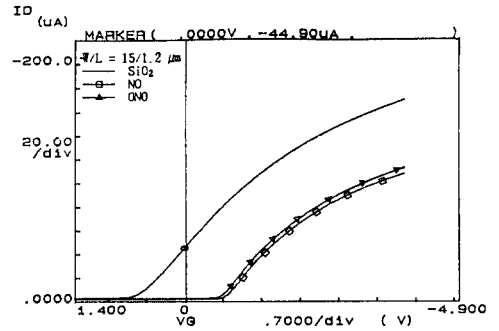


그림11. 표면 채널 PMOSFET의 $I_D - V_G$ 특성
Fig. 11. Characteristics of $I_D - V_G$ for SC-PMOSFET.

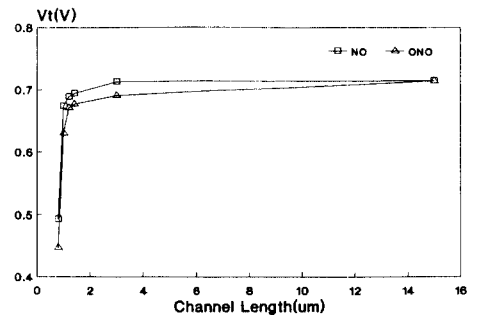


그림12. 채널 길이에 따른 표면 채널 PMOSFET의 문턱전압
Fig. 12. Threshold voltage of SC-PMOSFET dependence on the channel length.

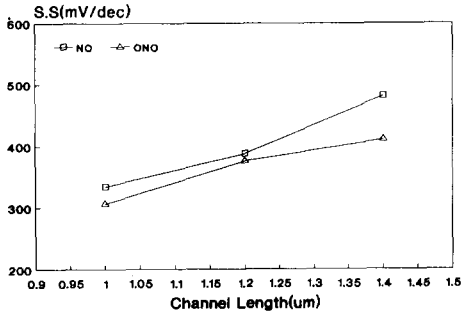


그림13. 채널 길이에 따른 표면 채널 PMOSFET의 Subthreshold slope

Fig. 13. Subthreshold slope of SC-PMOSFET dependence on the channel length.

의 경우에는 침투된 nitrogen이 boron 침투에 대한 장벽 역할을 하여 문턱 전압이 negative 값을 갖게 되었다. 이와 같은 결과로부터 표면 채널 PMOSFET를 형성하는 경우 boron이 게이트 산화층으로 침투되어 일어나는 문턱전압의 불안정과 소자의 불안정등의 문제점을 질화된 산화막을 게이트 절연막으로 사용함으로써 해결할 수 있음을 확인할 수 있었다. 그림12는 NO 및 ONO 박막을 게이트 절연막으로 사용한 표면 채널 PMOSFET의 채널 길이에 따른 문턱전압의 변화를 나타낸 것이다. 채널 길이가 $0.8\mu\text{m}$ 이하로 내려감에 따라 문턱전압의 감소가 크게 나타났다. Boron이 산화막으로 침투되었는가는 subthreshold slope (S. S.)을 측정함으로써 판단할 수 있다. Boron 침투 효과가 클수록 S. S. 값이 증가한다. 그림13은 NO 및 ONO 표면 채널 PMOSFET의 subthreshold slope 값을 채널 길이에 따라 나타낸 것이다.

IV. 결 론

SiO_2 박막을 furnace로 약 100\AA 성장시킨 후 급속 열처리 방법을 이용하여 질화 및 재산화시켜 NO 및 ONO 박막을 NMOSFET와 표면 채널 PMOSFET의 게이트 절연막으로 사용하여 전기적 특성을 분석한 결과 다음과 같은 결론을 얻었다. 첫째, SiO_2 에 비하여 NO 및 ONO를 사용한 NMOSFET의 문턱전압이 약 0.15V 감소하였고, 게이트 전압이 높은 영역에서 ONO NMOSFET의 전류 구동 능력이 더 큰 것을 알 수 있었다. 둘째, ONO NMOSFET가 SiO_2 NMOSFET에 비해서 더 높은 드레인 전압에서 snap-back이 일어난 것은, 기관 전류의 특성을 분석한 결

과, ONO의 경우가 충격 이온화가 작게 일어나 기관 전류가 적게 흐르기 때문인 것으로 분석된다. 셋째, NMOSFET의 hot-carrier 특성을 분석하여, 고 전계 하에서 ONO 박막을 게이트 절연막으로 사용한 경우가 스트레스에 따른 전달 콘덕턴스 특성이 더 우수하고, 문턱전압 및 전달 콘덕턴스 변화가 가장 적게 나타나 hot-carrier에 대한 저항력이 우수함을 알 수 있었다. 넷째, 표면 채널 PMOSFET의 특성을 분석하여 SiO_2 PMOSFET의 경우에는 boron 침투가 심각하여 depletion type이 되었으나 NO 및 ONO 절연막을 이용한 PMOSFET는 nitrogen이 boron 침투에 대한 장벽 역할을 하였음을 알 수 있었다. 따라서 SiO_2 박막을 급속 열처리 방법을 이용하여 재산화시킨 질화 산화막을 NMOSFET의 게이트 절연막으로 사용한 경우가 SiO_2 NMOSFET에 비해서 전류 구동 능력이 우수했고, 표면 채널 PMOSFET에서는 재산화된 질화 산화막이 boron 침투 효과에 대해서 우수한 장벽 역할을 하였음을 알 수 있었다.

參 考 文 獻

- [1] T. Ito, T. Nakamura, and H. Ishikawa, "Advantages of thermal nitride and nitro-oxide gate films on VLSI process," *IEEE Trans. on Electron Devices*, vol. ED-29, no. 2, pp. 498-502, 1982.
- [2] M.M. Moslehi and K.C. Saraswat, "Thermal nitridation of Si and SiO_2 for VLSI," *IEEE Trans. on Electron Devices*, vol. ED-32, no. 2, pp. 106-123, 1985.
- [3] T. Hori and K. Tsuji, "Electrical and physical properties of ultrathin reoxidized nitrided oxides prepared by rapid thermal processing," *IEEE Trans. on Electron Devices*, vol. ED-36, no. 2, pp. 340-350, 1989.
- [4] G.J. Hu and R.H. Bruce, "Design trade-offs between surface and buried channel FET's," *IEEE Trans. on Electron Devices*, vol. ED-32, no. 3, pp. 584-588, 1985.
- [5] C.Y. Wong, J.Y.-C. Sun, Y. Taur, C.S. Oh, R. Angelucci, and B. Davari, "Doping of n^+ and p^+ polyilicon in a dual-gate process," *IEDM Tech. Dig.*, pp. 238-241, 1988.
- [6] H.S. Park, K.S. Yang, and B.Y. Kim, "Electrical and physical properties of Ultrathin reoxidized nitrided oxide grown by rapid thermal processing," *KITE Journal of Electronics Engineering*, vol. 1, no. 2, pp. 32-39, 1990.

著者紹介



梁光善(正會員)

1964年 4月 25日生. 1986年 2月
인하대학교 전자공학과 졸업.
1988年 2月 연세대학교 대학원
전자공학과 졸업. 1988年 3月~
현재 연세대학교 대학원 전자공
학과 박사과정. 주관심분야는

Thin Dielectrics by RTP, Hot-carrier 전류 모델링.



朴訓洙(正會員)

1959年 10月 9日生. 1982年 2月
경북대학교 전자공학과 졸업.
1984年 2月 연세대학교 대학원
전자공학과 졸업. 1984年 1月~
1986年 1月 금성 반도체(주)
Bip. 제품 기술과 1991年 2月

연세대학교 대학원 전자공학과 박사학위 취득. 주관
심분야는 Submicron MOS Device Physics.

●
金鳳烈 (正會員) 第25卷 第11號 參照

현재 연세대학교 전자공학과
교수