

# 선비정질화를 이용한 Shallow p<sup>+</sup>-n 접합 형성에 관한 연구

## (A Study on the Formation of Shallow p<sup>+</sup>-n Junctions Using Preamorphization)

韓 明 錫\*, 洪 信 男\*\*, 金 亨 俊\*\*\*

(Myoung Seok Han, Shin Nam Hong, and Hyeong Joon Kim)

### 要 約

Shallow p<sup>+</sup>-n 접합 형성을 위해 Ge과 As 이온을 이용하여 선비정질화하였으며 p-type dopant 로는 B와 BF<sub>2</sub>를 이용하였다. Single crystalline silicon에도 B과 BF<sub>2</sub>를 같은 조건으로 주입하여 선비정질화된 시편과 특성을 비교하였다. Boron을 10keV로 주입한 경우에는 선비정질화 이온의 종류에 관계 없이 비슷한 boron SIMS profile을 보이고 있으나, ASR 측정에 의하면 Ge으로 선비정질화한 경우가 가장 shallow한 접합 깊이를 나타냈다. Sheet 저항 측정 결과에 의하면 Ge으로 선비정질화한 경우가 As으로 선비정질화한 경우보다 더 작게 나타났으며, 다이오드 누설 전류 측정은 모두 양호한 결과를 보이고 있다. 이온 주입 에너지를 25keV로 낮추어 선비정질화한 경우에는 BF<sub>2</sub> 이온을 주입 하였는데, As으로 선비정질화한 경우에 매우 높은 Rs 값과 나쁜 누설 전류 특성을 보여 저에너지로 BF<sub>2</sub> 이온을 주입할 경우에는 As을 사용하는 것보다는 Ge을 이용하여 선비정질화 하는 것이 유리함을 알 수 있었다.

### Abstract

To form shallow p<sup>+</sup>-n junctions, Ge and As ions were employed for preamorphization, and B or BF<sub>2</sub> was implanted for doping. Same B and BF<sub>2</sub> implantations were performed into single crystalline silicon to compare the material and electrical characteristics with the preamorphized samples. SIMS measurements for 10KeV B implanted samples revealed the similar boron distribution for two preamorphized cases, but the ASR profiles indicated that the shallower junctions could be formed by Ge preamorphization. Sheet resistance of Ge preamorphized sample was lower than the As preamorphized sample, and the diode leakage current characteristics were similar for the preamorphized and non-preamorphized samples. Among the samples implanted with BF<sub>2</sub> ions into the substrates preamorphized with 25keV Ge or As ions, high sheet resistance and leaky diode characteristics were observed for the As preamorphized samples. It was found that Ge preamorphization is more useful than As preamorphization for the purpose of forming shallow p<sup>+</sup>-n junctions using low energy BF<sub>2</sub> implantation.

\*正會員, 現代電子 半導體研究所  
(Hyundai Electronics Semiconductor R & D Lab.)

\*\*正會員, 韓國航空大學 航空電子工學科  
(Dept. of Avionics Eng., Hankuk Aviation Univ.)

接受日字: 1991年 4月 24日

\*\*\*正會員, 서울大學校 無機材料工學科  
(Dept. of Inorganic Mat. Eng., Seoul Nat'l Univ.)

(※ 본 연구는 교육부 학술연구조성비 지원에 의하여 수행 되었음)

I. 서 론

ULSI(ultra large scale integration)와 같은 고집적회로의 구현에 있어서는 소자 크기의 감소가 필수적으로 이루어져야 하는데, 이로 말미암아 집적밀도의 증가, 소자 동작 속도의 향상, 전력소비의 감소 등의 장점이 있다. 소자 크기의 감소에 있어, 수평적인 영역의 감소와 조화를 이루기 위해 수직적인 크기의 감소가 필요하다. 반도체 소자의 수직적 크기에 대한 축소는, BJT의 base와 MOSFET의 source/drain 영역에서 중요성이 점차 인식되고 있어, shallow 접합에 대한 많은 연구가 활발히 진행되고 있다.<sup>[1]-[2]</sup>

N<sup>+</sup>-p 접합 형성을 위해서는 As 이온이 주로 이용되는데, As 이온의 높은 원자량과 열처리시 낮은 확산 속도로 인하여 현재까지 알려져 있는 이온 주입법으로도 비교적 쉽게 shallow하게 형성할 수 있다. 그러나 p<sup>+</sup>-n 접합을 형성할 때는 boron 이온을 주입하는데, boron 이온은 큰 projected range와 이온 주입시 tail 부근에서 channeling 현상을 유발하여 접합 깊이가 깊어지게 되고 열처리시 큰 확산 속도로 인하여 As 이온 보다 많은 확산이 일어나 실제 접합 깊이가 As 이온 주입시보다 훨씬 깊어지게 되어 shallow junction을 형성하기가 무척 어렵다. Channeling 현상을 억제하기 위해서는 wafer를 7° tilt 하여 이온 주입하거나 preamorphization(선비정질화) 방법을 이용한다. 특히 tilt 방법은 주입 에너지가 낮아질수록 tilt 각도가 증가되어야 하므로,<sup>[3]</sup> 5keV 이하의 주입에너지에서는 적당하지 못하고 소자의 비대칭을 유발하는 shadowing 효과를 가증시키게 된다.<sup>[4]</sup>

선비정질화 방법은 Si, Ge, F과 같이 비교적 무거운 이온을 주입시켜 비정질층을 형성한 후 dopant를 첨가한다. Amorphous(비정질) 층은 550°C에서 30분간 열처리를 함으로써 1μm 내외의 두께까지는 recrystallize시킬 수 있으나 결정 결점을 남기게 된다.

지금까지 Si, Ge, F등의 이온으로 선비정질화하여 shallow 접합을 형성한 연구가 진행되어 왔다.<sup>[4]-[6]</sup> 그러나 연구 결과 Si 이온을 이용하는 것 보다는 Ge 이온의 경우가 잇점이 있는 결과를 나타내었는데, 그 이유로 제시된 것은 첫째로 Ge 이온이 Si 이온보다 무거운 비정질층 형성시 대부분의 주입 에너지를 nuclear 충돌로 잃게되어 정지하게 되므로 silicon 기판을 더욱 무질서하게 만들고, 둘째로는 Si으로 선비정질화 할 때는 완전한 비정질층 형성을 위해서 liquid nitrogen을 사용하여야 하고 매우 높은 dose로 주입을 해야하나, Ge의 경우에는 상온에서 공정을 수행할 수 있는 장점이 있다. 또한 Si 이온을 사용하는

이온 주입 장치에서는 N<sub>2</sub><sup>+</sup> 또는 CO<sup>+</sup> 이온과 Si 이온의 질량이 같기때문에 Si 이온을 분리해 내기가 어렵다. 이러한 문제를 해결하기 위해서는 주입 장치의 source 영역에 특별한 고 진공 상태를 제공해야만 하는 단점이 있다.

본 연구에서는 선비정질화 시키기 위하여 As 이온과 Ge 이온을 사용하였으며 이 두가지 방법에 대하여 재료적, 전기적인 특성을 비교, 분석하였다. 비정질층 형성을 위해 As 이온을 도입한 이유는 첫째로, 이온 질량이 Ge 이온과 비슷하므로 비정질층 형성시 Ge 이온과 마찬가지로 기판을 무질서하게 할 수 있고 둘째로, CMOS 구조에서 N-well 형성을 위하여 많이 사용하는 이온이기 때문에 보통 이온 주입 장치에서 편리하게 이용할 수 있다는 장점이 있기 때문이다. 또한 As 이온이 V족이므로 열처리시 III족의 dopant인 boron과 전기적 작용이 예상되며,<sup>[7]</sup> 이러한 이유로 중성족인 IV족 Ge 이온을 이용하여 선비정질화시키는 방법과 비교될 수 있으므로, 본 연구에서는 Ge과 As 이온의 주입 에너지를 50keV, 25keV로 변화시키면서 P-type dopant인 B, BF<sub>2</sub>를 각각 10keV, 8keV로 이온 주입하였다. 이때 모든 sample은 7° tilt하여 이온 주입하였다. 그리고 SIMS로 접합 깊이를 측정하였고, ARS로 dopant의 전기적 접합 깊이를 측정하였다. 또한 각각의 조건에 대한 다이오드 누설 전류 특성을 측정함으로써 shallow 접합 소자 제작에 적합한 조건을 제시하였다.

II. 소자 제작

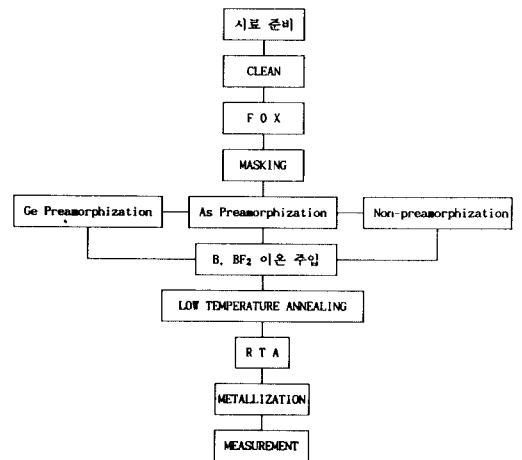


그림 1. 공정 흐름도

Fig. 1. Process flow-chart for diode fabrication.

Substrate는 phosphorus로 doping되어 10-20 ohm-cm resistivity를 가진 4 inch diameter, N-type, <100>인 Si wafer를 사용하였다.

Diode 제작을 위한 공정의 흐름도는 다음 그림1과 같다.

선비정질화를 위해 원자량이 75인 As 이온과 원자량이 72인 Ge 이온을 사용하였고, P-type dopant로는 B와 BF<sub>2</sub> 이온을 다음 표1과 같이 주입하였다.

이 조건으로 이온주입을 한 후 550°C, N<sub>2</sub> 분위기에서 30분간 preannealing 하였는데, 이때에 비정질로 변한 silicon은 재배치하여 다시 결정화 한다. 그리고 남아있는 결점들의 제거와 dopant의 활성화를 위해 RTA(rapid thermal annealing)를 N<sub>2</sub> 분위기에서 1050°C로 10초간 수행하였다.

표 1. 이온 주입 조건  
Table 1. Ion implantation condition.

SAMPLE	PREAMORPHIZATION	DOPANT IMPLANT
H1	As:50keV, 3×10 <sup>14</sup> cm <sup>-2</sup>	B:10keV, 2×10 <sup>15</sup> cm <sup>-2</sup>
H5	As:25keV, 3×10 <sup>14</sup> cm <sup>-2</sup>	BF <sub>2</sub> :8keV, 2×10 <sup>15</sup> cm <sup>-2</sup>
H7	Ge:50keV, 3×10 <sup>14</sup> cm <sup>-2</sup>	B:10keV, 2×10 <sup>15</sup> cm <sup>-2</sup>
H11	Ge:25keV, 3×10 <sup>14</sup> cm <sup>-2</sup>	BF <sub>2</sub> :8keV, 2×10 <sup>15</sup> cm <sup>-2</sup>
H13	*	B:10keV, 2×10 <sup>15</sup> cm <sup>-2</sup>
H17	*	BF <sub>2</sub> :8keV, 2×10 <sup>15</sup> cm <sup>-2</sup>

III. 측정결과 및 고찰

1. 접합 깊이 및 sheet resistance

ASR, SIMS, sheet resistance 측정을 위한 시편은 diode와 같은 조건으로 이온 주입 및 열처리가 행해졌다.

표2에 four-point probe를 이용하여 sheet resistance를 측정한 결과를 나타내었다.

그림2는 Ge과 As 이온을 사용하여 50keV로 선비정질화한 후 10keV로 boron을 이온 주입한 시편과 선비정질화하지 않은 crystalline silicon 기판에 boron을 10keV로 주입한 sample에 대해 열처리 후 ASR과 SIMS로 측정한 boron profile이다.

그림2의 SIMS 측정에서 알 수 있는 바와 같이 선비정질화하지 않은 시편의 경우에는 channeling tail이 나타나 확산 후 접합 깊이가 깊게 나타났으며, As이나 Ge으로 선비정질화한 경우에는 boron channeling 현상은 확실히 감소되어 shallow한 profile을 얻을 수 있었다. Background 농도 1×10<sup>17</sup>cm<sup>-3</sup>에서

표 2. 주입 조건에 따른 sheet resistance [Ω/□]

Table 2. Sheet resistance for various implant conditions [Ω/□].

pre implant \ implant	As		Ge		WITHOUT
	PREAMORPHIZATION	PREAMORPHIZATION	PREAMORPHIZATION	PREAMORPHIZATION	PREAMORPHIZATION
B 10keV	136	*	102	*	64
BF <sub>2</sub> 8keV	*	446	*	160	255

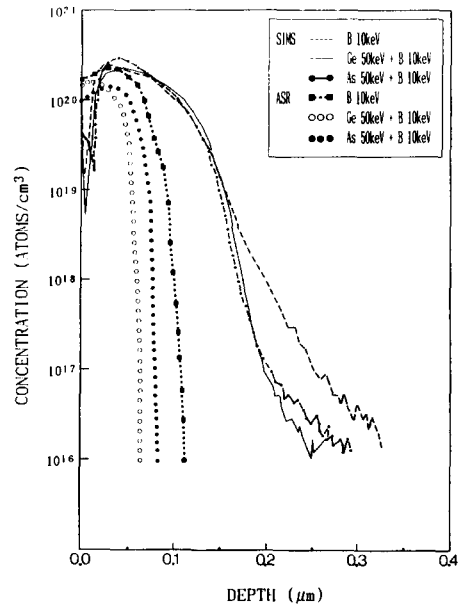


그림 2. 선비정질화 (As 50keV, Ge 50keV) 한 것과 선비정질화 하지않은 sample에 대한 열처리 후 B의 SIMS, ASR profiles

Fig. 2. SIMS and ASR depth profiles of B atom for preamorphized (As 50keV, Ge 50keV) and non-preamorphized samples after annealing.

SIMS에 의한 접합 깊이는 Ge, As 이온을 이용하여 선비정질화한 경우 거의 큰 차이가 없으며 약 0.2μm이다. 선비정질화된 두 경우의 boron SIMS profile이 비슷한 양상을 보이는 것으로 미루어볼 때 비정질층의 두께나 무질서 정도가 큰 차이가 없는 것을 알 수 있다. 그 이유는 비정질층 형성은 주입 에너지와 dose, 이온 질량에 의존하는데 As이나 Ge 질량이 거의 비슷 ((Ge : 72.59, As : 74.92) 하고 같은 implantation 조건을 이용하였기 때문이다.

그림2의 ASR 측정치를 보면 표면에서 전기적으

로 활성화된 boron 농도가 Ge으로 선비정질화한 경우에 더 높아 접합 깊이는 Ge 이온으로 선비정질화한 경우가 As으로 선비정질화한 경우 보다 더 shallow 할지라도 표2에서와 같이 Rs값이 Ge의 경우 더 낮게 측정되었다. As 이온으로 선비정질화한 경우에는 B와 As 이온간의 compensation으로 인하여, Rs값이 As과 B의 주입된 dose에 따라 15% 증가하리라 예상되지만 실제로는 두 선비정질화한 시편간에 Rs값이 30%까지 차이가 나서 Ge으로 선비정질화한 경우에 주입된 boron 이온의 활성화가 더욱 촉진되었다 할 수 있다. 또한 선비정질화를 행하지 않고 crystalline silicon에 boron을 직접 주입한 경우에는 접합 깊이가 깊어 Rs가 가장 낮은 64[Ω/□]로 측정되었다.

이온 주입에너지를 낮추어 As이나 Ge 25keV로 선비정질화 하고 BF<sub>2</sub> 8keV를 주입한 sample과 BF<sub>2</sub> 8keV를 crystalline substrate에 주입하여 boron profile을 ASR과 SIMS로 측정된 결과를 그림3에 나타내었다. 이 경우에는 Ge으로 선비정질화한 경우의 boron profile이 가장 shallow하게 나타났으며 선비정질화하지 않은 boron profile이 가장 접합 깊이가 깊게 나타났다. 선비정질화 에너지를 50keV를 사용한 경우와 달리(그림2) 이번에는 As으로 선비정질화한 경우의 ASR profile이 Ge을 사용한 경우보다 더 shallow하게 측정되었다. 그리고 As 이온으로 선비정질화한 경우 표면의 활성화된 boron 이온의 농도가 무척 낮아 Ge 이온으로 선비정질화한 경우보다 약 2.7배 이상의 Rs값을 갖게 되었다.

접합 깊이와 sheet 저항은 서로 반비례의 관계가 있어 접합 깊이를 줄여 유용한 shallow 접합을 형성하기 위해서는 sheet 저항이 동시에 낮아지게끔 고려되어야 한다. Mikoshiba et-al은 이러한 반비례 관계를 고려하여 새로운 변수를 제안 하였는데,<sup>(8)</sup> sheet 저항과 접합 깊이의 곱(Rs·Xj)으로 접합부의 특성

표 3. 주입 조건에 따른 Rs·Xj의 결과

Table 3. List of Rs·Xj values for various implant conditions.

이온 주입 조건	Rs [Ω/□]	Xj(μm)		ASR	SIMS
		ASR	SIMS	Rs·Xj	Rs·Xj
As 50keV+B 10keV	136	0.1	0.2	13.6	27.2
Ge 50keV+B 10keV	102	0.08	0.2	8.2	20.4
B 10keV	65	0.13	0.26	8.5	16.9
As 25keV+BF <sub>2</sub> 8keV	446	0.055	0.15	24.5	66.9
Ge 25keV+BF <sub>2</sub> 8keV	160	0.065	0.13	10.4	20.8
BF <sub>2</sub> 8keV	225	0.08	0.175	18.0	39.4

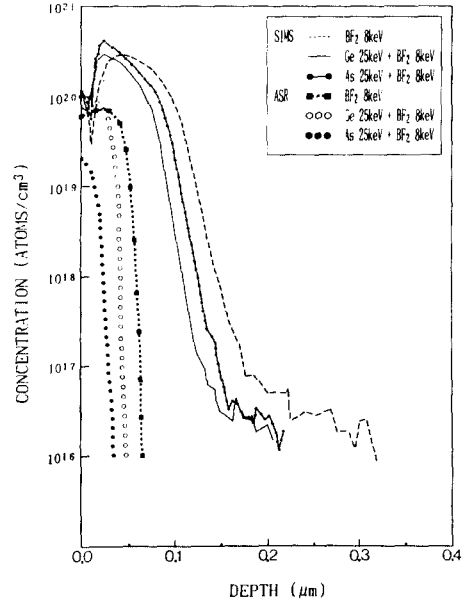


그림 3. 선비정질화(As 25keV, Ge 25keV) 한 것과 선비정질화 하지 않은 sample에 대한 열처리 후 B의 SIMS, ASR profiles

Fig. 3. SIMS and ASR depth profiles of B atom for preamorphized (As 25keV, Ge 25keV) and non-preamorphized samples after annealing.

을 나타내었다. 이 곱이 작을 수록 Rs와 Xj에 대한 최적 조건이라 할 수 있다. 표3에 여러 이온 주입 조건에 대한 Rs·Xj 값을 ASR과 SIMS로 측정된 접합 깊이를 사용하여 나타내었다.

As 50keV를 사용한 결과보다는 Ge 50keV로 선비정질화한 결과가 더 작은 Rs·Xj 값을 나타내고 있어 Ge으로 선비정질화 하는 것이 유리함을 알 수 있다. 또한 25keV로 선비정질화한 경우에도 As을 사용한 결과나 선비정질화하지 않은 경우보다 Ge을 사용하는 것이 더 좋은 Rs·Xj 결과를 나타내는 것을 알 수 있다.

### 2. 누설 전류 특성

최소한의 누설 전류를 얻기 위해서는 여러가지 고려되어야 할 사항이 있는데, 그 중에서도 특히 선비정질화를 이용하는 방법에서는 열처리로 인한 결점의 위치가 누설 전류에 영향을 미치게 된다. 접합의 공핍 영역층이나 그 근처에 결점들이 있다면 generation과 recombination center로 작용하는 이유로 누설 전류가 증가하는 결과를 초래하게 된다. 결정 결

함은 열처리하기 전에 선비정질화로 생긴 비정질층과 crystalline층 경계 바깥 부분에 위치하는데, 적은 누설 전류를 얻기 위해서는 결정 결함 위치를 접합 깊이보다 훨씬 깊게 형성하거나 결함 위치가 접합 깊이보다 얇아 기판의 표면에 위치하면 된다. 그러나 결정 결함 위치를 깊게 형성하기 위해서는 선비정질화 형성을 위한 Ge이나 As 주입에너지가 상당히 커야하므로 현실적으로 제조하기 어려운 점이 있으며, 열처리 후에도 결함들이 제거되지 않는다. 본 논문에서는 B와 BF<sub>2</sub>의 주입 에너지에 맞추어 Ge과 As 주입 에너지를 50keV와 25keV로 정하여 amorphous/crystal의 경계가 접합 깊이 보다 shallow하여 공핍 영역내에 포함되지 않도록 하였다. 낮은 선비정질화 에너지로 주입되었을 때에는 결정 결함이 열처리 과정에서 제거되는 장점도 있어 낮은 누설 전류를 기대할 수 있다.<sup>9)</sup> 따라서 1/4μm 소자에 적용을 위한 shallow 접합 형성을 위해서는 여러가지 조건을 고려하여 최적의 조건을 찾아야 한다.

As과 Ge 50keV 이온으로 선비정질화한 후 boron 10keV로 이온 주입한 경우의 역방향 인가 전압에 따른 다이오드 누설 전류는 다음 그림4와 같다.

As 50keV, B 10keV로 주입한 조건에서 누설 전류는 5V에서 약 195pA 정도의 누설 전류가 흐름을 알 수 있고, Ge 50keV와 B 10keV로 주입한 조건에서는 470pA 정도의 누설 전류가 있음을 그림을 통하여 알 수 있는데, 이 조건에서는 As의 경우가 유리함을 알 수 있다.

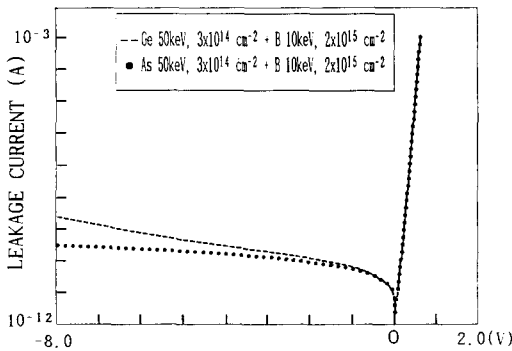


그림 4. As 50keV+B 10keV와 Ge 50keV+B 10keV 이온 주입 조건에 대한 다이오드 누설 전류 특성

Fig. 4. Diode leakage current characteristics for As 50keV+B 10keV and Ge 50keV+B 10keV implant conditions.

As으로 40, 60, 80, 100keV로 선비정질화한 후 boron 이온을 주입한 경우의 최근 보고된 논문에서는 40, 60keV로 주입한 경우 적은 누설 전류가 존재함을 보였고,<sup>7)</sup> 이 결과는 본 논문의 결과와 비슷하다.

다음 그림5에서는 As 25keV, BF<sub>2</sub> 8keV와 Ge 25keV, BF<sub>2</sub> 8keV를 이온 주입한 후 측정된 누설 전류에 대해서 나타내었다.

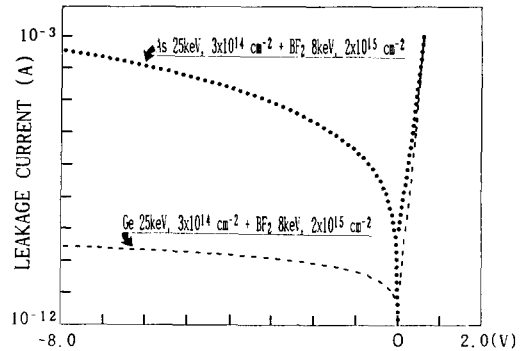


그림 5. As 25keV+BF<sub>2</sub> 8keV와 Ge 25keV+BF<sub>2</sub> 8keV 이온 주입 조건에 대한 다이오드 누설 전류 특성

Fig. 5. Diode leakage current characteristics for As 25keV+BF<sub>2</sub> 8keV and Ge 25keV+BF<sub>2</sub> 8keV implant conditions.

Ge 25keV로 선비정질화 하고 BF<sub>2</sub>를 8keV로 이온 주입한 경우에는 Ge 50keV로 선비정질화 하고 B 10keV를 이온 주입한 경우보다 더 좋은 누설 전류 특성을 나타내었다. 이 경우 5V를 인가했을 때 193 pA의 전류가 흐르고 있어 선비정질화를 행한 4가지 이온 주입 조건중 가장 적은 누설 전류가 측정되었다. As 25keV로 선비정질화하고 BF<sub>2</sub> 8keV를 주입한 경우에는 심각하게 많은 누설 전류가 측정되었는데 이는 선비정질화에 의해 생긴 결정 결함과 공핍 영역층의 위치 관계로 설명될 수 있다.<sup>4)</sup> 그림3에 나타낸 ASR 측정치에서 보면 As으로 선비정질화한 경우에는 접합 깊이가 가장 shallow해서 결정 결함이 공핍층내에 위치하게 되어 큰 누설 전류가 측정되었으며, Ge으로 선비정질화한 경우에는 결정 결함이 공핍층 보다 silicon 기판 표면 쪽으로 위치하게 되어 누설 전류가 작게 나타나게 된 것으로 예상된다. 또는 As으로 선비정질화 했을 때는 Ge을 사용한 경우보다 결정결함의 제거가 용이하지 않아 더 큰 누설전류가 생성되었다고 판단된다.

Boron이나 BF<sub>2</sub>를 10keV와 8keV의 에너지와 2 × 10<sup>15</sup>cm<sup>-2</sup>의 dose로 선비정질화하지 않은 crystalline Si에 이온 주입한 조건에서 누설 전류는 각각 5V에서 213pA, 191pA로 측정 되었다. 이러한 결과를 다음 그림6에 나타내었다.

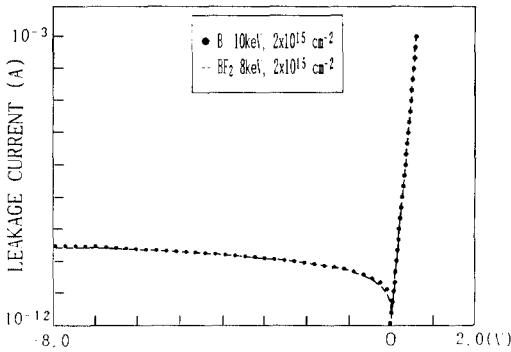


그림 6. B 10keV와 BF<sub>2</sub> 8keV 이온 주입 조건에 대한 다이오드 누설 전류 특성  
 Fig. 6. Diode leakage current characteristics for B 10keV and BF<sub>2</sub> 8keV implant conditions.

이 경우의 누설 전류의 특성은 As이나 Ge으로 선비정질화한 경우에 얻을 수 있었던 누설 전류 특성 중 양호한 결과와 비슷한 특성을 얻을 수 있었다. 따라서 As이나 Ge을 이용하여 선비정질화 하여도 이들 중 최적의 이온 주입 조건과 선비정질화 하지 않은 조건과는 누설 전류 특성에서 보면 큰 차이가 없음을 알 수 있고 shallow 접합을 형성함에 있어서 최적의 선비정질화 조건을 사용하면 결점에 의한 누설 전류는 큰 영향을 받지 않음을 알 수 있다.

IV. 결 론

As과 Ge 이온으로 선비정질화 한 경우와 crystalline 기판을 이용하여 p<sup>+</sup>-n 접합을 형성한 경우에 대해 SIMS, ASR, sheet 저항과 누설 전류 특성을 살펴 보았는데, 최적의 이온 주입 조건을 사용한다면 선비정질화 방법이 더 우수한 결과를 나타냄을 알 수 있다.

As이나 Ge 50keV로 선비정질화한 sample에 B 10 keV를 주입한 경우의 SIMS profile 결과에 의하면 B 이온 channeling 현상이 crystalline silicon에 B 10 keV를 주입했을 때 보다 많이 감소되었으며, Ge이나 As 이온으로 선비정질화 하였을때 0.2μm 정도의 접합 깊이를 얻을 수 있었다. Ge의 경우 As으로 선

비정질화한 경우보다 Rs 값이 작은 102[Ω/□]를 얻을 수 있었으며, 다이오드 누설 전류의 경우에는 As 이온이나 Ge 이온으로 선비정질화한 경우와 선비정질화 하지 않은 경우에 비슷하게 양호한 특성이 측정 되었다.

As 25keV 이온으로 선비정질화한 후 BF<sub>2</sub> 8keV를 주입한 경우에는 열처리 후 표면에 활성화된 boron 농도가 너무 적어 접촉 저항이 크고 심각하게 큰 누설 전류가 흐르는 결과가 측정 되었으며, 같은 이온 주입 에너지를 사용하였을 때 Ge의 경우 As 보다 모든 조건에서 유리하였고, 특히 선비정질화한 조건 중 가장 적은 누설 전류 결과를 얻을 수 있었다. Rs·Xj 측정치에 있어서도 Ge 이온을 사용하여 선비정질화 하는 것이 As를 사용하여 선비정질화 하는 경우와 선비정질화 하지않는 것보다 훨씬 유리함을 알 수 있다.

參 考 文 獻

- [1] M.C Ozturk and J.J. Wortman, "Very shallow P<sup>+</sup>-N junction formation by low-energy BF<sub>2</sub>+ ion implantation into crystalline and germanium preamorphized silicon," *Apply. Phys. Lett.* 52(12), pp. 963-965, Mar. 1988.
- [2] Kyeong-Tae Kim and Choong-Ki Kim, "Formation of Shallow P<sup>+</sup>-N Junction Using Boron-Nitride Solid Diffusion Source," *IEEE Electron Device Lett.*, vol. EDL-8, no. 12, pp. 569-571, Dec. 1987.
- [3] Shin Nam Hong, Gray A. Ruggles, Jimmie J. Wortman, and Mehmet C. Ozturk, "Material and Electrical Properties of Ultra-Shallow p<sup>+</sup>-n Junction Formed by Low-Energy Ion Implantation and Rapid Thermal Annealing," *IEEE Trans. Electron Devices*, vol. 38, no. 3, pp. 476-486, Mar. 1991.
- [4] Mehmet C. Ozturk, Jimmie J. Wortman, Carlton M. Osburn, Atul Ajmrra et al., "Optimization of the Germanium Preamorphization Conditions for Shallow Junction Formation," *IEEE Trans. Electron Devices*, vol. 35, no. 5, pp. 659-668, May 1988.
- [5] C.P. Wu, J.T. McGinn and L.R. Hewitt, "Silicon Preamorphization and Shallow Junction Formation for ULSI Circuits," *J. Electronic Mat.*, vol. 18, no. 6, pp. 721-730, 1989.

[6] R.G. Wilson, "Boron, fluorine, and carrier profiles for B and BF<sub>2</sub> implants into crystalline and amorphous Si," *J. Appl. Phys.*, 54(12), pp. 6879-6889, Dec. 1983.

[7] Sang-Jik Kwon, Hyeong-Joon Kim and Jong-Duk Lee, "As<sup>+</sup>- Preamorphization Method for Shallow p<sup>+</sup>-n Junction Formation," *Jap. J. Appl. Phys.*, vol. 29, no. 12, pp. L2326-L2328, Dec. 1990.

[8] H. Mikoshiba, H. Abiko, "Junction Depth Versus Sheet Resistivity in BF<sub>2</sub>-Implanted Rapid-Thermal-Annealed silicon," *IEEE Electron Device, Lett.*, vol. EDL-7, no. 3, pp. 190-192, Mar. 1986.

[9] Shin Nam Hong, Gray A. Ruggles, Jimmie J. Wortman, Edward R. Myers and John J. Hren, "Characterization of Ultra-Shallow p<sup>+</sup>-n Junction Diodes Fabricated by 500-eV Boron-Ion Implantation," *IEEE Trans. Electron Devices*, vol. 38, no. 1, pp. 28-31, Jan. 1991.

著 者 紹 介



韓 明 錫(正會員)

1964年 10月 10日生. 1989年 2月 한국항공대학 항공전자공학과 졸업(학사). 1991年 8月 한국항공대학 항공전자공학과 대학원 졸업(석사). 1991年 8月~ 현재 현 대전전자 반도체 연구소 연구원. 주 관심분야는 고집적 반도체 소자공정 등임.



金 亨 俊(正會員)

1953年 2月 14日生. 1976年 2月 서울대학교 재료공학과 졸업(학사). 1978年 2月 한국과학원 재료공학과 졸업(석사). 1985年 12月 미국 North Carolina State University 재료공학과 졸업(박사). 1986年~현재 서울대학교 무기재료공학과 부교수. 주 관심분야는 Thin Dielectric Material과 금속 공정 등임.



洪 信 男(正會員)

1953年 12月 17日生. 1979年 2月 한양대학교 전자공학과 졸업(학사). 1984年 12月 미국 North Carolina State University 전기공학과 졸업(석사). 1989年 6月 미국 North Carolina State University 전기공학과 졸업(박사). 1989年 9月~ 현재 한국항공대학 항공전자공학과 조교수. 주 관심분야는 반도체 소자 물성 및 공정 연구등임.