

ISFET 바이오센서에의 적용을 위한 신호처리회로의 개발과 그들의 단일칩 집적설계

(A Signal Process Circuit for ISFET Biosensor and A Design for Their One-Chip Integration)

徐 華 一*, 孫 炳 基*

(Hwa Il Seo and Byung Ki Sohn)

要 約

ISFET 바이오센서 적용을 위해 ISFET를 MOS 차동증폭단의 두 입력소자로 사용하는, 집적화에 유리한 신호처리회로를 개발하였다. 그 동작을 SPICE simulation 해본 결과 입출력간에 우수한 선형성을 나타내었으며 부하트랜지스터의 aspect ratio 변화로 증폭도 조절이 가능했다. 개발된 회로를 ISFET 및 금속기준전극과 함께 한 칩에 집적하기 위해 새로운 공정을 설계하였으며 이에따라 칩을 layout하였다.

Abstract

The new signal process circuit using ISFETs as two input devices of a MOS differential amplifier stage for application to a ISFET biosensor was developed and its operational characteristics simulated. For a single chip integration of ISFETs, developed signal process circuit and metal reference electrode, serial studies including process development and chip layout was carried out.

I. 서 론

바이오센서^[1]는 여러가지 생체관련물질을 인지하는 소자로서 의료, 기초과학 등의 분야에서 광범위하게 사용되고 있으며 점차 건강에 대한 관심이 고조되면서 그 중요성을 더해가고 있다. 현재 사용되고 있는 ISE(ion selective electrode)나 가스감지전극을 이용한 바이오센서는 크기가 크고 응답속도가 느린것 등 문제점이 많아서 최근 의료진단 등의 분야에서 기존 바이오센서의 난점을 극복할 수 있는 새로운 바이오

센서의 개발이 크게 요구되고 있다. 이에 부응하여 여러가지 바이오센서들이 연구되고 있으나 그중에서 ISFET^[2](ion sensitive field effect transistor)를 기본소자로 한 바이오센서가 단연 가장 큰 관심을 모으고 있다.^[3,4]

ISFET 바이오센서는 ISFET와 생체기능성막을 결합한 소자로서 집적회로 공정기술을 활용하여 제조되므로 소형화, 규격화 및 양산화가 가능할 뿐만 아니라 신호처리회로를 함께 집적시킨 스마트센서 제조에 매우 유리하다. 또한 소형화 및 저가격화에 결정적인 문제거리였던 상용기준전극을, 차동증폭법을 도입함으로써 금속기준전극으로 대체시킬 수 있다는 점에서 크게 기대받고 있다.^[5]

*正會員, 慶北大學校 電子工學科
(Dept. of Elec. Eng., Kyungbook Nat'l Univ.)
接受日字: 1990年 10月 16日

센서와 신호처리회로의 단일칩집적화는 센서시스템의 소형화, 잡음면역특성개선 및 고장방지 등에 의한 신뢰성개선 등 많은 잇점이 있어 이에 대한 연구는 매우 절실하다. ISFET와 신호처리회로의 집적화연구는 Ko,^[6] Bousse,^[7] Wong^[8] 등에 의해 진행된바 있다. 특히 Wong 등은 처음으로 차동증폭법을 도입한 신호처리회로를 ISFET와 함께 집적시키게 하였다. 그는 ISFET를 연산증폭기의 한 입력소자로 이용하여 buffer를 구성함으로써 ISFET를 신호처리회로의 일부로 동작시키는 새로운 개념을 도입하였다. 그러나 검출회로만을 집적시켰고, MOS 연산증폭기를 그대로 사용함으로써 회로가 비교적 복잡했다.

본 연구에서는 ISFET 바이오센서에 적용키 위해 ISFET, 검출회로, 차동증폭단 등을 포함하는 새로운 MOS신호처리회로를 개발하였다. 개발된 회로는 차동증폭단의 두 입력소자를 모두 ISFET로 대체함으로써 크게 간략화되어 있어 집적화에 매우 유리하다. 회로의 동작특성을 SPICE simulation을 통해 확인하였으며 ISFET, 개발된 신호처리회로 및 단일 금속전극을 한 칩내에 집적시키기 위한 공정을 연구하였고, 이에따라 칩을 설계하였다.

II. ISFET 바이오센서의 동작 및 측정

1. 동작원리

일반적으로 바이오센서는, 특정 생체관련물질(이하 기질(substrate)이라함)과 직접 반응하는 생체기능성막(receptor)과 반응결과를 전기적신호로 바꾸는 변환기(transducer)로 구성된다. ISFET 바이오센서는 생체기능성 막으로는 효소고정화막을, 변환기로서 pH-ISFET가 주로 사용된다.

그림 1은 ISFET 바이오센서의 단면도를 나타낸 것으로, ISFET의 게이트부분 위에 효소고정화막이 형성된 구조를 하고있다. ISFET 바이오센서가 측정용액에 들어가면 용액내의 요소, 포도당 등의 특정기질이 효소고정화막내로 확산해 들어가 효소와 반응하여 pH변화를 일으키게 된다. 이 pH변화를 반도체 이온센서인 pH-ISFET가 감지하게 되어 용액내의 특정기질농도를 알 수 있게 된다.

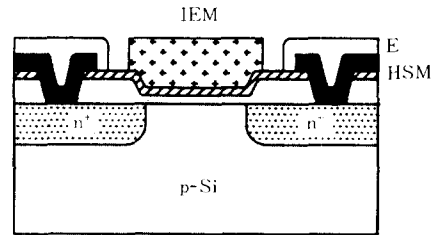
2. 측정원리

용액속의 특정물질을 정량적으로 분석하기 위해서는 검출신호의 상대적 기준이 되는 기준전극이 요구된다. 따라서 기준전극은 측정용액내에서 용액성분과 관계없이 항상 일정한 전위를 유지해야 한다. 지

금까지 기준전극으로는 상용 Ag/AgCl 전극이나 calomel 전극 등을 사용하고 있으나 이러한 상용기준전극들은 소형화가 어렵고 고가일뿐만 아니라 유지하는 데도 많은 어려움이 있다.

반도체 바이오센서의 경우 차동증폭법을 이용하여 상용기준전극을 REFET(reference FET)와 단일금속(Au 혹은 Pt)으로 대체할 수 있다. 결국 센서 시스템은 ENFET(enzyme FET), REFET 및 금속기준전극으로 구성되어 지는데, ENFET는 효소고정화막이 형성되어 특정기질에 응답하는 ISFET이고 REFET는 효소고정화막이 형성되어있지 않아 특정기질에 반응하지 않는 ISFET를 나타낸다.

그림 2는 차동증폭법을 이용한 ISFET바이오센서 측정장치의 개략도를 나타내고 있다. MRE(metal reference electrode)는 금속기준 전극으로 용액내에서 불안정한 특성을 나타낸다. 용액내의 특정기질농도를 pS, 금속기준전극에 의한 불안정한 전위를 Vq 라 하면 ENFET에 의한 출력전압은 pS, Vq의 함수



IEM : Immobilized Enzyme Membrane
HSM : Hydrogen Ion Sensing Membrane
E : Encapsulant

그림 1. ISFET 바이오센서의 단면도
Fig. 1. Cross-sectional structure of ISFET biosensor.

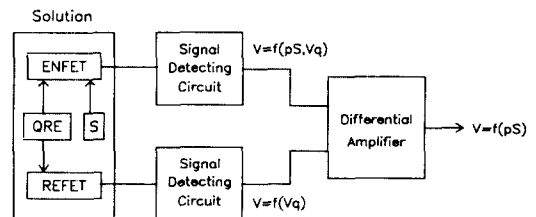


그림 2. ISFET 바이오센서의 측정원리도
Fig. 2. Schematic diagram of measurement principle for ISFET biosensor.

가 되며, REFET는 pS에 반응하지 않으므로 그 출력전압은 V_q 만의 함수가 된다. 이러한 ENFET와 REFET의 출력전압이 차동증폭장치를 거쳐게 되면 기질농도만의 함수인 최종적인 전압을 얻을 수 있으므로 용액내의 특정기질의 농도를 측정할 수 있다. 그림 3은 개별소자로 구성된 ISFET 바이오센서 회로도를 나타낸다.

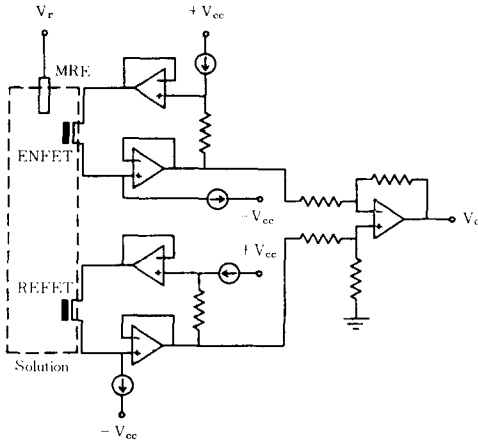


그림 3. 개별소자로 구성된 기존의 측정회로도
Fig. 3. Conventional measurement circuit.

III. 새로운 신호처리 회로의 개발과 그 Simulation

1. 개발 및 해석

MOS 연산증폭기 차동증폭단의 두 입력소자 모두를 ISFET로 대체할 수 없을까 하는 착안을 하게 되었다. 이것이 가능한 경우 연산증폭기의 차동증폭기능을 이용한다면 MOS 연산증폭기를 약간 수정함으로써 바이오센서용 전 아날로그회로를 구성할 수 있다. 이렇게 하여 ENFET와 REFET 응답차를 증폭없이 끌어내기 위해서는 MOS연산증폭기의 개방이득(open loop gain)을 1로 줄여야 하며, 입출력간 직선성이 유지되어야 한다. 본 연구에서는 이득감소를 위해 2차 증폭단을 제거하고 차동증폭단의 부하 트랜지스터를 포함한 모든 FET를 enhancement mode로 구성하였으며, 입출력간 직선성 유지를 위해 모든 소자의 소오스와 기판을 연결함으로써 body effect를 제거했다. 그림 4는 개발된 신호처리회로를 나타낸 것으로 차동증폭단과 DSC(differential to

single ended converter)로 구성되어 있다. 11과 12는 ISFET로 구성된 ENFET와 REFET로 나타낸다. 회로에서 신호검출기능은 차동증폭단이며, 차동기능은 차동증폭단과 DSC가 함께 행하게 된다.

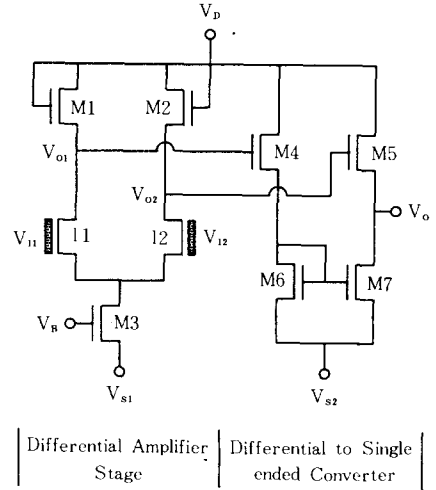


그림 4. 개발된 신호처리회로
Fig. 4. Developed signal process circuit.

MOSFET의 저주파모델¹⁾을 이용해 차동증폭단의 차동이득 A_{d1} 을 구하면 다음과 같다.

$$A_{d1} = -\frac{V_{01} - V_{02}}{V_{11} - V_{12}} = -\frac{g_{m1}}{g_{m1} + g_{mb1} + g_{d1} + g_{d2}} \quad (1)$$

V_{11} 과 V_{12} 는 ENFET와 REFET의 입력으로서 V_{11} 는 단일급속전극전위와 ENFET의 특성기질농도에 따른 계면전위차가 합쳐진 것이고, V_{12} 는 단일급속전극전위와 REFET의 특성기질농도와 관련이 없는 일종의 상수전위의 합이 된다. g_{mb} , g_{d1} 와 g_{m1} , g_{mb1} , g_{d1} 은 각각 ISFET와 부하 트랜지스터인 M1(혹은 M2)의 transconductance 성분으로서

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad g_{mb} = \frac{\partial I_D}{\partial V_{SB}} \quad g_d = \frac{\partial I_D}{\partial V_{DS}} \quad (2)$$

로 주어진다. 회로에서 모든 MOSFET는 포화영역에서 동작하게 되므로 $g_m \gg g_{mb}$ 이다. 따라서

$$\therefore A_{d1} = -\frac{g_{m1}}{g_{m1} + g_{mb1}} = -\alpha_1 \frac{g_{m1}}{g_{m1}} \quad (3)$$

가 되며, 여기서 $\alpha = 1/(1 + (g_{mb}/g_m))$ 로서 body effect를 나타내는 factor이다.

한편 DSC의 차동이득을 구하면 아래와 같다.

$$A_{d2} = -\frac{1}{2} \frac{g_{m4}}{g_{m4} + g_{m04} + g_{d4} + g_{d6}} \left[1 + \frac{g_{m6}}{g_{m4} + g_{m04} + g_{d4} + g_{d6} + g_{m6}} \right]$$

$$\approx -\frac{\alpha_4}{2} \left[1 + \frac{g_{m6}}{(g_{m4}/\alpha_4) + g_{m6}} \right] \quad (4)$$

g_m 은 다음과 같이 주어진다.⁽⁹⁾

$$g_m \approx 2\sqrt{K(W/L)I_D} \quad (5)$$

여기서 $K = C_g \mu_0$ 로서 C_g 는 게이트 커패시턴스, μ_0 는 전자의 표면이동도를 나타낸다. 소오스와 기판용 연결함으로써 body effect를 없애고 ($\alpha=1$) 윗식을 이용하면 전체차동이득은 다음과 같다.

$$A_d = A_{d1} \cdot A_{d2} = \frac{1}{2} \frac{1}{2} \frac{\sqrt{K_1(W/L)_1}}{\sqrt{K_1(W/L)_{m1}}} \left\{ 1 + \frac{\sqrt{(W/L)_{M6}}}{\sqrt{(W/L)_{M4}} + \sqrt{(W/L)_{M6}}} \right\} \quad (6)$$

2. Aspect ratio 결정 및 simulation

각 MOSFET와 ISFET의 채널길이는 g_a 성분을 줄이기 위해 $20\mu m$ 로 충분히 크게 정했으며, aspect ratio는 전체이득이 1이 되도록 했다. 설계된 값은 $(W/L)_{M1, M2} = 240/20$, $(W/L)_{M3, M4} = 500/20$, $(W/L)_{M5} = 400/20$, $(W/L)_{M6, M7} = 20/100$, $(W/L)_{M8, M9} = 400/20$ 이었다. M8(혹은 M9)대 M6(혹은 M7)의 aspect ratio 비가 큰 것은 식(4)에서 알 수 있듯이 I_D 변화를 작게 함으로써 I_D 에 의존적인 g_a 성분의 영향을 줄여 DSC에서의 직선성을 좋게하기 위한 것이다.

한편 게이트 절연막구조는 MOSFET의 경우 500 \AA 의 SiO_2 , ISFET의 경우 500 \AA 의 SiO_2 와 수소이온 감지막인 700 \AA 의 Si_3N_4 로 계획하고 있다. MOSFET의 게이트 커패시턴스를 C_M , ISFET의 게이트 커패시턴스를 C_I 라 하면 K_1 과 K_2 는 아래와 같다.

$$K_1 = \mu_0 C_M = (6.9 \times 10^{-4}) \mu_0 [A/V^2]$$

$$K_2 = \mu_0 C_I = (4 \times 10^{-4}) \mu_0 [A/V^2]$$

따라서 회로전체이득은 식(6)에서 $A_d = 1$ 이 된다. 회로의 차동이득은 ISFET와 M1 혹은 M2의 aspect ratio 비의 조절로서 조정가능하다.

ISFET를 같은 게이트절연막 구조의 MOSFET로 가정하여 전체회로특성을 SPICE simulation 하여 보았다. 그림 5는 M1(혹은 M2)의 aspect ratio를 각각 240/20(전체이득1)과 65/20(전체이득2) 일때의 simulation 결과로서 (a)는 차동증폭단의 출력률 (b)는 최종출력을 나타낸다. 이때 $V_D = 7V$, $V_{S1} = -7V$, $V_{S2} = 0V$, $V_B = -5.2V$ 이었다. 차동증폭단의 경우 입력 대 출력간의 직선성은 완벽하나, 최종출력은 입력이 커질수록 출력의 변화분도 조금씩 증가하고 있

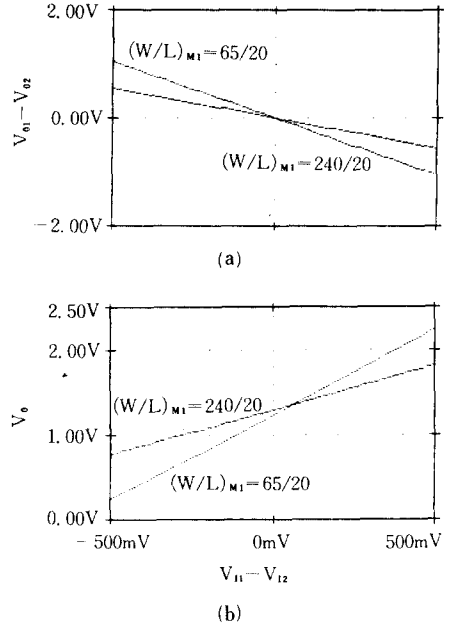


그림 5. Simulation 결과
Fig. 5. Simulation results.

다. 그 원인은 앞서 언급한바와 같이 입력전압이 증가함에 따라 M6의 I_D 가 감소하게 되고 따라서 g_a 성분이 작아져 식(4)에서 이득이 증가하기 때문으로 생각된다. 일반적으로 ISFET 바이오센서의 출력은 100mV이하로서 이 정도의 범위내에서는 직선성은 거의 완벽하며 따라서 임출력간의 비직선성문제는 염려하지 않아도 좋을 것이다.

3. 온도보상

개발된 회로의 온도의존성은 DSC에 의한 것인데 그 이유는 차동증폭단에서는 M1 및 M2와 ISFET의 온도의존성은 서로 상쇄되며 정전류원인 M5의 온도의존성은 동작범위만을 변화시킬 뿐 동작특성은 영향을 끼치지 않게 되기 때문이다. 따라서 차동증폭단의 출력 (V_{O1} 과 V_{O2})만을 끌어내 외부의 차동증폭기에 연결시킨다면 온도보상은 자동적으로 이루어지게 된다. 결국 차동증폭단만으로 검출회로를 구성하게 되는 것인데 이는 두개의 연산증폭기를 이용한 buffer로서 검출회로를 구성한 Wong 등의 연구결과와 비교하면 매우 간단하면서도 신뢰성이 높다. 한편 최종출력은 결국 DSC단의 온도의존성을 포함하고 있으므로 별도의 온도보상방법이 필요하다고 생각된다

IV. 공정설계

ISFET와 MOSFET는 그 구조가 유사하지만 계

이트 절연막 구조가 서로 틀리므로 함께 집적하기란 쉽지 않다. 본 연구에서는 p-well CMOS 공정을 수정하여 ISFET, 신호처리회로 및 금속기준전극을 함께 집적시킬 수 있는 새로운 공정을 설계하였다. 그림(6)은 설계된 공정 순서도를 나타낸 것이다. 공정(a)까지는 LOCOS p-well CMOS 표준공정을 그대로 따른다. ISFET는 게이트전극이 없으므로 MOSFET

게이트 부분에만 poly-Si를 형성시키고, 소오스/드레인 이온주입시 ISFET 게이트 부분은 PR로서 마스크한다. well 접촉 이온주입을 하고 LTO를 기른후 ISFET의 게이트 절연막을 기르기 위해 게이트 부분을 식각한다. SiO₂를 기르고 수소이온감지막인 Si₃N₄를 기른뒤 금속기준전극으로 Pt/Ti를 형성시키게 되는데 이때 Ti는 Si₃N₄와의 접착을 좋게하기 위한 것이다. 그뒤 Al로 metallization한다.

이상과 같이 설계된 공정은 body effect 제거와 소자간의 절연을 위해 각 소자마다 독립 well 방법을 택했다. 위 공정을 따라 칩을 제조시 9장의 마스크가 필요하다.

V. 칩설계

ISFET, 신호처리회로 및 금속기준전극을 포함하고 위의 공정을 따르는 칩을 설계하였다. 그림(7)는 설계된 칩 layout을 나타낸 것으로 칩 크기는 2500×3600μm²이다. 전체이득은 1과 2 선택할 수 있게 차동증폭단의 부하 트랜지스터를 240/20, 65/20 두 종류로 하였으며, DSC 단의 직선성 영향을 조사하기 위해 M4 및 M5을 20/100, 20/50 둘로 선택할 수 있도록 했다. 또한 칩안에는 온도센서용 pn접합이 함께 포함되어 있다. pad가 다소 많은 것은 여러가지 선택점 외에도 각 node의 전압값 변화를 조사하기 위해 pad를 형성시켰기 때문이다.

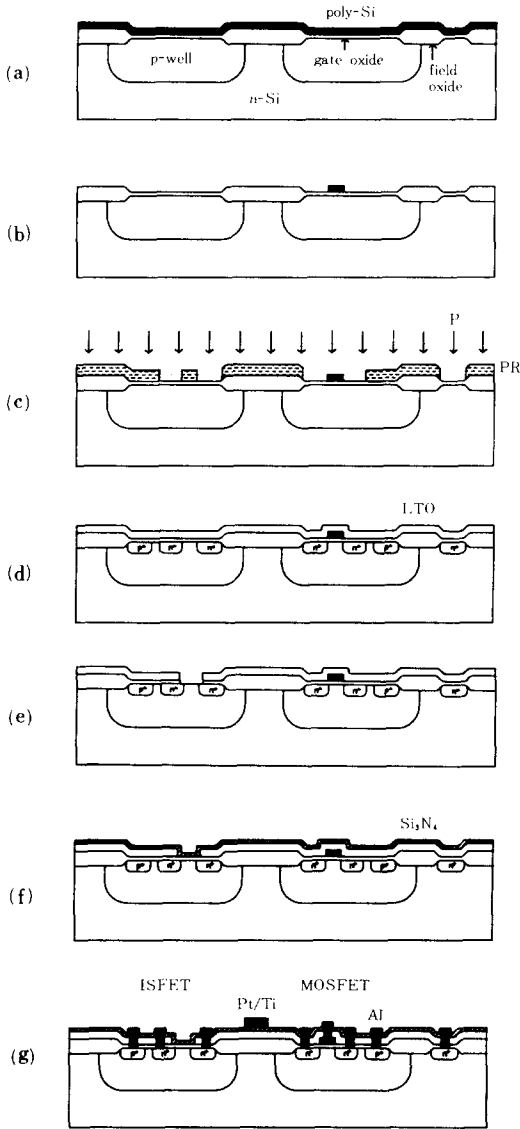


그림 6. ISFET, 금속기준전극 및 개발된 회로를 내장한 칩의 공정순서도

Fig. 6. Process sequences for the chip with ISFET, metal reference electrode and developed circuit.

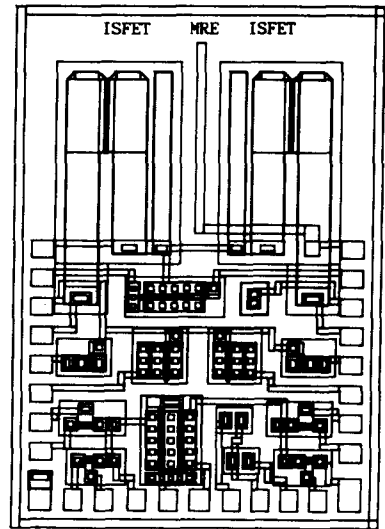


그림 7. 칩 layout
Fig. 7. Chip layout.

VI. 결 론

ISFET 바이오센서 적용을 위해 ISFET, 새로운 신호처리회로 및 금속기준전극의 단일칩 집적을 위한 일련의 연구를 수행하였다.

ISFET를 MOS 차동증폭단의 두 입력소자로 사용함으로써 매우 간단하고 집적화에 유리한 신호처리회로를 개발하였다. 그 동작특성을 SPICE simulation을 통해 확인한 결과 임출력간 우수한 선형성을 나타내어 실제 바이오센서에 적용가능함을 알 수 있었다. 또한 개발된회로와 ISFET 및 금속기준 전극을 한칩내에 함께 집적시키기 위한 새로운 공정을 설계하였고 이에 따라 칩을 layout하였다.

현재 칩을 제조중에 있으며, 제조된 칩의 평가, 바이오센서에의 응용 등에 따른 연구가 계속 될것이다.

參 考 文 獻

[1] A. Turner, I. Karube and G. Wilson, *Biosensors*, Oxford, New York, 1987.
 [2] 손병기, "감이온 전장효과 트랜지스터" 전자공학회, 제18권 제 5 호, pp. 22~29, 1981년10월
 [3] S. Caras and J. Janata, "Field effect transistor sensitive to penicillin," *Anal. Chem.*, vol. 52, pp. 1935-1937, 1980.

[3] E. Tamia and I. Karube, "Micro-biosensors for clinical analyses," *Sensors and Actuators*, vol. 15, pp. 199-207, 1988.
 [5] Y. Hanazato and S. Shiono, "Bioelectrode using two hydrogen ion sensitive transistors and a platinum wire pseudo reference electrode," *Proc. of the international meeting on chemical snesors*, pp. 153-517, 1983.
 [6] W.H. Ko, C.D. Fung, D. Yu and Y.H. Xu, "Multiple ISFET with integrated circuits," *Proc. Int. Meet. Chem. Sensors*, Fukuoka, Japan, pp. 496-500, 1983.
 [7] L. Bousse, J. Shott and J.D. Meindl, "A process for the combined fabrication of ion sensors and CMOS icrcuits," *IEEE Electron Device Letters*, vol. 9, no. 1, pp. 44-46, Jan., 1988.
 [8] H.S. Wong, M.H. White, "A CMOS-integrated ISFET-operational Amplifier chemical sensor employing differential sensing," *IEEE Trans. on Electron Devices*, vol. 36, no. 12, pp. 479-487, Mar., 1989.
 [9] R. Gregorian and G.C. Temes, *Analog MOS Integrated Oircuits for Signal Processing*, John Wiley & Sons, New York, pp. 78-81, 1986.

著 者 紹 介



徐 華 一 (正會員)

1961年 3月 26日生. 1984年 2月 경북대학교 전자공학과 공학사 학위 취득. 1986年 8월 경북대학교 대학원 전자공학과 공학석사 학위취득. 1987年 3월~현재 경북대학교 대학원 전자공학과 박사과정 재학중. 1988年 9월~현재 경북대학교 전자공학과 조교. 주관심분야는 지능형 반도체 집적센서, 반도체공정기술 등임.

孫 炳 基 (正會員) 第26卷 第11號 參照

현재 경북대학교 전자공학과 교수