

Source-Coupled Backgate 쌍을 이용한 CMOS 차동 입력단의 특성

(Characteristics of a CMOS Differential Input-Stage Using a Source-Coupled Backgate Pair)

姜 旭*, 李 元 亨*, 韓 宇 宗**, 金 壽 遠***

(Wook Kang, Won Hyeong Lee, Woo Jong Han, and Soo Won Kim)

要 約

기존의 차동입력단은 포화영역에서 동작하는 MOSFET의 gate단자를 입력단으로 이용함으로써, open loop gain, CMRR (common-mode rejection ratio)이나 PSRR (power-supply rejection ratio) 등의 특성이 우수하여 능동회로의 입력단으로 광범위하게 이용되고 있으나, 입력신호의 선형범위가 제한된다는 단점이 있다.

본 논문에서 제안된 차동입력단은 MOSFET의 Bulk를 입력단자로 이용하고 입력 MOSFET 소자들이 ohmic 영역에서 동작하도록 바이어스함으로써, 선형입력범위를 크게 증가시켰으며, 바이어스 전류에 따라 차동입력단의 transconductance를 변화시킬 수 있는 새로운 구조의 CMOS 공동소스 차동입력단을 제안하였다.

본 논문에서 제안된 차동 증폭단은 CMOS 공정으로 제작된 W/L=50/25 MOSFET을 사용하여 실험하였으며, 200 μ A의 바이어스 전류에 대해, 비선형 오차는 10V Full-scale 범위에 걸쳐 $\pm 1\%$ 미만임을 확인하였다.

Abstract

It is well known that the conventional differential source-coupled pair uses gates as its input terminals. This input pair provides a high open-loop gain, a large CMRR, and a good PSRR. For these reasons, the input pair has been used widely as an input stages of the differential amplifiers, but a narrow linear input range of this structure limits its application in the area of some analog circuit design.

A novel CMOS source-coupled backgate pair is proposed in this paper. The bulk of MOSFET is exploited and input devices are biased to operate in ohmic region. With this topology, the backgate pair of the wide linear input range and variable transconductance can be obtained.

This backgate input differential stage is realized with the size of W/L=50/25 MOSFETs. The results show the nonlinear error is less than 1% over 10V full-scale range for the bias current of 200 μ A with 10V single power-supply.

*準會員, ***正會員, 高麗大學校 電子工學科
(Dept. of Elec Eng., Korea Univ.)
接受日字: 1990年 8月 4日

**正會員, 韓國電子通信研究所
(Electronics and Telecommunications Research
Institute)

I. 서 론

공통소스 차동입력쌍(source-coupled differential-input pair)은 OP-Amp, Comparator, 아날로그 multiplier 등의 일반적인 선형회로의 입력단으로 광범위하게 이용되고 있다. 이러한 입력단의 성능은 common-mode input range(CMR), CMRR, PSRR 그리고 offset 전압등으로 성능이 우수한 반면, 입력단의 큰 선형범위가 요구되는 active filter 등 여러 블럭을 cascade로 연결해야 하는 경우에는 이용에 많은 제약을 받는다.

일반적으로 이용되고 있는 공통소스 입력쌍의 선형성은 포화영역에서 동작하는 MOSFET의 $I_{DS}=K(V_{GS}-V_{TH})^2$ 관계식을 이용할 때, 1%미만의 비선형성을 유지하기 위해서는 입력전압범위가 다음과 같이 제한된다.^[1]

$$-0.28\sqrt{\frac{I_{SS}}{K}} \leq V_{ia} \leq 0.28\sqrt{\frac{I_{SS}}{K}} \quad (\text{단, } K = \frac{\mu C_{ox} W}{2L}) \quad (1)$$

식(1)에서 알 수 있듯이, 선형입력범위를 개선시키기 위해서는 바이어스 전류(I_{SS})를 증가시키거나, W/L 값을 작게 선택해 주어야 하는데, 이들 결정요인들 간에는 trade-offs가 존재한다. 예를들어, 선형성을 증가시키기 위해 I_{SS} 를 증가시키면 전력소모가 커지고, W/L 을 작게 선택하면 게이트-소스간 전압강하를 증가시켜 부(負)입력 CMR이 감소되며 offset 전압이 커지는 단점이 있다.^[2]

포화영역에서 동작하는 공통소스쌍 회로의 선형성을 개선시키는 데에는 근본적인 제한이 따르고, 그간 많은 변형된 입력구조들이 발표되었음에도 불구하고 그 실용성은 아직 잘 알려지지 않고 있다.^[3,4,5]

본 논문에서 제안된 bulk-입력 차동입력단은 부가적인 소자나 큰 바이어스 전류를 필요로 하지 않고 큰 선형입력 범위를 갖는, 즉 transconductance 선형성을 개선시켰다.

II. Bulk-입력 공동소스 차동입력단

MOSFET은 drain, source, gate 및 bulk 단자를 갖는 4단자 소자이다. 그러나 대부분의 경우, bulk(일명 "back-gate")는 MOSFET의 기생단자로서만 고려되어 회로 구현시 회로의 선형동작을 제한하는 bulk effect를 최소화시키기 위해 가능한 한 소스에 연결시켜 이용된다.

만일 각각의 MOSFET이 CMOS 공정에서 분리된 well내에 구현되고, 채널이 형성되도록 게이트단자에 높은 전압을 인가하면, bulk를 입력단자로 이용할 수

있다. 즉 그림 1의 입력 MOSFET M_1 과 M_2 가 ohmic 영역에서 동작하도록 gate단자에 회로내의 가장 높은 전압 V_{DD} 를 인가하고, bulk를 입력단자로 사용함으로써 transconductance 이득은 작아지지만 입력 선형영역이 증가되는 현상을 얻을 수 있으며, 이러한 특성이 앞서 언급한 바와 같은 응용분야에 따라서는 오히려 바람직한 특징이 될 수도 있을 것이다. 그림 1은 이러한 성질을 이용한 bulk-차동 입력단의 기본 구조이다. 만일 큰 transconductance 이득이 필요한 경우에는 전류의 구동 능력을 개선시키기 위해 current mirror를 이용하여 감소된 이득을 보상할 수도 있을 것이다.

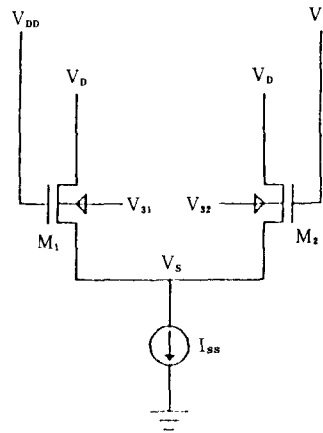


그림 1. bulk-입력 차동 입력단의 기본 구조
Fig. 1. Basic structure of the Bulk-input differential pair.

그림 1에서 보여진 bulk-입력 차동 입력단의 대신 호 해석은 다음과 같다. 해석의 편의를 위해 입력쌍 M_1 과 M_2 를 ohmic 영역에서 동작시키기 위해 gate 단자들은 가장 높은 전위 V_{DD} 에 연결시켰고, 항상 $V_D < V_{DD}-V_{T0}$ 관계가 성립하도록 드레인 전압 V_D 는 일정하게 유지된다고 가정되었다. 이러한 조건에서 MOSFET에 흐르는 드레인 전류 I_D 는 다음식과 같다.

$$I_D = 2K[V_{GS} - [V_{T0} + \gamma(V_{SB} + \phi)]^{1/2} - \gamma\phi^{1/2}] - \frac{V_{DS}}{2} V_{DS} \quad (2)$$

여기서 n-channel T_r 의 문턱전압, V_T 는

$$V_{T0} + \gamma(V_{SB} + \phi)^{1/2} - \gamma\phi^{1/2} \quad (3)$$

이다. 이때 $|V_B| \ll V_S + \phi$ 라고 가정하고 식(3)에 대해

taylor급수 전개를 수행하여 처음 1차항만을 추출해 내면 다음과 같이 근사화될 수 있다.

$$[V_{Sb} + \phi]^{1/2} = [V_s - V_{B1} + \phi]^{1/2} \approx [V_s + \phi]^{1/2} \left[1 - \frac{V_{B1}}{2(V_s + \phi)} \right] \quad (4)$$

그러므로 M_1 과 M_2 의 흐르는 전류 I_{D1} 과 I_{D2} 는 각각 다음과 같이 된다.

$$I_{Dx} = 2K [V_{GSx} - [V_{T0} + \gamma(V_s + \phi)^{1/2} \left[1 - \frac{V_{Bx}}{2(V_s + \phi)} \right] - \gamma\phi^{1/2}] V_{DSx} \quad (5)$$

(여기서, X는 1 또는 2)

출력전류차를 $I_{O\alpha} = I_{D1} - I_{D2}$ 로써 정의하고, $V_{DS1} = V_{DS2} = V_D - V_s$ 라고 가정하면 식(5)으로부터 출력전류차는 다음식으로 주어진다.

$$I_{O\alpha} = I_{D1} - I_{D2} \approx 2K \left[\gamma \frac{V_{DS}}{2\sqrt{V_s + \phi}} \right] (V_{B1} - V_{B2}) \quad (6)$$

식(6)에서, 만일 V_s 가 V_{B1} 과 V_{B2} 에 무관하다면 이러한 bulk-입력 차동입력단의 transconductance는 상수로 볼 수 있으므로, 그림 1의 차동 입력단은 선형 transconductance 특성을 가질 수 있다. 실제로 V_s 는 V_{B1} 과 V_{B2} 에 거의 무관하게 일정한데, 이것을 수학적으로 입증하는 것은 상당히 복잡하고 여러단계를 거치므로 본 논문에서는 실험결과와 정성적인 측면에서 논하도록 하겠다.

만일 V_s 가 V_{B1} 과 V_{B2} 에 대해서 매우 크게 변화된다면, V_s 에서의 이러한 변화는 게이트 전압이 일정하므로 결과적으로 V_{GS} 에도 동등한 영향을 미치게 된다. V_{GS} 에서의 이러한 큰 변화는 드레인 전류에도 크게 영향을 미치게되어, V_s 는 입력전압 V_{B1} 과 V_{B2} 의 전 범위에 걸쳐 큰 변화를 하여야만 하는데, 실제로는 V_s 가 거의 일정함을 실험으로 확인하였다.

결론적으로, 드레인 전류 I_{Dx} 는 bulk 입력전압에만 약간 의존하고, V_{B1} 과 V_{B2} 에 있어서의 큰 변화량은 소량의 $I_{O\alpha}$ 변화를 야기한다고 할 수 있다. 이러한 해석을 통해서 식(6)의 transconductance 선형성은 상당히 개선될 수 있음이 명백해진다.

그림 1에서 $I_{SS} = I_{D1} + I_{D2}$ 이므로 V_{B1} 과 V_{B2} 에 대한 I_{SS} 와 V_s 간의 관계는 식(1)으로부터 다음과 같이 된다.

$$I_{SS} = 4K \left[V_{DD} + \gamma\phi^{1/2} - V_{T0} - \frac{V_s + V_D}{2} - \frac{\gamma}{2} [(\phi + V_s - V_{B1})^{1/2} + (\phi + V_s - V_{B2})^{1/2}] \right] (V_D - V_s) \quad (7)$$

동작점 ($V_{B1} = V_{B2} = 0$)에서의 경우, 식(7)은 다음과 같이 나타낼 수 있다.

$$I_{SS} = 4K \left[V_{DD} + \gamma\phi^{1/2} - V_{T0} - \frac{V_s + V_D}{2} - \frac{\gamma}{2} [(\phi + V_s)^{1/2} + (\phi + V_s)^{1/2}] \right] (V_D - V_s) \quad (8)$$

식(8)에서 V_s 의 값은 V_{B1} 과 V_{B2} 에 거의 무관한 상수로 본다면, I_{SS} 는 광범위한 입력전압에 대해 일정하다고 볼 수 있다.

$I_{SS} = I_{D1} + I_{D2}$ 관계와 식(7)으로부터 I_{D1} 과 I_{D2} 는 입력전압차 ($V_{B1} - V_{B2}$)에 대해 선형적으로 변화함을 알 수 있고, 다음식과 같이 근사화될 수 있다.

$$I_{Dx} = \frac{I_{SS}}{2} + \frac{KV_{DS}\gamma}{\sqrt{V_s + \phi}} (V_{B1} - V_{B2}) (-1)^x \quad (9)$$

그림 1의 구조에서, 식(9)가 성립하기 위해서는 bulk에서 소스사이의 pn접합이 역바이어스로 유지되도록 하기 위해 입력전압 V_{B1} 과 V_{B2} 는 V_s 보다 낮아야 한다.

동작점에서 이러한 구조의 차동증폭기의 transconductance는 식(6)으로부터 다음과 같이 근사화시킬 수 있다.

$$g_m = \frac{\partial (I_{D2} - I_{D1})}{\partial (V_{B1} - V_{B2})} \Big|_{V_{B1} = V_{B2} = 0} \approx \gamma \frac{KV_{DS}}{\sqrt{V_s + \phi}} \quad (10)$$

III. 시뮬레이션과 실험결과

그림 1의 bulk-입력 차동증폭기는 그림2의 사진과 같이 1.2 μ m CMOS 공정으로 제작된 MOSFET를

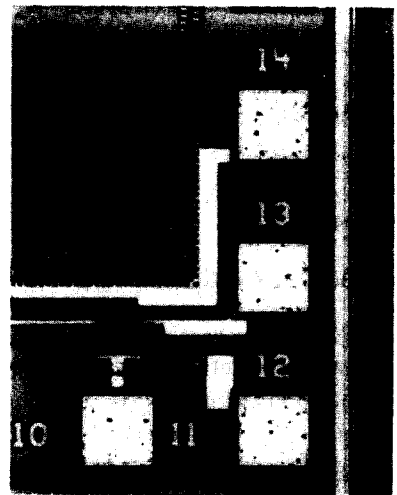


그림 2. 실험에 이용된 n-channel MOSFET의 사진
Fig. 2. Die photograph of the n-channel MOSFET for experiment.

입력소자로 이용하여 실험하였다. 그림 2에서 Pad 14가 입력단으로 이용된 bulk이고 Pad 11, 12, 13이 각각 drain, gate, source 단자이다. 실험조건은, V_{DD} 는 10V로 하였고 V_p 는 7V와, 7.5V 두가지 경우로 고정시켰다. 바이어스 전류원 I_{SS} 는 MOSFET을 이용하여 $100\mu A$ 로 선택하였다. 이용된 MOSFET의 크기는 $W=50\mu$ 이고 $L_1=L_2=L_3=25\mu$ 이다.

그림 3은 본 논문에서 제안된 차동증폭단의 I_{D1}, I_{D2} 를 $V_{id}(V_{id}=V_{B1}-V_{B2})$ 의 함수로 측정된 결과로서, 기존의 차동 입력단보다 훨씬 증가된 선형입력 범위를 나타내는 transconductance 특성을 잘 보여주고 있다.

그림 4는 I_{SS} 의 full-scale에 대한 $I_{D1}-I_{D2}$ 의 오차곡선이다. $100\mu A$ 의 바이어스 전류에 대해 $V_D=7V$ 로 선택할 경우, $\pm 1\%$ 미만의 full-scale 오차를 6V범위의 입력전압차에 걸쳐 유지시킬 수 있음을 보여주고 있다.

그림 5는 P채널 MOSFET($L_4=L_5=25\mu$)을 부하로 사용한 실제 one-stage op-Amp 구조에서 사용되는 입력구조이다.

그림 6(a)는 I_{SS} 를 각각 50, 100, 150 그리고 $200\mu A$ 로 변화시키면서 실험하였을 때의 transconductance 특성으로써 바이어스 전류가 증가할수록 transconductance 이득은 감소하고, 즉 $I_{SS}=50, 100, 150, 200\mu A$ 일때 측정치로부터 계산된 g_m 값은 각각 $7.66 \times 10^{-6}, 4.09 \times 10^{-6}, 2.92 \times 10^{-6}$, 그리고 2.52×10^{-6} [mho]로써 감소하고 선형 입력범위는 증가함을 보여주고 있다. 그림 6(b)는 $I_{SS}=200\mu A$ 에 대한 SPICE 시뮬레이션

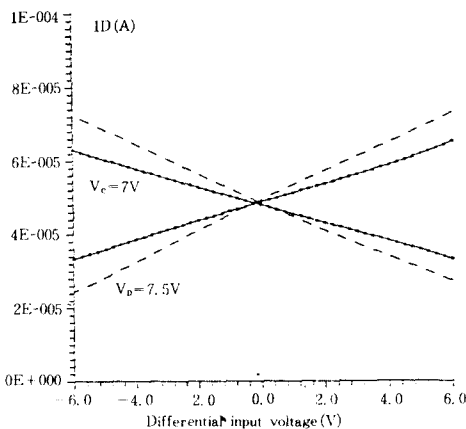


그림 3. 기본적인 bulk-입력 차동 입력단의 실험결과
Fig. 3. Experimental results of a basic bulk-input differential pair.

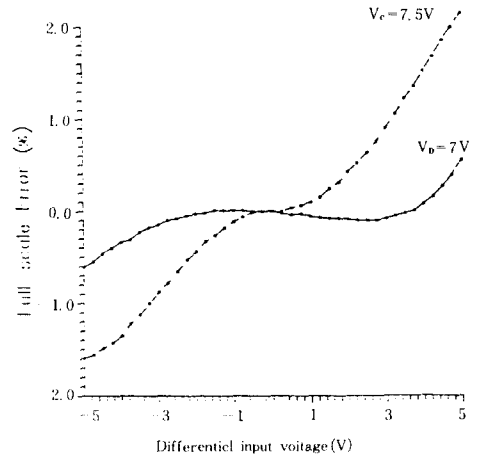


그림 4. 기본구조의 비선형성 오차
Fig. 4. Nonlinear error of a basic structure.

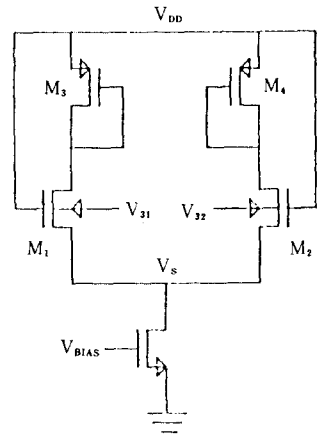
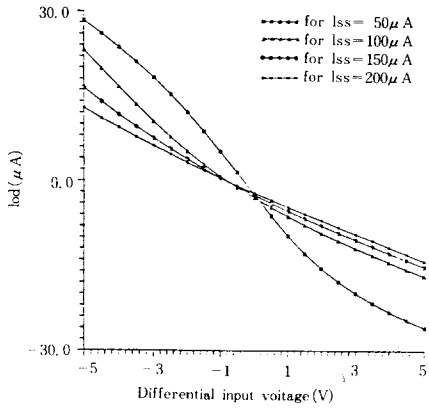
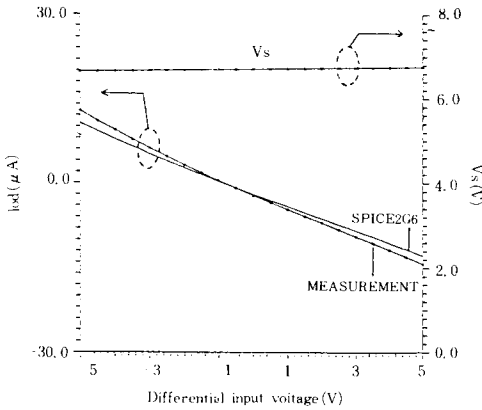


그림 5. pMOS 부하를 사용한 bulk-입력 차동증폭단
Fig. 5. Complete bulk-input differential stage with pMOS loads.

과 실험결과의 비교와 함께 실험적으로 측정된 V_s 를 도시하였다. 본 시뮬레이션에서 이용된 1.2μ CMOS 공정 파라미터들은 각각 $V_{TON}=0.815, V_{TOP}=-1.02, \gamma_N=0.65, \gamma_P=0.43, \Phi_N=0.6, \Phi_P=0.67$, 그리고 $KP_N=5 \times 10^{-5}, KP_P=2.1 \times 10^{-5}$ 이다. 그림 6(b)에서 알 수 있듯이, V_s 는 입력전압에 거의 무관하며 본 실험에 이용된 MOSFET 크기의 회로에서는 I_{SS} 를 $200\mu A$ 정도로 선택할 경우 매우 선형적인 transconductance 특성을 얻을 수 있다. 일반적으로 공통 소스 차동 입력단을 구현하는 데에는 수백 μA 의 바이어스 전류가 사용되나,^[1,2] 만일 전력소모량을 고려하여 보다



(a)



(b)

그림 6. (a) 그림 4의 회로에 대한 Vid-Iod 관계
(b) 입력전압과 출력전류 및 공통소스 전압 특성

Fig. 6. (a) V_{id} - I_{od} relationship for the fig.4 circuit
(b) Characteristics between the input voltage and the output current, and the common source voltage.

낮은 I_{SS} 값에서 선형특성을 얻고자 할 경우에는, 부하 MOSFET의 채널폭을 증가시켜 부하저항에 걸리는 전압강하를 감소시킴으로써 구현될 수 있다.

마지막으로, 각각의 I_{SS} 의 full-scale값에 대한 출력 전류차 I_{od} 의 full-scale error(%)를 평가하여 그 결과를 그림 7에 나타내었고, 기존의 일반적인 차동 입력단과의 비교를 위해 동일한 조건에서 시뮬레이션 한 결과를 표 1에 요약하였다. I_{SS} 가 50, 100, 150, 그리고 $200\mu A$ 로 증가할 때 1% 미만의 비선형 오차를 가지는 입력전압 범위는 각각, 1.2V, 1.4V, 1.9V 그리고 5.3V로 증가되었다. 따라서 본 논문에서 제

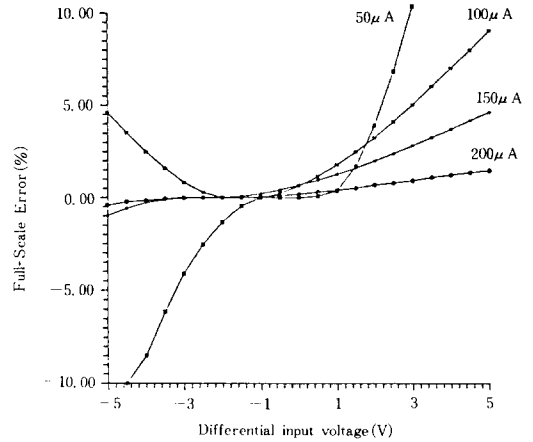


그림 7. 바이어스 전류에 따른 선형 입력범위의 변화.

Fig. 7. Linear input-range variation by various bias currents.

표 1. Bulk 차동입력단의 transconductance 특성과 기존 입력단과의 1% 선형 입력범위 비교

Table 1. The transconductance characteristic and the comparison of 1% nonlinearity between bulk-in put stage and conventional stage.

I_{SS} [μA]	transconductance g_{m0} [$\mu A/V$]	1% Linear input-range[V]	
		Bulk 차동입력단	기존의 입력단
50	7.45	1.15	0.32
100	4.06	1.40	0.41
150	2.90	1.90	0.49
200	2.21	5.30	0.36

$V_{DD}=10V$

■ : steady-ohmic region

안된 bulk-입력차동 입력단은 만일 전력소모 한계량이 허용할 경우, $200\mu A$ 이상의 바이어스 전류를 선택함으로써 기존의 gate-입력 차동 입력단에 비해 월등히 우수한 transconductance 선형성을 가질 수 있다.

IV. 결 론

본 논문에서는 기존의 CMOS 차동 증폭단에서 back-gate단을 입력으로 이용함으로써 기존의 공통소스 차동증폭기에 비해 입력전압 스윙과 선형성이 크게 개선되었음을 실험과 시뮬레이션을 통해 증명

하였다.

차동 증폭단의 transconductance gain은 바이어스 전류의 함수로 주어지게 되므로, 본 논문에서 제안하는 차동 입력단은 공정 변화에 따른 MOSFET 파라미터의 변동을 쉽게 보상할 수 있다는 장점을 가진다. 바이어스 전류가 50~200 μ A까지 변화될 때, transconductance gain이 감소하고, 바이어스 전류를 200 μ A보다 크게 선택할 경우, 10V 이상의 full-scale에 대해 $\pm 1\%$ 미만의 비선형성오차를 실험결과를 통해 확인하였으며 이러한 결과는 SPICE 시뮬레이션 결과와도 잘 일치한다. 그러므로 본 논문에서 제안하는 bulk-입력 차동 증폭단은 programmable resistor 및 active filter 설계 분야에서 응용될 수 있을 것으로 기대된다.

參 考 文 獻

[1] J.N. Babanezhad and G.C. Temes, "A 20-V Four-quadrant CMOS Analog Multiplier," *IEEE J. Solid-State Circuits*, vol. SC-20, pp. 1158-1168, 1985.

[2] A. Nedungadi and T.R. Viswanathan, "Design of Linear CMOS Transconductance Elements," *IEEE Trans. Circuits System*, vol. CAS-31, pp. 891-894, 1984.

[3] R. Gregorian and G.C. Temes: *Analog MOS Integrated Circuits for signal processing*, John Wiley & Sons, 1986.

[4] C. Toumazou, F.J. Lidgley & D.G. Haigh: *Analogue IC design: the current-mode approach*, Peter Peregrinus Ltd., 1990.

[5] P.E. Allen & D.R. Holberg: *CMOS Analog Circuit Design*, Rinehart and Winston, Inc., 1987.

[6] W. Kang and S.W. Kim, "A Novel Differential Input-Stage using A Source-coupled Backgate Input Pair," *JTC-CSCC '90 proceedings*. pp. 30-34.

著 者 紹 介



姜 旭 (準會員)

1966年 2月 6日生. 1989年 고려대학교 전자전공학과졸업. 1991年 고려대학교 대학원 전자공학과 졸업(석사). 주관심분야는 MOS 아날로그 회로 설계 및 MOS 소자 modeling 등임.

韓 宇 宗(正會員)

1959年 1月 2日生. 1981年 고려대학교 전자공학과 졸업. 1984年 고려대 대학원 전자공학과 졸업(석사). 현재 한국전자통신연구소 근무중. 주관심분야는 MOS 아날로그 회로 설계 및 컴퓨터 설계 등임.

李 元 亨(正會員)

1957年 1月 8日. 1980年 충남대 화학공학과 졸업. 1990年 고려대 산업대학원 전자통신공학과 졸업(석사). 현재 삼성반도체 근무 중. 주관심분야는 반도체공정 개발 등임.

金 壽 遠 (正會員) 第27卷 第4號 參照

현재 고려대학교 전자공학과 교수