

신경회로망의 VLSI 구현

李 壽 永

韓國科學技術院 電氣 및 電子工學科

I. 서 론

신경회로망은 3가지 방법으로 구현되고 있다. 첫째, 기존의 하드웨어에 신경회로망 알고리즘만을 소프트웨어로만 구현하는 방법으로, 단순한 문제의 소규모 구현에 사용된다. 디지털 신호처리 소자(digital signal processor, DSP)나 트랜스퓨터(transputer) 등을 이용한 고속화 보드(accelerator board)가 도입되기도 하는데, HNC Anza^[1]나 SAIC Sigma^[2]가 이에 속한다. 둘째, 보다 계산량이 요구되는 경우, 다수의 어레이 프로세서(array processor)를 사용할 수 있는데,^[3] 신경회로망 알고리즘의 병렬계산 특성에 의해 하드웨어(hardware)의 병렬성을 살릴 수 있다. 그러나 이러한 범용 계산구조를 이용하는 구현기법은 신경회로망의 특성을 충분히 살리지 못하므로, 보다 효율적인 구현을 위해서는 처리소자(processing element, PE)의 단순성과 대규모 상호 연결 특성을 살릴 수 있는 특수 하드웨어가 요구된다. 따라서, 셋째 구현 방법은 신경회로망 알고리즘에만 적합한 특수 하드웨어를 이용하게 된다.

신경회로망의 주요 요소로 신경세포(neuron)와 시냅스(synapse)를 들 수 있다. 각 신경 세포의 활성화도(activation)는 시냅스를 통해 연결세기 만큼의 가중치로 다른 신경세포에 전달된다. 또한 신경세포는 다른 신경세포로부터 가중치를 통해 온 신호를 합하여 비선형 특성을 가한 활성화도를 갖게 된다. 따라서, 인공 신경회로망의 구현에서는, 신경세포와 연결세기의 곱셈을 수행하는 시냅스와, 합과 비선형 전달함수를 갖는 신경세포의 구현이 그 기본이 된다. 특수 하드웨어가 요구되는 대규모 신경회로망의 경우, 시냅스의 수는 신경세포의 수보다 매우 많으므로 효율적인 시냅스의 구현이 요구된다.

신경회로망 전용 하드웨어의 구현 기술로는 전기적 구현, 광학적 구현 및 생물학적 구현을 생각할 수 있다. 생물학적 신경회로망을 모방한다는 견지에서 생물학적 구현이 기대되나, 기초 구현 기술이 거의 없어 아직도 기본 개념 자체가 불분명하다. 높은 연결밀도를 갖는 빛은 대규모 시냅스의 구현에 적합할 것으로 인식되고 있으나, 적응학습에 요구되는 연결세기의 변화와 신경 세포 기능을 위한 소자에 대한 연구가 선행되어야 한다. 따라서, 잘 발달된 집적회로 기술을 이용하는 전기적 구현이 먼저 실제 응용에 도입될 것이다. 그러나 전기적 구현은 신경회로망 칩(chip)의 집적도와 핀(pin)의 수에 제한받게 되며, 신경회로망 칩은 100개 정도의 입출력 신경세포와 100,000개 이하의 시냅스를 갖게 될 것이다. 또한, 특수 신경회로망 칩의 필요성을 정당화시키기 위해서는 범용 계산구조를 갖는 상용 칩보다 훨씬 우수한 성능을 가져야 한다. 이미 초당 10억번 이상의 연결계산(connections per second, CPS)으로 Cray 2S 슈퍼 컴퓨터를 능가하는 칩이 선보였고, 초당 1조번 이상의 연결계산 능력을 갖는 칩이 기대되고 있다.

2장에서 먼저 신경회로망 칩(chip)의 계산 구조와 구현 기법을 분류 설명하고, 3장에서는 신경회로망 칩 성능 평가시 고려 사항과 현재 보고된 신경회로망 칩의 성능을 종합적으로 비교 검토하기로 한다. 4장에서 신경회로망 컴퓨터 개발에 관한 최신 연구 동향을 살펴봄으로써 결론을 대신하고자 한다.

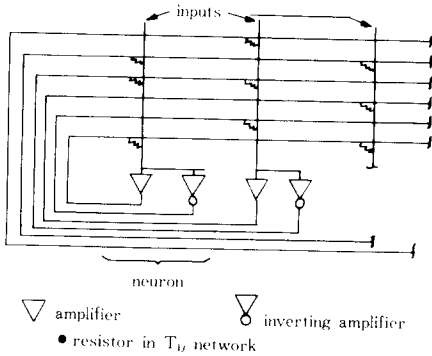
II. 신경회로망 칩의 계산 구조

신경회로망 칩의 계산구조는 시냅스와 신경세포를 구

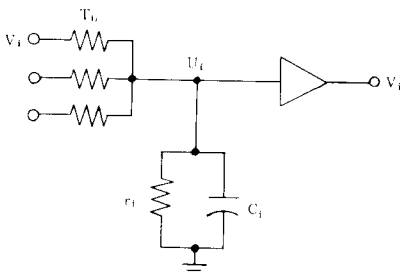
현하는 기본 방법에 따라, 어날로그(analog), 디지털(digital) 및 어날로그-디지털 혼합형(analog-digital hybrid)으로 구분할 수 있다.

1. 어날로그(analog) 신경회로망 칩(chip)

어날로그 신경회로망 칩에서는 시냅스(synapse)의 연결세기 저장과 계산이 모두 어날로그 회로로 구현된다. 어날로그 연결세기는 고정 연결일 경우 저항값,^[1] 가변 연결세기의 경우 캐패시터(capacitor)나 플로팅 게이트(floating gate)에 저장되는 저항의 양^[2]으로 표시된다. 연결세기를 통한 신경 세포 활성화도(activation)의 전달 및 합은 어날로그 곱셈기에 의해 수행된다. 신경 세포의 비선형 전달함수는 어날로그 곱셈기를 구성하는 OP-Amp나 트랜지스터의 포화(saturation) 특성으로 자연스럽게 구현되어 질 수 있다.



(a) 전체 회로



(b) 한 신경세포의 회로

그림 1. Hopfield 모델 구현의 개념도

그림 1은 고정 연결 Hopfield 모델의 구현을 위한 개념도이다.^[1] 연결세기는 저항으로 구성되고, 음(negative)의 값을 갖는 연결세기를 위해 각 신경 세포마다 부호가 서로

다른 2개의 활성화도가 유지된다. 그림 1(b)의 r_i 와 C_i 는 각각 증폭기(amplifier)의 입력 저항과 캐패시턴스를 의미한다. 그림 1(a)에서 피드백(feedback)을 제거하면, 단층구조 인식자(single-layer perceptron) 모델이 되고, 이를 직렬로 연결하면 다층구조 모델을 구현할 수 있다. 연결세기를 변화시키기 위해서는 저항값을 바꾸어야 하는데, 한개의 저항대신 2진화된 여러개의 저항과 스위치를 병렬 연결하여 사용할 수 있다.

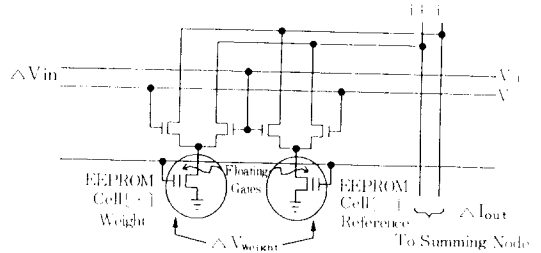


그림 2. Intel ETANN의 시냅스(synapse) 구조

Intel은 전기적으로 지울 수 있는 프로그램 가능한 메모리(EEPROM)를 사용하는 ETANN(electrically trainable analog neural network) 칩을 판매하고 있다.^[3] EEPROM의 플로팅 게이트(floating gate)에 축적되는 전하로 연결세기가 저장되는데, 음의 연결세기를 구현하기 위해 그림 2와 같이 2개의 EEPROM floating gate 전압차를 이용한다. EEPROM의 전압-전류($V_{rs}-I_d$) 특성은 그림 3과 같다. 입력과 출력의 수는 각각 128개 및 64개로 총 8K의 가변 연결세기를 사용하는데, 연결세기는 6bit 이상의 정밀도를 갖는다고 한다. 각각의 연결세기를 변화시킬 수 있는데, 학습시는 초당 100,000번의 연결세기를 변화시킬 수 있다(100K CUPS). 학습이 끝난 후 순방향 계산속도는 초당 20억번의 연결계산(2G CPS)에 달하여, Cray 2S등 슈퍼 컴퓨터의 성능을 훨씬 능가하고 있다.

어날로그 방식은 비동기(asynchronous) 동작 등 신경회로망의 특성에 부합되나, 잡음과 온도, 제작 변수 등의 영향을 많이 받으므로, 신경회로망 특유의 fault-tolerance 기능을 약화시킬 수 있다. 또한 연결세기를 어날로그로 장시간 저장하기 위한 특수 제작 기법이 요구되며, 대규모 신경회로망을 위해 여러 칩을 연결할 때 문제가 발생하기 쉽다.

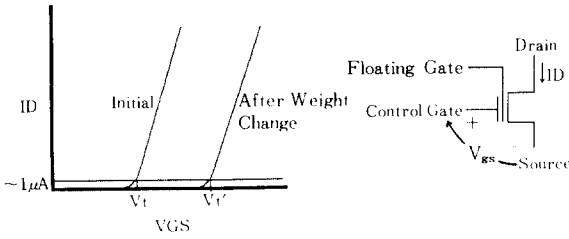


그림 3. EEPROM의 전압-전류 특성

2. 디지털(digital) 신경회로망 칩(chip)

디지털 신경회로망 칩에서는 연결세기의 저장과 계산이 모두 디지털 방식으로 이루어진다. 어레이 프로세서(array processor)를 신경회로망에 적합하게 변형시킨 것으로 볼 수 있으며, 잘 발달된 디지털 계산기의 설계 및 제작 기법을 활용할 수 있는 장점이 있다. 그러나, 연결세기의 저장과 계산에 많은 수의 트랜지스터(transistor)가 필요하게 되어, 집적도와 계산 능력이 떨어지게 된다. 각각의 연결세기를 하드웨어로 구현하지 않을 경우, 칩 내에서도 정보 교환 속도의 한계에 걸리게 된다.

기존의 디지털 계산 구조의 단점을 보완하고 보다 생물학적 신경회로망 구조에 가까운 펄스열(pulse stream) 방식이 최근 많이 연구되고 있다.^{[6][8]} 이 방식에서는 신경세포의 활성도와 연결세기가 모두 펄스의 빈도로 표현되고, 이들의 곱셈은 두개의 펄스열을 그림 4와 같은 AND 게이트를 거치게 함으로써 구현한다. 두개의 펄스열이 상호 독립이라면, AND 게이트를 거쳐 나오는 출력 펄스열의 빈도는 두 펄스 빈도의 곱으로 나타난다. 신경세포의 합산과 비선형 전달함수도 OR 게이트로 구현될 수 있다. 이러한 디지털 신경회로망 구조를 그림 5에 보였는데, 이는 다른 디지털 방식에 비해, 필요한 계산을 매우 간단한 논리회로로 구현하고, 여러 칩을 연결하여 보다 큰 시스템을 구현하기 용이하게 하는 장점이 있다. 그러나 상호 독립인 펄스열의 생성과, 곱셈 및 합산에 요구되는 펄스열의 길이 등이 단점으로 지적되고 있다.

이러한 기법을 사용한 대표적인 것으로 Neural Semiconductor사의 DNNA 칩^[6]을 들 수 있다. 이 칩에는 32개의 입출력, 1024개의 시냅스가 들어가서 초당 2억번의 연결계산(200M CPS)을 행한다. 펄스가 존재하는 활률을 조정하는 stochastic 펄스 발생기가 사용되었으나, 각 신경세포와 연결세기마다 펄스 발생기가 소요되고, 이들 사이의 상호 독립이 보장되지 않는다. 펄스열을 2진

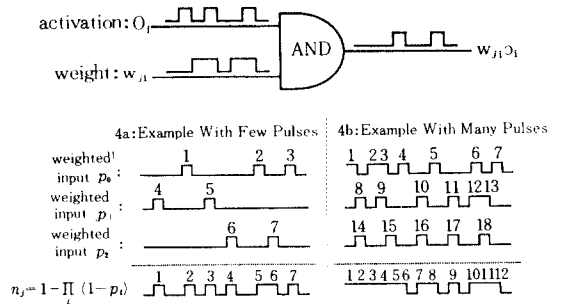


그림 4. 펄스열(pulse stream)과 AND 게이트에 의한 곱셈 및 OR 게이트에 의한 덧셈

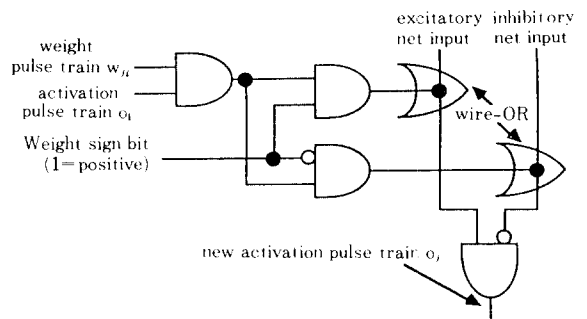


그림 5. 펄스열 신경회로망 구조의 기본 회로

코딩(coding)하여 chopping하기도 한다.^[7] 최근 AT&T Bell 연구소에서는 한개의 잡음 발생기로부터 상호 독립인 여러개의 stochastic 펄스를 뽑는 연구 결과가 보고되었다. 합산을 위해서는 어날로그 방식과 같이 캐패시터(capacitor)에 전하로 축적하거나^[7] 카운터(counter)가 사용되기도 한다.^[8]

3. 어날로그-디지털 혼합형(analog-digital hybrid) 신경회로망 칩

앞에서 설명한 바와 같이, 어날로그 방식은 고집적화가 가능하나 저장이 어렵다. 디지털 방식은 저장은 쉬운 반면, 고집적화가 어렵고 계산 속도도 비교적 느다. 기존의 디지털 컴퓨터와의 연결도 디지털 칩이 훨씬 유리하다. 2가지 방식의 장점만을 이용하고자 하는 혼합형에서는, 계산은 어날로그로 수행하나 연결세기의 저장과 입출력은 모두 디지털로 구현한다. 내적(inner product) 구현을 이용하는 방식^[9-11]이 이에 속하며, 앞으로 보다 많은 연구가 수행될 것으로 기대된다.

내적구현 기법은, Hopfield 모델이나 양방향 영상기억(bidirectional associative memory) 모델과 같이 저장하

고자 하는 벡터들의 외적의 합으로 연결세기가 주어질 때, 입력 벡터와 저장된 입력 벡터 사이의 내적을 먼저 계산하고 다시 저장된 출력 벡터와의 내적으로 출력을 얻는 방법이다. 연결세기를 저장하지 않고 저장하고자 하는 입출력 벡터 자체를 저장하므로, 2진 입출력인 경우 2진 기억소자만이 요구된다. 내적 계산은 어날로그로 수행된다.

내적구현 기법을 이용한 동중 연상기억(auto-associative memory) 메모리를 그림 6에 보였다.^{19,10)} 입력 X_i 와 저장패턴 U_i^k 사이의 유사도가 XOR 게이트에 의해 내적으로 $V_{ux}^{k(i)}$ 에 계산되고, 다시 저장 패턴을 이 유사도에 따라 가중치를 두어 출력으로 보낸다. 그림 6에서는 MOS의 subthreshold 영역을 이용하여 유사도의 지수함수로 가중치를 두었으나, Hopfield 모델이나 양방향 연상기억(BAM) 모델에서는 유사도에 선형적인 가중치를 두게 된다. 이종 연상기억(hetero-associative memory) 메모리의 경우, 입력 패턴과 출력 패턴을 각각 RAM에 수록하면 된다.¹¹⁾

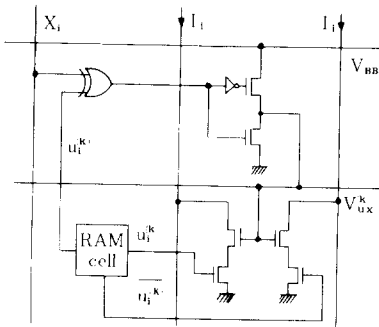


그림 6. 동중 연상기억의 내적 구현¹⁰⁾

Ⅲ. 신경회로망 칩의 성능 고려사항

신경회로망 칩의 성능은 신경세포의 수, 시냅스(synapse)의 수, 계산 속도(CPS 및 CUPS), 전력 소모, 학습 가능성 및 확장 가능성 등으로 평가한다. 범용 DSP와의 경쟁력을 위해서는 1 GCPS 이상의 계산 속도가 요구된다. 집적도와 pin의 수에 의해 한 칩에 들어가는 신경세포와 시냅스의 수가 제한받으므로, 여러개의 칩으로 복잡한 시스템을 구현할 수 있는 확장 가능성과 낮은 전력 소모가 바람직하다. 특수 응용 분야에서 고정

연결이 사용될 수 있으나, 대부분의 경우 학습 가능성이 요구된다.

현재까지 발표된 주요 신경회로망 칩의 성능을 표 1에 요약하였다. 계속 우수한 칩이 발표되고 있으므로 절대적인 비교는 불가능하나, 어날로그 칩이 속도면에서 우수함을 볼 수 있고, 펄스열을 이용한 디지털 칩도 가능성을 보이고 있다. 모든 칩들이 연결세기를 전기적으로 변화시킬 수 있으므로 학습가능하나, 여기서는 학습 알고리즘 자체가 칩에 내장되는 경우(on-chip learning)만 'yes'로 표시하였다. 모든 중요 칩들이 확장 가능하게 설계 및 제작되고 있음에 주목하자.

Ⅳ. 신경회로망 컴퓨터 연구 동향

신경회로망 특수 하드웨어의 개발은 크게 2가지 목표로 나누어진다. 기존의 컴퓨터가 호스트(host)로 사용자와의 인터페이스(interface)를 담당하고, 신경회로망 칩이 보조 프로세서(co-processor)로서 동작하는 형태의 복합형 신경회로망 컴퓨터와, 사용자 인터페이스까지 신경회로망 칩 속에 내장되는 독립형 신경회로망 컴퓨터이다. 독립형 신경회로망 컴퓨터는 잘 정의된 단순한 응용에 적합하나, 디지털 신호처리 프로세서(DSP)등 범용 프로세서와의 결합에서 우위가 보장되지 못한다. 기존의 컴퓨터와 신경회로망 컴퓨터의 장점이 모두 활용될 수 있는 대규모 복합형 신경회로망 컴퓨터가 현재 활발히 연구되고 있고, 이를 통한 신경회로망 모델 및 응용기술과 칩 설계 제작 기술의 발달에 따라, 추후 탁월한 성능의 독립형 신경회로망 컴퓨터가 개발될 것으로 기대된다.

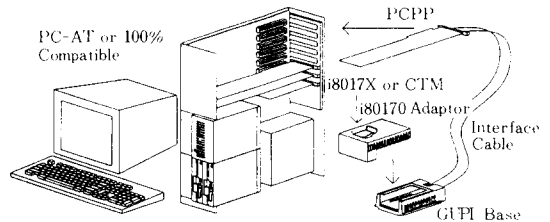


그림 7. iNNTS 하드웨어 구성

표 1. 주요 신경회로망 chip의 성능

	type	제조기술	neuron	synapse	계산속도	전력소모	학습	확장
Caltech	CCD	2 μ	256	64K	500MCPS		no	no
ETANN	analog	1 μ EEPROM	64	8K	2MCPS	1W	no	yes
NET32K	A/D	0.9 μ CMOS	1024	32K	300GCPS	0.16W	no	yes
Mitsubishi	analog	1 μ CMOS	125	10K	10GCPS	1.5W	yes	yes
JPL	analog	1 μ CMOS	32	1K	1GCPS		no	yes
Hirai	digital	1.2 μ CMOS	6	84				
DNNA	digital		32 or	1K	200MCPS		no	yes
STDNN	digital		20	2K	500MCPS		no	
Hitachi		0.8 μ CMOS	540	34K				

그림 7은 대표적인 복합형 신경회로망 컴퓨터인 iNNTS(Intel neural network training system)의 하드웨어 구성을 보인 것이다.^[12] 호스트(host) 컴퓨터로 PC-AT를 사용하였고, PCPP(personal computer personal programmer)를 통하여 보드(board)를 연결하였는데, ETANN 칩이 보드의 주요 부품이 되고 있다. PC-AT는 사용자 인터페이스를 담당하고, ETANN 칩을 사용한 보드는 신경회로망 알고리즘만을 위한 가속기의 역할을 한다. ETANN 칩은 다층구조 입출력 변환만을 수행하므로, 학습 알고리즘은 PC-AT상에서 돌게 되어 학습의 속도는 느리다. 다층구조 인식자(multi-layer perceptron)나 다른 학습 법칙의 다층구조 신경회로망 모델을 여러 개의 ETANN 칩을 사용하여 구현할 수 있다.

신경회로망 컴퓨터의 학습 기능은 4가지로 구분할 수 있다. 첫째, 신경회로망 칩 속의 연결세기가 제작시 고정되어 학습이 불가능한 경우이다. 높은 집적도를 가지므로, 음성 인식이나 문자 인식 등 대량 수요가 있는 특수응용에 도입될 수 있다. 그러나 각 응용 문제에 대한 최선의 신경회로망 구조에 대한 연구와 학습이 완료된 후에 시도될 수 있는 것으로, 아직은 준비가 덜 된 상태이다.

둘째는, 신경회로망 칩의 연결세기를 바꿀 수는 있으나, 연결세기 저장소자나 데이터 통신의 문제점에 인해, 신경회로망 칩을 학습에 전혀 사용하지 않는 경우이다. 즉, 슈퍼 컴퓨터를 이용하는 등 다른 방법으로 학습시킨 후, 학습된 연결세기만 호스트 컴퓨터에서 읽어서 연상이나 인식에 사용한다. 응용면에서 고정된 연결세기의 경우와 큰 차이가 없다.

세째는, 신경회로망 칩과 호스트 컴퓨터가 동시에 학습에 사용되는 경우로서, 현재 가장 활발히 연구되고 있다. 즉, 학습에 필요한 계산 중 대부분 또는 일부를 신경회로망 칩이 담당하고, 나머지는 호스트 컴퓨터가 담당하는 방법이다. 3층구조 인식자 모델을 예로 들면, 완전히 연결된(fully connected) 단층구조 신호 전달(feed forward)을 위한 칩을 만들고, 이를 3개 직렬 연결하여 다층구조로 만든다. 오차역전파(error back-propagation)을 위해서 다시 2개의 칩을 직렬 연결하여 사용하고, 각 칩의 입출력 pin은 호스트 컴퓨터에 연결된다. 입력이 들어오면, 처음 3개의 칩을 통해 신호가 순방향으로 전달되어 신경회로망 전체의 출력이 형성된다. 이 출력과 목표 출력을 호스트 컴퓨터가 비교하여 오차 신호를 만들고, 오차 역전파를 위한 2개 칩의 입력으로 사용한다. 이렇게 역전파된 오차와 순방향 신경세로 활성도를 이용하여 각 칩의 연결세기를 수정하게 된다. 이 경우 대부분의 계산이 칩에서 이루어지지만, 호스트 컴퓨터가 계산하는 연결세기의 보정분 계산량도 무시할 수 없다. 그림 7의 iNNTS의 경우 이를 PC-AT가 담당하여 학습 속도는 초당 100,000번의 연결세기 보정(100K CUPS)에 불과하다. 이를 위한 외적계산용 칩을 별도 사용하면 학습 계산량의 거의 전부가 하드웨어에서 수행되므로 PC-AT를 사용하더라도 계산 속도는 크게 문제되지 않을 것이다. 다만, 연결세기마다 pin이 연결되어 질 수는 없으므로 데이터 통신을 위한 버스(bus) 속도가 제한 요소가 될 것이다. 이러한 루프 속의 칩(chip-in-the-loop) 학습 방법은 대규모 신경회로망을 응용 문제에 학습시키거나, 적합한 신경회로망 구조 및 학습 방법을 찾는 연구에 널리 활용될 수 있다. 즉, 기존의 슈퍼 컴퓨터로


도 학습시간이 너무 오래 걸려 시도하지 못하던 많은 일을 시도할 수 있게 할 것이다.

현재는, 학습이 완전히 신경회로망 칩 속에서 이루어지는 경우인데, 학습을 위한 회로가 차지하는 면적으로 인해 시냅스의 수가 적어지나, 독립형 신경회로망 컴퓨터에 적합할 것이다. 일단 칩이 만들어지면 학습 법칙을 바꿀 수 없기 때문에, 세계 방법으로 적합한 학습 법칙을 파악한 다음에 구현하는 것이 바람직하다. 소규모 신경회로망의 경우, 기존의 컴퓨터로도 학습 법칙을 연구하고 있으나 이는 DSP의 영역이고, 신경회로망 칩은 대규모여야 존재가치가 생긴다. 여러 칩을 연결할 때 문제가 발생할 여지가 많은 것도 제약 조건으로 지적되고 있다.

현재 국내외에서 4가지 형태의 신경회로망 컴퓨터가 모두 연구 개발되고 있다. 그러나 신경회로망 컴퓨터의 효율성은 기존의 방법으로 어려웠던 매우 복잡한 문제를 위한 대규모 신경회로망의 실현에서 찾아야 하고, 이러한 문제에 대해서는 아직 효율적인 신경회로망 구조 및 학습 법칙이 입증되지 않은 실정으므로, 루프 속의 칩 개념을 동원하여 실험 연구를 수행하여야 한다. 이를 위해 학습 가능한 신경회로망 칩, 효율적인 학습 법칙 및 이를 이용한 비교적 일반성 있는 신경회로망 컴퓨터가 먼저 개발되어야 한다.

* 본 원고 내용의 일부는 ADD의 장기 기초 연구 과제 “신경회로망 컴퓨터 응용 및 구현에 관한 연구”의 연구 과정에서 정리된 것입니다.

參 考 文 獻

- [1] R.Hecht-Nielsen, "Neurocomputing : Picking the human brain", *IEEE Spectrum*, vol.25, no.3, pp.36-41, March 1988.
- [2] "DELTA/SIGMA/ANSim", *Neurocomputers*, vol.2, no.1, 1988.
- [3] W.A.Hansen, et al., "CONE-Computational Network Environment", *Proc. IEEE First Int'l Conf. Neural Networks*, IEEE Press, pp.Ⅲ-531-538, June 1987.
- [4] J.Hopfield, "Neurons with graded response have collective computational properties like those of two-state neurons", *Proc. Nat'l Acad. Sci.*, vol.81, pp.3088-3092, 1984.
- [5] Intel Corporation, "Electrically Trainable Analog Neural Networks", May 1990.
- [6] M.S.Tomlinson Jr., D.J.Walker, and M.A.Sivilotti, "A digital neural network architecture for VLSI", *Int'l Joint Conf. Neural Networks*, San Diego, pp.Ⅱ-545-500, 1990.
- [7] A.Murray and A.Smith, "Asynchronous VLSI neural networks using pulse-stream arithmetics", *IEEE J. Solid-State Circuits*, vol.23, no.3, pp.688-697, June 1988.
- [8] D.E.Van den Bout and T.K.Miller III, "A digital architecture employing stochasticism for simulation of Hopfield neural nets", *IEEE Trans.Circ. Sys.*, vol.36, no.5, pp.732-738, May 1989.
- [9] R.M.Goodman and T.D.Chiueh, "VLSI implementation of neural associative memory and its application to vector quantization", *Int'l. Conf. Neural Networks*, Paris, pp.635-638, 1990.
- [10] T.D.Chiueh and R.M.Goodman, "High capacity exponential associative memory", *IEEE Int'l Conf. Neural Networks*, vol. I, pp.153-160, 1988.
- [11] 최윤경, 정동규, 이수영, "다층구조 양방향 연상 기억 메모리의 집적회로 구현", 제2회 신경회로망 연구회 연차총회 및 학술대회, 한국과학기술원, pp.54-58, 1991년.
- [12] Intel Corporation, "The Intel Neural Network Training System", Oct. 1990. 

筆者紹介



李壽永

1952年 10月 15日生

1975年 2月 서울대학교 전자공학과(학사)

1977年 2月 한국과학원 전기 및 전자공학과(석사)

1984年 5月 Polytechnic Institute of New York (박사)

1977年 3月~1980年 8月 대한엔지니어링주식회사

1982年 11月~1985年 10月 General Physics Corp.

1985年 11月~1986年 2月 Argonne National Laboratory

1986年 3月 ~ 현재 한국과학기술원 전기 및 전자공학과 부교수