

## 64M DRAM용 Capacitor를 위한 Hemispherical Storage Node Poly Si 증착에 관한 연구

羅司均, 鄭皓榮,  
盧載盛, 金東元, 金吁植  
金星일렉트론株式會社

### I. 서 론

DRAM이 고집적화 되어감에 따라 셀(cell) 면적이 감소하여 적은 영역에서 충분한 캐패시턴스(capacitance)를 얻는 것이 중요한 문제로 대두되고 있다. 제한된 영역내에서 충분한 캐패시터(capacitor) 용량을 얻기 위해서는 캐패시터 절연막의 두께를 감소하거나, 고유전물질의 절연막을 이용하거나, 캐패시터 구조를 변화시켜 유효 캐패시터 면적을 증대시켜야 한다. 그러나 캐패시터 절연막의 두께 감소 측면에서 볼 때, ONO(oxide/nitride/oxide) 절연막의 박막화에 대한 한계는 nitride막질의 내산화성 및 누설전류(leakage current)의 증가문제로 약 50Å( $T_{ox}$ : oxide 환산두께) 정도이지만 실제로 64M bit DRAM에서는 50Å 이하의 두께를 필요로 한다. 새로운 고유전물질의 개발면에서 볼 때, 향후 적용될 고유전체막으로서  $Ta_2O_5$ ,  $TiO_2$ ,  $BaTiO_3$ , PZT [ $Pb(Zr, Ti)O_3$ ] 등이 존재하며, 이들을 캐패시터 절연막에 적용시키기 위해 화학증착법(chemical vapor deposition)에 의한 박막화 연구가 진행되고 있다. 그러나 이들 중  $TiO_2$  재료는 박막화로 될 경우 비유전율이 급격히 감소하며,  $Ta_2O_5$  박막은  $SiO_2$ 에 비해 누설전류가 크고 절연 파괴 전기장이 낮은 문제점을 갖고 있으며, PZT 재료에서는 화학증착법에 의한 박막화가 Pb의 휘발성 및 성분원소의 우선적인 산화에 의해 우수한 특성을 갖는 화학양론적 화합물을 제조하기 어려운 형편이다. 캐패시터의 유효면적을 증대시키는 방법으로는 fin이나 cylinder 형태를 이용한 stack 구조 및 trench 구조 등이 가능하나 공정이 대체로 복잡하다. 또 다른 방법으로는 하부전극으로 사용되는 storage node poly Si의 형태를 저압화학증착법(low pressure chemical vapor deposition)을 이용하여 hemispherical 이나 rugged 형태의 Si를 증착시켜서 캐패시터 유효면적을 증가시킬 수 있다. 이 방법

은 공정이 용이하며, 캐패시턴스도 약 2배 이상으로 증가시킬 수 있으므로 64M bit DRAM 이상의 캐패시터로 사용하기 위해 연구가 활발히 진행되고 있다.<sup>[1]</sup> 따라서 본 논문에서는 hemispherical 형태의 poly Si를 증착시킬 때 영향을 주는 변수와 캐패시터의 전기적 특성에 관하여 살펴보기로 한다.

### II. 본 론

#### 1. Hemispherical Poly Si에 영향을 주는 변수

##### 1) Si source에 의한 영향

저압화학증착법에 의해 poly Si 박막을 증착시키기 위해 사용되는 Si source로서는  $SiH_4$  및  $Si_2H_6$  가스가 주로 많이 사용되고 있다. 이중에서도  $Si_2H_6$  가스는  $SiH_4$  가스에 비해서 저온(500°C)에서 증착이 가능하며,  $PH_3$  가스와 함께 in-situ doping을 하면서 비정질 Si(amorphous Si)를 동시에 증착시킬 수 있으며 후속 열처리에 의하여 비정질 Si에서 poly Si으로 상변태시에 grain growth가 크게 발생하여 결정입계(grain boundary)가 단위부피당 적게 존재하므로 thin film transistor(TFT)나 poly-oxide reliability 면에서 특성이 우수하다.<sup>[2]</sup> 따라서 최근에 Si source로써  $Si_2H_6$  가스의 사용이 증가하고 있다. 이와같은 source들을 사용하여 hemispherical Si이 형성되는지 여부를 알아보면, 그림 1의 주사전자현미경(SEM) 사진에서 관찰 되듯이  $SiH_4$  가스를 사용할 경우 hemispherical Si은 증착온도가 580°C에서 형성되는 반면에,  $Si_2H_6$  가스인 경우는 600°C에서 hemispherical Si을 얻을 수 있다.  $PH_3$  가스와 함께  $Si_2H_6$  가스를 사용하여 in-situ-doping을 하면서 Si을 증착시킬 때는 hemispherical Si이 나타나지 않았다. Si source를 달리하므로써 hemispherical poly Si이 나타나는 증착온도의 변이와 합

계 hemispherical size 면에서도 차이를 나타내고 있는데 1000Å의 Si을 증착시킬 경우 SiH<sub>4</sub> 가스를 사용할 때는 표면형상에서의 hemispherical size는 1100Å인 반면에 Si<sub>2</sub>H<sub>6</sub> 경우에는 다소 큰 1800Å으로 나타났다. 그러나 Si<sub>2</sub>H<sub>6</sub> 가스를 사용할 경우, 600°C 증착온도에서 증착속도가 160Å/min으로 높기 때문에 균일한 두께를 얻는데 어려움이 있다. 따라서 Si<sub>2</sub>H<sub>6</sub> 가스를 사용할 경우에는 증착변수를 조절하여 증착속도를 감소시키거나, 반응로의 uniform zone을 잘 선정하여 사용하여야 한다.

2) 증착온도에 의한 영향

증착온도가 Si박막의 표면형상에 미치는 영향에 대해

서 그림 1에 보여준 SEM 사진과 x-ray diffraction에 의해 확인된 결정성(표 1)을 가지고 논하기로 하자. SiH<sub>4</sub> source를 사용한 경우에는 증착온도가 550°C일 때 flat surface의 비정질 Si을 나타내며, 580°C인 경우에 hemispherical 형상을 갖는 poly Si을 보여준다. 600°C 이상에서는 small grain들이 합쳐져서 대체로 smooth surface를 갖는 <111> 혹은 <220> 우선 방위의 poly Si을 형성한다. Si<sub>2</sub>H<sub>6</sub> source만을 사용한 경우에는 증착온도가 550°C 일 때 앞의 SiH<sub>4</sub> 가스인 경우와 유사하게 flat surface를 갖는 비정질 Si을 나타내며, 580°C로 증착온도가 증가했을 때는 <311> 방위를 갖는 일부의 poly Si(hemispherical

표 1. Si source 및 증착온도에 따른 Si 결정성

Deposition Temperature (°C)	Si Source	Si <sub>2</sub> H <sub>6</sub>		
		SiH <sub>4</sub>	Undoped Si	In-Situ P Doped Si
550		Amorphous Si	Amorphous Si	In-Situ P Doped Si
580		Hemispherical Si <111>	Amorphous Si + Polycrystal Si <311>	Amorphous Si + Polycrystal Si
600		Polycrystal Si <111>	Hemispherical Si <111>	Polycrystal Si <111>
620		Polycrystal Si <220>	Polycrystal Si <111>	Polycrystal Si <111> <220>

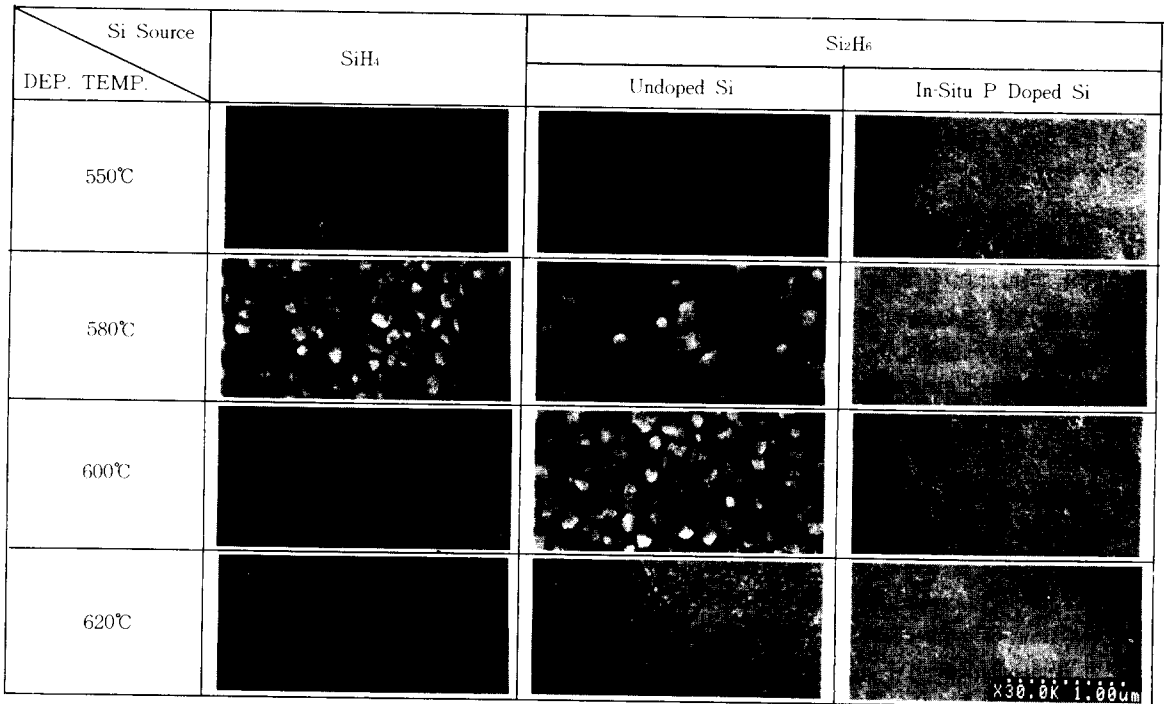


그림 1. Si source 및 증착온도에 따른 Si 박막의 표면형상

Si)과 비정질 Si으로 구성되어 있다. 600°C에서 hemispherical 형태를 갖는 poly Si이 형성되면, 620°C의 증착 온도에서는 전형적인 <110> 우선 방위의 poly Si을 나타낸다. Hemispherical 형태의 입자를 투과전자 현미경(TEM)으로 관찰한 사진을 그림 2에 나타내었다. 그림 2의 TEM 사진에서 알 수 있듯이 ring pattern의 poly Si이 존재하며 hemispherical 입자내에는 여러개의 facet가 형성되어 있음을 확인할 수 있었다. 이상의 결과로부터 hemispherical 표면형상은 비정질 Si과 poly Si의 전이영역(transition region)에서 형성되며, 표면 형상은 증착온도의 강한 의존성을 나타낼 수 있다.

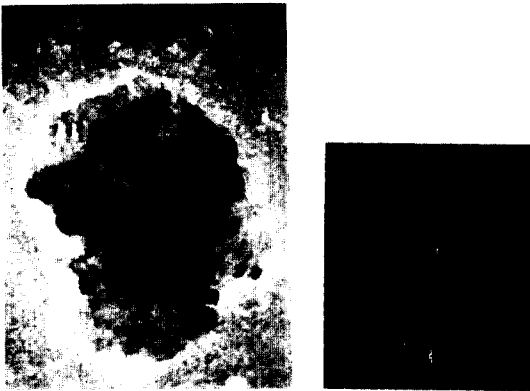


그림 2. Hemispherical poly Si의 투과 전자현미경 사진

### 3) 박막 두께에 의한 영향

박막두께와 증착온도의 함수로서 박막구조를 그림 3에 도시하였으며, hemispherical poly Si과 rugged poly Si의 surface morphology를 그림 4에 나타내었다. SiH<sub>4</sub> source를 사용하여 비정질 Si과 poly Si의 전이온도구간에서 Si 박막을 증착시킬 경우, 박막 두께가 얇은 때는 rugged poly Si이 형성되며, 두께가 두꺼울 때는 hemispherical poly Si을 얻을 수 있다. 일반적으로 rugged 형태의 Si은 박막 성장의 초기 단계에서 나타나는 nucleation 단계로 알려져 있으며, 박막두께가 얇거나 증착온도가 높을 때 형성되어 진다. Hemispherical poly Si을 캐패시터의 하부전극으로 사용하였을 경우, 최대로 증가시킬 수 있는 유효면적은 flat 면적에 비해 2배로 증가시킬 수 있는데 반해 rugged poly Si을 사용할 경우에 지금까지 발표된 바에 의하면 약 2.5배까지 유효 면적 증가를 가져 올 수 있는 것으로 보고되고 있다.<sup>[3]</sup>

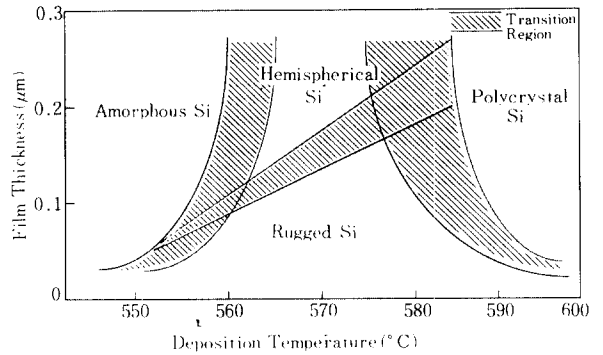
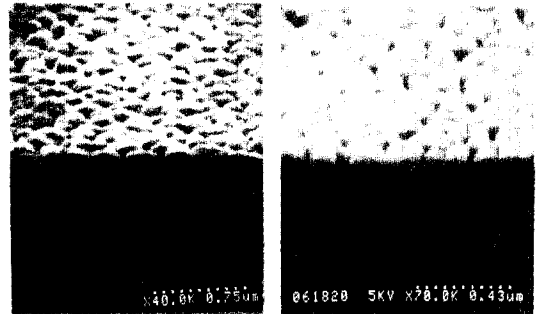


그림 3. 박막두께 및 증착온도에 따른 Si 박막구조

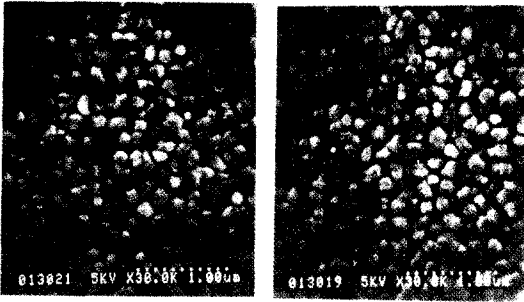


(a) Hemispherical poly Si (b) Rugged poly Si

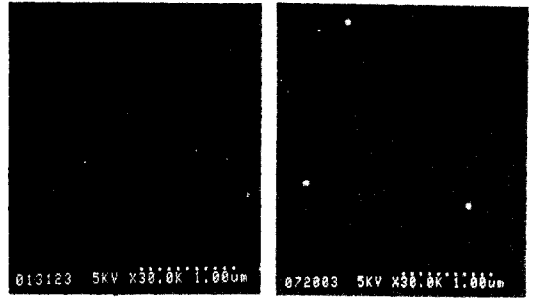
그림 4. Si 박막의 표면형상

### 4) 열처리에 의한 영향

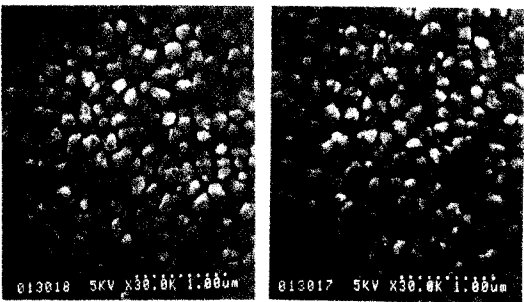
비정질 Si이나 hemispherical poly Si(rugged poly Si) 형성 후 웨이퍼를 CVD furnace에서 빼낼 때까지 열처리하는 Si박막의 표면형상에 큰 영향을 미친다. Hemispherical poly Si 형성 후 대기에서 노출시킨 다음에 furnace의 N<sub>2</sub> 분위기 하에서 600°C, 800°C, 1000°C에서 2시간 열처리하면 그림 5에서 관찰되는 바와 같이 표면형상이 변화되지 않음을 알 수 있다. 실제로 DRAM process를 진행하는데 있어서 hemispherical node poly Si을 DRAM 캐패시터로 형성시킨 다음에 후속 process에 의해 계속해서 열처리를 받는데 앞에서 설명된 특성에 의해 표면형상이 변화되지 않으므로써 표면형상 변화에 의한 전기적 특성의 변이가 발생하지 않는다. 즉 capacitor와 관련된 capacitance, 누설전류, 절연과피전기장 등의 전기적 성질들이 균일함을 알 수 있다. 그러나 대기에서 노



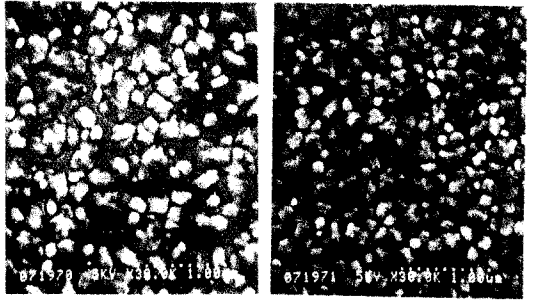
(a) 580° C as-dep (b) 600° C, 2시간 anneal



(a) 540° C as-dep (b) 540° C, 25분 anneal



(c) 800° C, 2시간 anneal (d) 1000° C, 2시간 anneal



(c) 580° C, 25분 anneal (d) 600° C, 25분 anneal

그림 5. 대기 노출후에 anneal process에 따라 나타나는 Si 박막의 표면형상

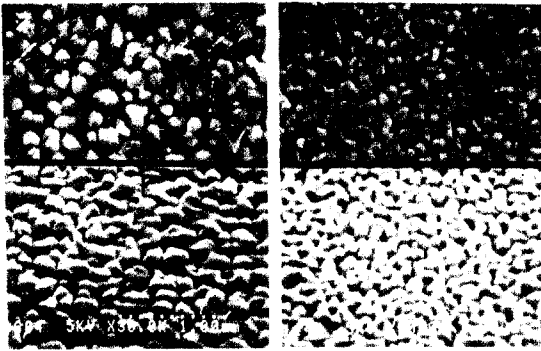
그림 6. 진공중에서 anneal process에 따라 나타나는 Si 박막의 표면형상

출시킨 후 furnace에서 anneal 한 경우와 대조적으로 CVD furnace에서 Si박막을 형성한 후에 CVD furnace에서 빼내지 않고 연속적으로 진공중에서 열처리를 하면 그림 6에서 관찰되듯이 비정질 Si박막은 열처리 온도에 따라서 표면형상이 변화한다. 즉, 540°C에서 증착된 비정질 Si이 540°C의 진공중에서 25분 열처리하면 hemispherical Si핵이 드문드문 존재하며, 580°C에서 25분 열처리하면 표면에 hemispherical poly Si이 불연속적으로 존재하고, 600°C의 25분 열처리에서는 연속적인 hemispherical poly Si이 형성된다. 600°C에서 열처리하여 나타난 표면형상은 그림 1에서 보여준 SiH<sub>4</sub> source를 사용한 경우의 580°C 증착온도에서 얻어진 표면 형상과 유사하다. 비정질 Si을 증착시킨 다음에 연속적으로 진공중에서 열처리할 때의 온도와 시간에 따라서 표면 형상에 많은 영향을 미치고 있는데, 이와같은 특성은 온도한계를 극복할 수 있다는 점에서 매우 유리하다. 즉, as-deposition시 증착온도가 5°C 간격에 따라 Si 박막의 표면형상이 변화하기 때문에 hemispherical(rugged) Si을 사

용시 온도 margin이 문제점으로 등장하고 있다. 반면에 비정질 Si 형성후 진공중에서 일정한 온도와 시간으로 anneal 공정을 실시하면 원하는 표면형상을 갖는 박막을 얻을 수 있다. 즉, Si 박막의 표면형상이 변하지 않기 위해서는 증착온도가 5°C 이내로 균일하게 유지하여야 하지만, 진공중에서 anneal할 경우에는 5°C 간격보다 넓은 온도 범위에서도 표면형상이 변하지 않는다. 따라서 증착시 발생하는 온도 margin을 극복할 수 있어서 양산에 적용이 가능하다.

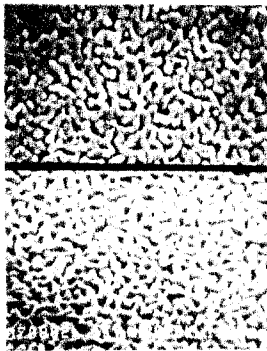
5) Total pressure에 의한 영향

그림 7은 SiH<sub>4</sub>의 압력은 일정하게 유지하고 전체압력을 0.40Torr에서 0.25, 0.17 Torr로 감소함에 따라 변하는 poly Si의 표면형상을 나타내고 있다. 압력이 감소함에 따라 size도 감소하며, hemispherical poly Si(0.40 Torr)에서 rugged poly Si(0.17 Torr)로 표면형상이 변하는 것을 관찰 할 수 있다. 전체압력만을 감소시켜 얻어지는 Si 박막의 표면 형상은 증착온도만을 증가시킬 경우에 나타나는 표면형상과 유사하다.



(a) 0.40 Torr

(b) 0.25 Torr



(c) 0.17 Torr

그림 7. 전체 압력에 따라 변하는 Si 박막의 표면형상

6) SiH<sub>4</sub> 압력에 의한 영향

그림 8은 SiH<sub>4</sub> 압력과 증착온도의 함수로써 박막구조를 도시하였으며, SiH<sub>4</sub> 압력이 낮은 경우에는 저온의 증착에서 rugged surface poly Si를 얻을 수 있으며, SiH<sub>4</sub> 압력이 높은 경우에는 고온의 증착에서 rugged poly Si를 발견할 수 있다. 또한 SiH<sub>4</sub> 압력이 낮을 수록 rugged poly Si의 size도 감소한다.

7) Two step process에 의한 영향

Poly Si를 doping 하는 방법으로는 ion-implantation, diffusion, in-situ doping의 3가지가 존재한다. Ion-implantation doping의 경우에는 damage 발생으로 인하여 고온의 anneal이 필요하게 되고 복잡한 구조에서는 doping이 어려운 문제점이 발생되며, diffusion doping (PoCl<sub>3</sub> doping)의 경우는 고온으로 인해 junction 깊이가 깊어지고 dopant uniformity가 균일하지 않다. 반면에 in-situ doping의 경우에는 DRAM이 고집적화 됨에 따라 나타나는 복잡한 구조에 쉽게 사용할 수 있으며, poly Si 증착 및 doping의 2 process를 하나의 저온 process로

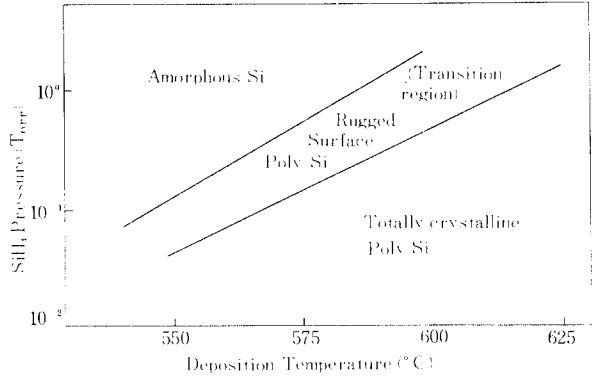
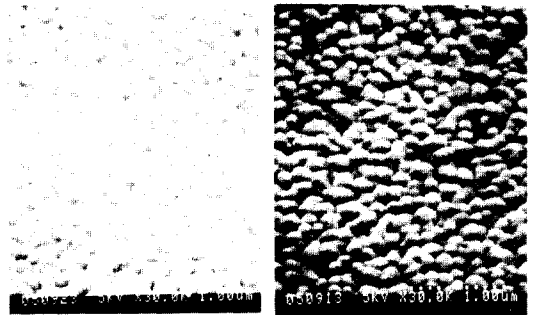


그림 8. SiH<sub>4</sub> 압력과 증착온도에 따른 Si 박막구조



(a) In-situ doped amorphous Si  
(b) Hemispherical poly Si + in-situ doped amorphous Si

그림 9. Two step process에 의한 Si 박막의 표면형상

단순화시킬 수 있는 장점을 가지고 있다. 그러나 PH<sub>3</sub> 가스를 Si<sub>2</sub>H<sub>6</sub> 가스와 동시에 사용하여 Si 박막을 증착시킬 경우 step coverage 특성이 나쁘다는 단점을 가지고 있으므로, 현재 이를 극복하기 위하여 여러가지 방법이 연구되고 있다. 그림 9(a)는 in-situ doped amorphous Si (400Å) 증착 후 hemispherical poly Si (700Å)를 동일한 CVD-furnace에서 연속적으로 증착시킨 경우이고, 그림 9(b)는 hemispherical poly Si (700Å) 증착 후 연속적으로 in-situ doped amorphous Si (400Å)를 증착시킨 경우이다. 두 경우의 모두에서 후속열처리에 의해 P-dopant가 확산되어 poly Si내에서 균일하게 존재함을 SIMS profile에 의해 확인되었다. 그림 9에서 관찰되듯이 in-situ doped amorphous Si를 선행으로 증착시킨 경우(그림 9

(a)가 나중에 in-situ doping으로 증착시킨 경우(그림 9 (b)보다 대체로 size도 균일하며 연속적인 박막을 형성하고 있다. 따라서 실제로 유효면적 증가는 in-situ doping을 선행한 경우가 크게 나타난다. 결국에는 이와같은 two step process가 doping과 hemispherical Si를 동시에 진행하여 단차가 심한 구조에 쉽게 적용할 수 있다는 점에서 바람직한 process로 기대된다.

8) Substrate에 의한 영향

Substrate 재료를 열산화막, single crystalline Si, polycrystalline Si를 사용하여 그위에 hemispherical poly Si를 증착시켰을때 발생하는 표면 형상에는 큰 차이가 없으며, 열산화막의 substrate를 사용하였을 경우에 hemispherical poly Si의 size가 제일 적으며, poly Si를 substrate로 그위에 hemispherical poly Si를 증착시켰을 때가 hemispherical size가 제일 크게 나타났다.

2. 전기적 특성

앞에서 설명해 온 rugged poly Si[혹은 hemispherical poly Si]를 하부전극[storage node poly Si]으로 사용하여 capacitor를 형성하였을때 나타나는 capacitor와 관련된 전기적 특성에 대하여 알아보기로 하자. 지금부터 인용되는 data(3)는 OKI 전기연구소에서 발표된 것으로서, rugged poly Si은 570°C의 증착온도에서 1000Å 박막 두께로 증착되었으며, NO[nitride-oxide] dielectric film 증착할 경우에 thin nitride 박막은 620°C의 증착온도에서 oxide equivalent thickness로 환산하여 63Å으로 증착시켰다. 또한, oxide는 steam 분위기의 900°C에서 산화시켰다. 이외에 process는 기존의 stacked cell process와 동일하다. 이와 같은 경우 증착온도에 따른 capacitance의존성을 그림 10에 도시하였다. 570°C의 온도에서 증착된 rugged poly Si의 경우가 600°C의 온도에서 증착된 flat poly Si 보다 capacitance가 약 2.5배의 유효면적 증가를 가져온다. 이와 같은 경우 25Å SiO<sub>2</sub> equivalent thickness dielectric film에 상당하는 것으로 보고 되고 있다.<sup>[3]</sup> 이와 같은 우수한 capacitance를 나타내는 전기적 특성외에 rugged poly Si의 누설전류(leakage current) 및 TDDB(time dependent dielectric breakdown) 특성을 그림 11 및 그림 12에 나타내었다. 누설전류에 대해서 알아보면 rugged poly Si를 사용하였을 경우(그림 11(a))가 600°C의 flat poly Si를 사용하였을 경우(그림 11(b))보다 누설전류가 약간 증가하나, capacitor의 표면적이 2.5배 증가한다고 볼때 그 차이가 거의 없는 것으로 나타난다. 또한, TDDB 특성도 그림 12에 나타난 것처럼 rugged poly Si를 사용하였을 경우

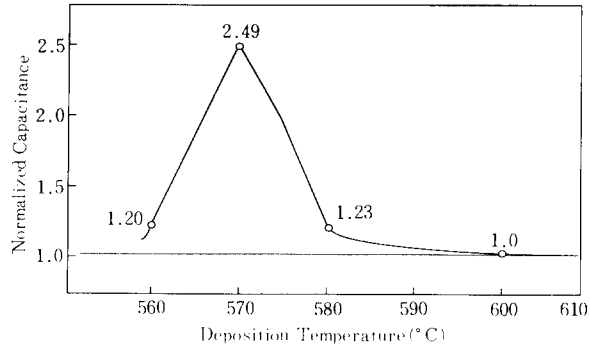
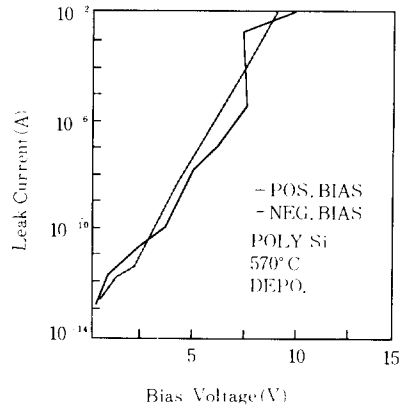
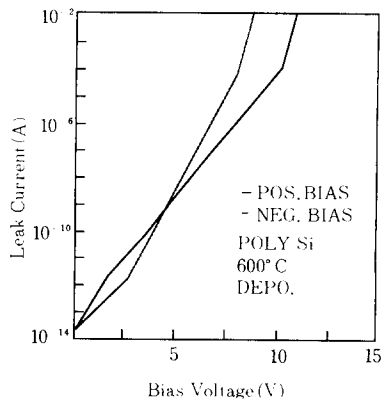


그림 10. 증착온도에 따른 normalized capacitance



(a) Hemispherical poly Si



(b) Flat poly Si

그림 11. Hemispherical poly Si과 flat poly Si를 capacitor 하부전극으로 사용하였을 경우의 누설 전류

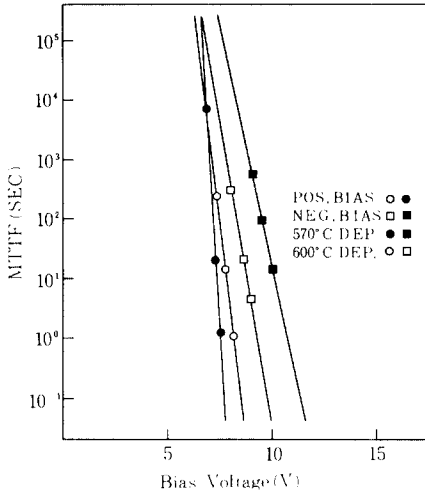


그림 12. Hemispherical poly Si과 flat poly Si을 capacitor 하부전극으로 사용하였을 경우의 누설 전류


실용전압 범위에서 충분한 장기 신뢰성을 갖는다. 결과적으로 rugged poly Si을 사용하였을 경우에는 surface roughness에 의한 초기불량이나 전계 집중효과에 의한 누설전류 증가가 극히 적은 것으로 판단되었으며, capacitance는 하부전극인 Si 박막의 표면 형상에 따라 최대로 2.5배 증가한다.<sup>[4]</sup>

### Ⅲ. 결 론

지금까지는 64M bit DRAM 이상의 고집적소자에 적용될 3dim. capacitor에 관한 것으로 capacitor 하부전극 (storage node poly si)을 hemispherical 혹은 rugged

poly Si을 사용함으로써, flat poly Si보다 최대로 2.0~2.5배로 유효 면적증가를 가져올 수 있는 저압화학증착법의 변수 및 전기적 특성에 대하여 고찰하였다. 그 결과 hemispherical 혹은 rugged Si의 표면 형상은 저압화학증착법에 사용되는 Si source, 증착온도, poly Si 두께, 전체압력, SiH<sub>4</sub> 압력, 열처리 온도 및 시간 등에 따라 영향을 받는다. 따라서 유효면적 증가가 최대로 나타나는 rugged poly Si의 증착조건을 이용하여 capacitor에 적용되는 것이 바람직하며, 증착 온도의 margin을 극복하기 위하여 진공중에서 열처리를 하여 표면 형상을 변화시키는 방법이 양산성에서 유리한 것으로 생각된다. 또한 전기적 특성면에서도 hemispherical rugged poly Si을 capacitor의 하부전극으로 사용할 경우에 capacitance가 2.0~2.5배 증가함에도 불구하고, 누설전류나 TDDB 특성에서도 flat poly Si의 전기적인 특성과 유사한 것으로 나타나고 있다. 따라서 hemispherical Si(혹은 rugged Si)은 capacitor 하부전극에 이용하여 캐패시터 유효면적을 증가시키는 방법은 차세대 고집적 소자의 capacitor에 적용될 것으로 사료된다.

### 參 考 文 獻

- [1] H. Watanabe, N. Aoto, S. Adachi, T. Ishijima, E. Ikawa, and K. Terada, Extended Abstracts of 22nd Conf. on Solid State Devices and Materials, Sendai, p. 873, 1990.
- [2] T. Kobayashi, S. Iijima, S. Aoki and A. Hiraiwa, Extend Abstracts of 20th Conf. on Solid State Devices and Materials, Tokyo, p. 57, 1988.
- [3] M. Yoshimaru, J. Miyano, N. Inoue, A. Sakamoto, S. you, H. Tamura and M. Ino, Silicon Materials and Device, SDM90-204, p. 59, 1990.
- [4] T. Kobayashi, S. Iijima and A. Hiraiwa, Extended Abstracts of 22nd Conf. on Solid State Devices and Materials, Sendai, p. 191, 1990. 

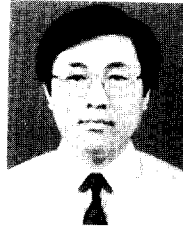
筆者紹介



羅司均

1959年 6月 5日生  
1983年 2月 성균관대학교  
물리학과 졸업  
1985年 2月 서울대학교 대학원  
물리학과 졸업

1988年 1月~1989年 12月 금성반도체(주)  
1990年 1月~현재 금성일렉트론(주)



金盱植

1955年 9月 8日生  
1981年 2月 연세대학교 요업공학과  
(학사)

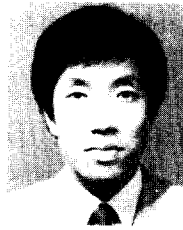
1981年 3月 금성반도체(주) 입사  
1991年 9월 현재 금성일렉트론(주) 제8연구실장



鄭皓榮

1959年 9月 17日生  
1983年 2月 건국대학교  
전자공학과(학사)

1985年 7月~1988年 3月 현대전자(주) 반도체사업본부  
공정기술(APCVD / PECVD)  
1988年 4月~현재 금성일렉트론(주) 공정개발  
(LPCVD)



金東元

1956年 1月 13日生  
1980年 2月 한양대학교  
재료공학과(학사)  
1984年 2月 한국과학기술원  
재료공학과(석사)  
1988年 8月 한국과학기술원  
재료공학과(박사)

1985年 3月~1987年 12月 한국과학기술원 내화재료실  
연구원  
1988年 9月~현재 금성일렉트론(주) 공정개발실 근무



盧載盛

1960年 11月 27日生  
1984年 2月 연세대학교 요업공학과  
(학사)  
1988年 8月 한국과학기술원  
재료공학과(박사)

1988年 9月~현재 금성일렉트론(주) 공정개발실 근무