

## 고집적 DRAM용 캐패시터 구조 및 기술 동향

朴泳震, 金鍾哲, 朴憲燮, 千熙坤  
現代電子 半導體研究所

## I. 서 론

현재 널리 사용되고 있는 DRAM(dynamic random access memory)은 4Kb DRAM 이래로 트랜지스터와 캐패시터가 각각 하나씩으로 구성된 셀 구조를 가지고 있으며, 이러한 셀 구조는 최근의 64Mb DRAM에 이르기까지 크게 변함이 없이 유지되어 왔다. 소자의 고집적화가 빠른 속도로 진행됨에 따라 셀을 구성하는 트랜지스터와 캐패시터 그리고 셀 사이의 절연을 담당하는 isolation 영역의 크기가 크게 작아지게 되었고, 이에 따라 각 반도체 구성요소들에 다음과 같은 여러 문제점을 야기시켰다. 트랜지스터와 관련해서는 junction leakage와 hot carrier effect가 커져 reliability에 관한 문제점들이 많이 발생하고 있으며, 캐패시터의 경우는 전극면적 축소에 의해 필요한 축전량을 확보하기가 어렵고 기존에 isolation 방법으로 많이 사용되고 있는 LOCOS(local oxidation of silicon)의 bird beak을 셀 크기 축소에 맞게 줄일 수 없어 반도체 설계 및 공정에 많은 어려움을 주고 있다.

이들 중 캐패시터의 면적 축소와 관련하여 DRAM 개발의 역사를 보면, DRAM 개발의 초창기인 16Kb DRAM의 셀 면적은 약  $500\mu\text{m}^2$ 의 평면구조를 갖고 있으며 최근 활발히 연구되고 있는 64Mb DRAM의 셀 면적은  $1.3\sim 2.0\mu\text{m}^2$ 으로 300분의 1로 크기가 줄어들었다. 이에 반하여 캐패시터 면적은 16Kb DRAM의 경우  $150\mu\text{m}^2$ 에서 64Mb DRAM의 경우는  $4\sim 6\mu\text{m}^2$ 으로 30분의 1로 줄어든 데 불과하다(그림1 참조).

셀의 축소에 맞추어 캐패시터의 면적을 감소시킬 수 없는 이유는 1978년에 최초로 보고된 soft error<sup>[1]</sup>

때문으로 셀의 크기가 작아짐에 따라 더욱 민감한 문제가 되고 있다. 패키징 재료로 사용되고 있는 세라믹 재료에는 자연적으로 존재하는 우라늄과 토륨 같은 방사성 물질이 함유되어 있으며, 이들로부터 방사되는  $\alpha$ -입자는 높은 에너지를 띠고 있어  $\alpha$ -입자의 진행 경로를 따라 electron-hole 플라즈마를 생성시킴으로써 캐패시터에 저장되어 있는 정보를 잃게 할 수 있다. 가령 4MeV의  $\alpha$ -입자는  $10^6$ 의 electron-hole 쌍을 형성시키고 이는 대략 200fC에 해당하므로 DRAM에 저장되어 있는 정보를 없애는데 충분한 양이다. 그리고 200fC을 저장하기 위해서는 5V에서 40fF의 충전용량이 필요하므로 셀의 크기가 작아져도 캐패시터의 면적을 줄이는 데는 한계가 있게 되고, 패키징 기술의 발달로  $\alpha$ -입자 생성률을 0.001  $\alpha$ -입자/cm<sup>2</sup>-h로 조절한다 해도 소자 결함율이 1000 FIT(1FIT=1 failure/10<sup>9</sup> device-hour)에 달하게 된다.

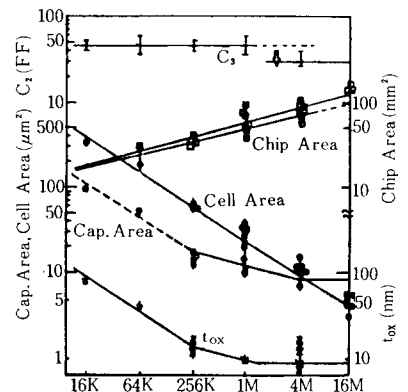


그림 1. Various cell parameters of DRAMs from 16K to 16Mb DRAM.

최근의 패키징 기술을 고려해 볼 때 soft error를 방지하고 안정된 동작을 유지하기 위해서는 최소한도 단위셀당 약 30fF의 충전용량은 필수적이므로 이러한 요구를 만족시키기 위한 해결방안으로 다음의 세 가지 방안이 주로 연구되고 있다.

첫째는 3차원적 셀 구조로써 트랜지스터와 캐패시터를 공간상에 배치하여 평면구조에 비해 각 소자의 면적과 간격을 충분히 확보하는 방법으로 82년에 NEC에서 최초로 홈 구조의 셀을 발표한 이후<sup>[2]</sup> 광범위하게 연구가 이루어졌으며, 크게 적층구조(stacked structure)와 홈구조(trench structure)로 대별되고 있다.

홈 구조의 경우, 노광(lithography) 기술의 발전 없이도 적층구조에 비해 쉽게 충전용량을 확보할 수 있는 장점이 있는 반면  $\alpha$ -입자에 의한 soft error, 홈간 누설전류 및 punch through등의 근본적인 문제점으로 인해 4M/16Mb DRAM 급에서의 생산제품에서는 적층구조의 셀을 대부분 채택하고 있다. 그러나 64Mb DRAM 이상의 제품에서는 contact 형성의 어려움과

생산성, 셀 크기의 축소가가능성 여부를 고려할 때, 홈 구조로의 전환 가능성도 상당히 크다고 볼 수 있다. 따라서 64Mb DRAM 이상의 차세대 DRAM 개발을 위해 새로운 구조를 갖는 셀을 개발하기 위해서는 실제 양산에서의 재현성, 신뢰성 그리고 제조단가 등을 고려하여 여러가지 신중한 검토가 필요하다.

이상의 구조를 통한 캐패시터 면적증가와 관련된

표 1. DRAM cell structure overview.

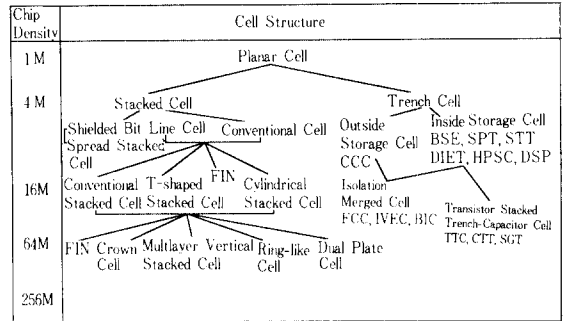


표 2. DRAM cells for 16/64M bits.

	Hitachi	Mitsubishi	Mitsubishi	Texas Ins.	Hitachi	Toshiba	Toshiba
Cell Structure (Name)	Stack Crown cell	Stack DCP	Stack T-shaped	Trench CTT	Stack DASH	Stack STC I	Stack STC II
Design Rule ( $\mu\text{m}$ )	0.3	0.3	0.4	0.6	0.5	0.5	0.7
Cell Area ( $\mu\text{m}^2$ )	1.28	1.3	1.5	3.75	3.4	3.1	1.3
Storage Capacity	44fF	25fF	30fF		35fF	29fF	31
Trench Depth ( $\mu\text{m}$ )				10 $\mu\text{m}$			
Dielectric Thickness ( $\text{\AA}$ )	Tox=28	Tox=50	Tox=50	Tox=150	Tox=50	Tox=80	Tox=80
Key Process	Ta <sub>2</sub> O <sub>5</sub> planarized bit line	Double Plate	1.5 $\mu\text{m}$ Storage Node Height	Deep Trench Buried lateral contact	Triple Poly/ Single Mo polycide Double Al	Stack	Stack & Shallow Trench
Journal	'91 Trans. of. Ele. Dev.	'90 IEDM	'89 VLSI Sympo.	'89 VLSI Sympo.	'88 IEDM	'88 IEDM	'88 IEDM
	Hitachi	Fujitsu	Fujitsu	IBM	Mitsubishi	OKI	Hitachi
Cell Structure (Name)	Stack SISTC	Stack Fin-STC	Stack Fin-STC	Merged Trench MINT	Stacked Trench DSP	Stacked Trench	Stacked Trench
Design Rule ( $\mu\text{m}$ )	0.6	0.5	0.3	0.5	0.7	0.55	0.6
Cell Area ( $\mu\text{m}^2$ )	4.2	4.4	1.8	4	5.95	4.06	4.2
Storage Capacity	25fF	27fF	23	95fF	50fF	32	51fF
Trench Depth ( $\mu\text{m}$ )				8	4	7	3
Dielectric Thickness ( $\text{\AA}$ )	Tox=150				Tox=100		Tox=100
Key Process	PEARL Self aligned isolated plate	Poly FIN process	2-3 FIN process	Deep Trench 8 $\mu\text{m}$ process	Self aligned poly S/D 0.5 $\mu\text{m}$ 1 <sup>st</sup> poly	2 Al Twin Tub CMOS	Pad for bit line contact
Journal	'88 IEEE ED	'88 IEDM	'88 IEDM	'88 VLSI Sympo.	'87 IEDM	'87 ISSCC	'87 IEDM

여 표1에는 현재까지 연구된 3차원 셀 구조로 대표적인 것들을 나타냈고, 표2에는 지금까지 발표된 16M/64Mb DRAM의 주요 특성, 셀의 구조 및 공정기술들을 요약하여 회사별로 정리하였다.

둘째로는, 캐패시터 재료로 보통 사용하고 있는 ONO(oxide-nitride-oxide) 대신에 고 유전상수를 갖는 재료를 캐패시터로 사용하는 방법이다. 현재 일반적으로 사용되고 있는  $\text{SiO}_2$  ( $\epsilon_r=3.9$ ) 및  $\text{Si}_3\text{N}_4$  ( $\epsilon_r=7.0$ ) 보다 큰 유전상수를 갖는 고 유전막으로는  $\text{TiO}_2$  ( $\epsilon_r=70\sim 80$ ),  $\text{Ta}_2\text{O}_5$  ( $\epsilon_r=24\sim 26$ ),  $\text{ZrO}_2$  ( $\epsilon_r=15\sim 20$ ),  $\text{Nb}_2\text{O}_5$  ( $\epsilon_r=10\sim 21$ ),  $\text{SrTiO}_3$  ( $\epsilon_r=200\sim 300$ ) 및 PZT ( $\epsilon_r=10^3\sim 10^4$ ) 등이 있다. 이들 재료는 유전상수가 클수록 누설전류가 커져 실제 사용에 있어서는 많은 연구가 진행되어야 하는 개발의 여지가 많은 부분이다. 현재  $\text{Ta}_2\text{O}_5$ 는 거의 실용화에 근접해 있는 것으로 평가되고 있으며 일부 회사에서 PZT를 이용한 셀의 제작이 보고되고 있기도 하다.

셋째로는, 전하저장전극의 표면에 오철을 주어 유효면적을 증가시킴으로써 축전량을 확보하려는 시도이다. LPCVD system에서  $\text{SiH}_4$ 를 반응기체로 하여 실리콘 증착시 증착온도가 580°C 근방에서 poly-Si 표면이 반구형 형상(hemispherical shaped grains: HSG)이 된다. 이 온도는 증착된 실리콘의 구조가 비정질에서 다결정으로 변하는 천이구역에 해당되며, 이 천이 구역은 온도와 압력,  $\text{SiH}_4$  유속등 증착변수의 함수이다. 그러므로 여러가지 증착변수를 적절히 조절함으로써 표면상태를 반구형으로 만들어 기존의 평탄한 표면을 갖는 poly-Si 전하저장 전극방법에 비해 약 2배까지의 축전량을 확보할 수 있어 64Mb DRAM 이상의 고집적화된 반도체를 기존의 기술로 제조할 수 있다. 그러나 HSG는 누설전류가 크고 uniformity가 좋지 않으므로 실제생산에 적용하기에는 아직도 해결하여야 할 많은 문제가 놓여 있다.

실제 반도체 제조에 있어 축전용량 확보는 위의 세가지 방법이 어울어져 있으나 지속적인 고집적화에 따른 축전용량 확보는 셀 구조의 개선을 통한 방법이 가장 일반적인 것으로 인식되고 있다. 따라서 본고에서는 3차원적 셀 구조를 적층구조와 홈구조로 구분하여 그 장단점을 비교해 보고 64Mb DRAM급에서 적용시킬 수 있는 대표적인 몇가지 셀 구조에 대해 살펴보겠다.

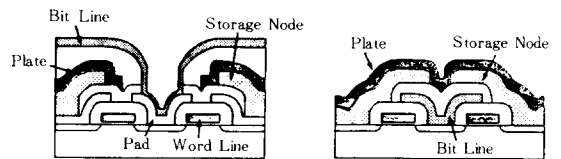
II. 본 론

1. 적층 구조의 연구동향

적층구조는 비교적 공정이 단순하고, 홈구조와 같은 과도한 etch가 불필요하므로 etch에 의한 결함 발생을 줄일 수 있다. 그리고 substrate 위에 새로운 층을 쌓는 것이기 때문에 substrate의 결함으로 인해 생길 수 있는 문제를 근본적으로 제거할 수 있고, soft error에 강한 장점이 있는 반면에, 적층구조는 좁은 평면적 위에 여러 층을 쌓아 넓은 캐패시터 면적을 얻고자 하는 구조이기 때문에 높은 topology를 피할 수 없게 된다. 이에 따라 bit line과 storage node contact etch가 큰 aspect ratio로 인하여 어려움을 겪게 되고, 고집적화에 따라 구조가 더욱 복잡해 지는 것을 피할 수 없게 된다.

적층구조는 4Mb DRAM에서 적용한 단순한 적층구조(conventional stacked structure)로 시작하여 64Mb DRAM에서 적용되고 있는 FIN 구조, cylinder 구조로 보다 많은 면적을 확보하기 위한 연구가 이루어 졌다. 그리고 단순적층구조에서의 bit line contact etch시 이미 형성된 캐패시터의 높은 단차 때문에 bit line contact이 어려우므로 캐패시터 형성 이전에 bit line을 형성하는 shielded bit line 구조<sup>2)</sup>가 16Mb DRAM부터 많은 회사에서 적용되고 있다. Shielded bit line 구조를 사용하면 그림2에서와 같이 낮은 topology에서 bit line contact이 이루어지기 때문에 contact 형성이 쉽고 bit line 위까지 캐패시터가 위치할 수 있으므로 넓은 면적의 캐패시터를 얻을 수 있는 장점이 있는 반면 캐패시터 형성 공정이 후속 공정으로 이루어 지기 때문에 캐패시터 형성을 가능한 낮은 온도에서 진행해야 한다는 문제가 있다.

적층구조는 이상과 같이 캐패시터를 bit line 보다 먼저 형성시키는 단순 적층구조와 bit line을 먼저 형성시키는 shielded bit line 구조로 크게 나뉘어 지고, 다시 캐패시터의 형성공정에 따라 T-shaped 구조, FIN 구조, cylinder 구조등으로 나뉘게 된다.



(a) Conventional (b) Shielded bit line cell

그림 2. Schematic cell structures of conventional and shielded bit line cell.

1) Conventional stacked structure

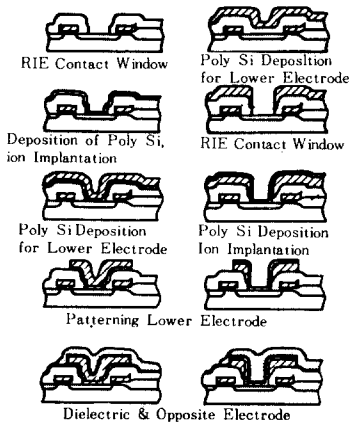
그림3에 conventional stack 구조의 단면을 도시하였고 그림4에 셀 크기와  $SiO_2$ 로 환산한 캐패시터 두께에 따른 충전용량을 도시하였다. Conventional stack 구조는 제조가 비교적 단순하지만 그림4에서 알 수 있듯이 셀 크기가  $3\mu m^2$ 에서도 30fF의 충전용량을 얻기 위해서는  $Tox$  (oxide 환산 두께)가  $40\text{\AA}$ 에 달해야 된다. 이는 캐패시터 재료로 널리 사용되고 있는 ONO의 한계두께가  $Tox$   $50\text{\AA}$ 임을 감안할 때 conventional stack 구조로는 16Mb DRAM에도 적용이 어려울 것이라는 것을 알 수 있다.

2) T-shaped stack structure

T-shaped stack 구조는 전하저장 전극의 두께를 조절하여 캐패시터의 면적을 확보하는 방법으로 그림3에 단면을 나타냈다. T-shaped stack 구조의 경우 전하량은 전극의 두께와 캐패시터의  $Tox$ 의 함수이다. 이 구조는 전체적인 셀 모양에 따라 차이가 있으나 대략  $3\mu m^2$ 의 셀 크기에서  $Tox$   $50\text{\AA}$ 의 경우 30fF 내외의 전하량을 얻을 수 있으므로 16Mb DRAM 급에서의 사용은 가능하나 64Mb DRAM 이상의 경우에는 역시 사용이 곤란할 것으로 여겨진다.

3) FIN structure

FIN 구조는 Fujitsu<sup>5)</sup>가 제안한 구조로 단면 모양이 fin 형태를 띠고 있기에 붙여진 이름이다. 이



(a) Conventional stack (b) T-shaped cell (Type I)  
 그림 3. Process sequence of conventional stack and T-shaped cell (Type I).

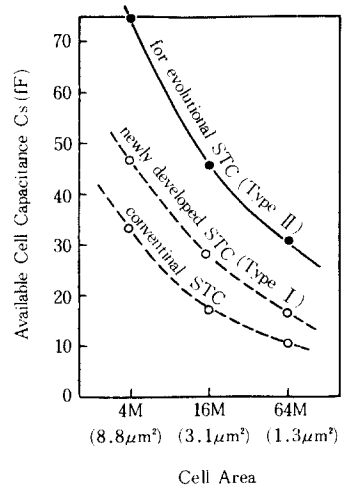


그림 4. Estimated cell capacitance in 4, 16, and 64Mb DRAMs with the stacked cells. Estimation under the assumption of  $50\text{\AA}$  effective dielectric film.

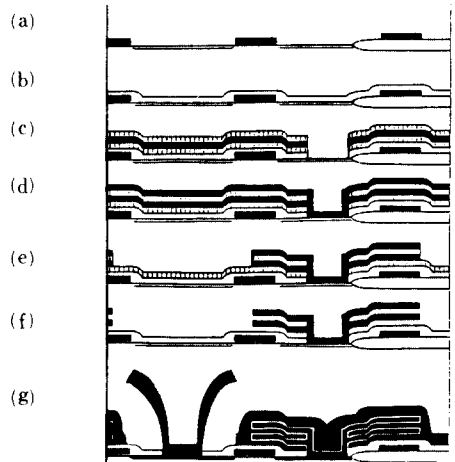


그림 5. Schematic view of fin structure and fabrication process;  
 (a) Transistor formation,  
 (b) SiN deposition,  
 (c)  $SiO_2$ , polysilicon,  $SiO_2$  deposition and contact hole formation,  
 (d) Polysilicon deposition,  
 (e) Storage electrode patterning,  
 (f)  $SiO_2$  removal by HF solution,  
 (g) Capacitor film growth, polysilicon deposition, cell plate and bit line formation.

구조는 필요한 캐패시터의 면적을 얻기 위해서 여러 층의 전하저장 전극을 적층시키는 방법을 사용하고 있으며 FIN 구조를 얻기 위해서는 그림5에 나타낸 바와 같은 공정을 거쳐게 된다. FIN 구조의 장점은 단순한 공정으로 필요한 전하량을 확보할 수 있다는 것이고, 단점으로는 캐패시터가 여러 층으로 형성되어 높이가 높아지는 점이다. 따라서 conventional 구조에서는 bit line contact이 캐패시터의 높은 단차 때문에 어려움을 겪게 되며, shielded bit line 구조에서는 FIN 형성시 전하저장 전극이 substrate와 direct contact을 이루어야 하는데 이것 역시 높은 단차로 인해 contact 형성에 어려움을 겪게 된다. 64Mb DRAM의 경우 contact의 크기가  $0.3 \times 0.3 \mu\text{m}$  정도 이므로 FIN 구조와 같은 높은 단차에서는 실제 양산에서 필요한 정도의 안정적인 contact을 형성할 수 있는 기술 개발이 선행되어야 할 필요가 있다.

4) Cylindrical stacked structure

그림6은 1989년 SOTV(Symposium on VLSI Technology)에서 Mitsubishi가 발표한 cylindrical shape

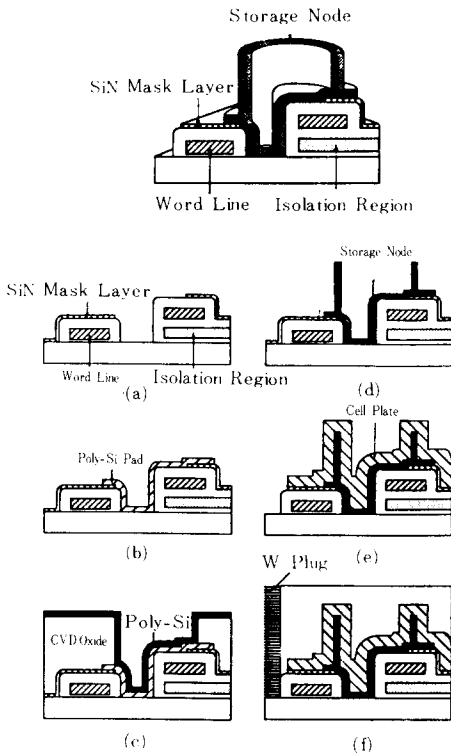


그림 6. Fabrication sequence of cylinder cell.

캐패시터 구조<sup>6)</sup>로써 캐패시터를 cylinder 모양으로 하여 cylinder의 높이에 의해 캐패시터의 면적을 조절할 수 있다. 이때  $T_{ox} 50\text{\AA}$ 의 유전막을 사용하여  $1.5 \mu\text{m}$ 의 cylinder 높이와  $1.5 \mu\text{m}^2$  셀 면적으로부터 30fF의 전하량을 확보할 수 있었다.

Cylinder 구조의 문제점으로는 그림6에서도 알 수 있듯이 전하저장 전극이 수직으로 높게 형성되기 때문에 implant에 의한 도핑에 어려움이 있고, 공정상 polysilicon의 etch back이 추가되는데 이때 균일한 etch가 요구된다.

5) Crown cell structure

Crown cell<sup>7)</sup>은 Hitachi가 1991년 발표한 구조로써 기존의 cylinder structure를 약간 변형시킨 구조이다. Hitachi는 crown cell 구조로써 1.5V에서 동작 가능한 64Mb DRAM을 제작하였다. 1.5V의 동작전압은 상용의 축전기로 동작가능함을 의미하므로 휴대용 OA기기 및 HDTV, 컴퓨터에 보조기억 장치로 사용되는 플로피 디스크 대응으로도 사용 가능하다.

동작 전압을 낮추면 회로 동작 속도가 느려지고, 동작 자체가 불안정해 지므로 큰 충전용량을 확보하여야 낮은 전압에서도 빠른 속도를 유지할 수가 있다. Hitachi는 표3에서와 같은 사양을 만족하는 셀 구조를 설계하였다. 즉 3.3V에서 구동되는 16Mb DRAM은 충전 용량이 25fF인데 반해 1.5V에서 구동되는 64Mb DRAM은 40fF 이상의 충전 용량을 요구한다. 이것은 16Mb DRAM의 셀 크기가  $1.3 \times 3.2 \mu\text{m}$ 이고 64Mb DRAM은  $0.8 \times 1.6 \mu\text{m}$ 로 약 1/3로 줄어들었음을 감안하면, 전하저장 전극의 면적은 단위

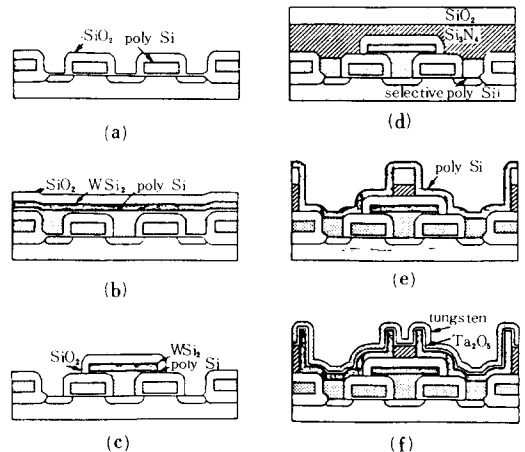


그림 7. Fabrication sequence of crown cell.

표 3. Target specifications for 1.5V 64 Mb DRAM's

	64M	16M
Cell area	1.28 $\mu\text{m}^2$ (0.8 × 1.6)	4.16 $\mu\text{m}^2$ (1.3 × 3.2)
Operation Voltage	1.5V	3.3V
Storage charge (Capacitance)	>30fC (>40fF)	41fC (25fF)

평면적당 약 6배가량 증가시켜야 함을 의미한다.

Crown cell의 제조과정은 그림7에 나타낸 바와 같으며 특이한 점은 bit line의 저항을 감소 시키고자 bit line을 평탄화시켰고 dielectric 물질로 보통 사용되는 ONO 대신 Ta<sub>2</sub>O<sub>5</sub>를 사용한 점, storage node contact에 selective polysilicon을 사용한 것 그리고 plate로 polysilicon을 사용하지 않고 tungsten을 사용한 점이다.

이 구조는 일반적인 64Mb DRAM 제품 사양보다 상당히 진보된 것으로 256Mb DRAM까지도 적용이 가능할 것으로 보인다.

6) Multilayer vertical stacked structure

그림8에 나타낸 multilayer vertical stack capacitor (MVSTC) 구조<sup>8)</sup>는 앞의 crown cell 구조와 같이 cylinder 구조의 변형으로써 cylinder 구조 내부에 또 다른 cylinder를 여러층 형성시키는 구조이다. 이 구조는 기존의 cylinder 구조에 비하여 공정이 조금 복잡하지만 여분의 마스크가 필요없고 전하저장 전극의 높이를 높이지 않아도 큰 전하량을 얻을 수 있다는 장점이 있으므로 64Mb DRAM급 이상에서의 적용이 가능하다. 그림8에 cylinder의 크기에 따른 충전 용량을 나타냈다.

7) Ring-like structure

Ring-like 구조<sup>9)</sup>는 Sharp에서 1991년 발표한 구조로써 그림9에 공정 순서도를 나타냈다. 이 구조는 일반 cylinder 구조에서는 전하저장 전극의 contact으로 pad polysilicon이 사용되는데 반해, 전하저장 전극 형성전 평탄화 공정을 거친후 전하저장 전극을 형성하므로 cylinder에 비해 단차가 높아지게 된다. 이러한 공정 순서는 conventional stack 또는 T-shaped stack과 유사한 형태으로써 높은 단차로 인해 storage node contact etch가 어려워지게 된다. 장점으로는 conventional stack과 비교하여 여분의 mask가 필요하지 않고, 상부의 silicon hole에 의해서 contact hole이 줄어들

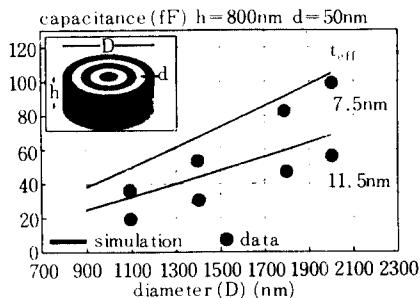
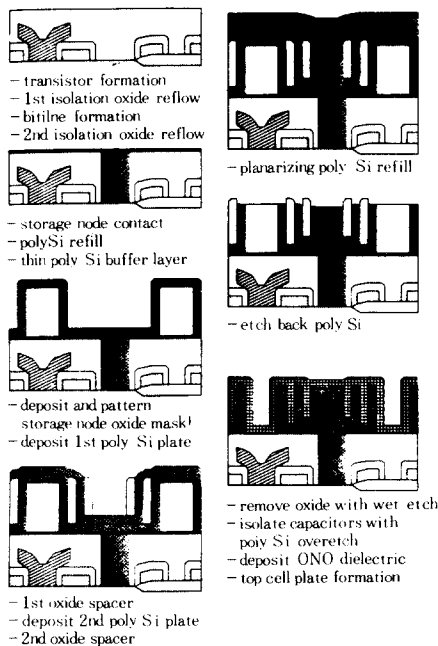


그림 8. Fabrication sequence of MVSTC cell and shrink potential.

드는 효과를 주게 되므로 substrate와의 contact 부분에서는 상부에 비해 훨씬 작은 크기의 contact을 형성할 수 있다. 따라서 64Mb DRAM급 이상의 작은 contact 크기에도 대응할 수 있으나 이 구조에서는 storage node contact etch 해야 하는 깊이가 약 1 $\mu\text{m}$  정도로 깊어 안정된 etch가 이루어지지 않고 부분적으로 overetch 혹은 underetch가 이루어질 가능성이 상존하고 있으므로 안정된 etch profile을 얻을 수 있는 기술이 요구된다.

8) Spread stacked structure

그림10에 1989년 IEDM에서 Toshiba가 제안한 spread stacked capacitor(SCC) 구조<sup>10)</sup>의 형성공정을

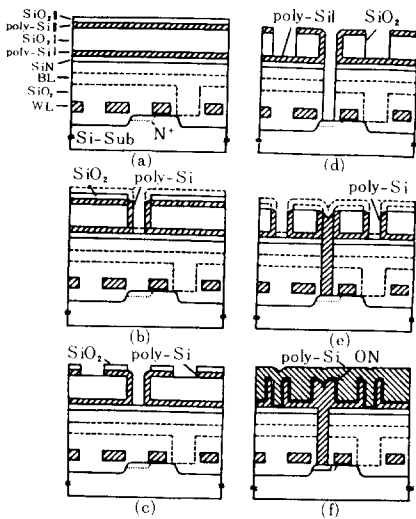


그림 9. Fabrication sequence of Ring-like cell.

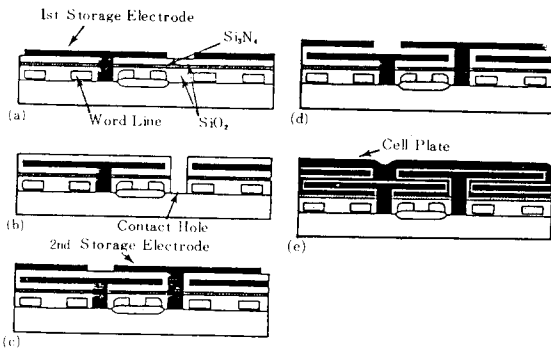


그림 10. Fabrication sequence of SSC cell.  
 (a) 1st storage electrode formation  
 (b) Contact hole opening  
 (c) 2nd storage electrode formation  
 (d) SiO<sub>2</sub> removal  
 (e) Dielectric film and cell plate deposition.

나타냈다. 이 구조는 전하저장 전극을 두 층으로 형성하여 한 메모리셀의 전하저장 전극을 바로 옆 셀 영역까지 확대시킬 수 있으므로 conventional stack 구조에 비해 약 1.8배의 면적증가를 얻을 수 있다. 0.3 $\mu$ m의 design rule로 1.3 $\mu$ m<sup>2</sup>의 셀 면적을 갖는다고 할 때 Tox 40Å의 산화막 두께로 27fF의 전하량을

얻을 수 있다. 그러나 이 구조의 경우 전하저장 전극을 두번에 걸쳐 형성시켜야 하므로 마스크가 2장 더 필요하고 contact 형성시 direct contact을 해야 하는데 앞의 FIN 구조에서와 동일한 문제에 부딪치게 되므로 실제 64Mb DRAM에서 적용하기에는 곤란하리라 여겨진다.

9) Dual cell plate (DCP) structure

그림11에는 1990년 Mitsubishi에서 발표한 dual cell plate 구조<sup>11)</sup>의 공정순서도를 나타냈다. Dual cell plate는 앞에서의 T-shaped 구조에 전하저장 전극의 아랫면도 이용한다는 점에서 FIN 구조의 결합된 형태라고 볼 수 있다. FIN 구조와 다른점은 FIN 구조는 pad polysilicon을 사용하지 않고 direct contact을 사용함으로 contact에 어려움을 겪으나, DCP 구조는 pad polysilicon을 사용하고 전하저장 전극을 self aligned contact 함으로써 contact 문제를 해결하고 있다는 점이다. 그러나 이 구조는 필요이상으로 공정단계가 많고 축전막을 두번에 걸쳐 형성함으로써 64Mb DRAM급 이상에서는 축전막 형성시 요구되는 고온 공정이 트랜지스터에 미치는 영향을 고려할 때, 적용 가능성이 희박하다고 할 수 있다.

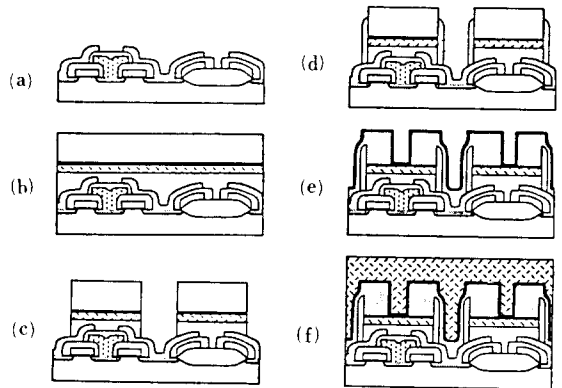


그림 11. Fabrication sequence of DCP cell.

- (a) Polysilicon buffer layer formation
- (b) CVD SiO<sub>2</sub> deposition and triple layer of cell plate/dielectrics/storage node deposition
- (c) Contact hole opening
- (d) Self aligned side wall dielectric formation
- (e) Storage node patterning and capacitor dielectrics deposition
- (f) Upper cell deposition.

2. 홈 구조의 연구동향

홈 구조에 대한 발표는 1982/83년에 최초로 이루어 졌다.<sup>[12]</sup> 이때 발표된 구조는 그림12에 나타낸 바와 같으며, 이러한 구조를 가능케 한 핵심기술은 reactive ion etching (RIE)에 의한 Si의 이방성 식각(anisotropic etching)이었다. 이전의 기술로는 Si의 결정학적인 면을 이용한 습식식각으로부터 V자 형의 홈을 형성하는 방법이 사용되었으나,<sup>[13]</sup> 이 방법으로는 V자 홈의 날카로운 모서리에 의한 gate oxide의 특성 열화를 방지할 수 없었다. 그런데 RIE에 의한 홈구조에서는 RIE의 식각 특성을 잘 이용하고, 홈의 모서리를 부드럽게 처리할 수 있도록 열 산화막과 증착 산화막, 증착 질화막들을 적절히 사용하면 평판 구조와 거의 동일한 내압특성 (breakdown characteristics)을 가질 수 있다는 사실이 밝혀진 것이다. 이후 홈 구조는 1Mb DRAM 이후 세대의 대표적인 셀 구조로 여겨져 많은 연구가 이루어 졌다.<sup>[14]</sup>

그런데 최초의 홈 구조는 전하저장 전극으로 Si substrate를, 또다른 전극으로는 홈 내부의 polysilicon을 사용하여 축전이 홈의 바깥쪽에 저장되는 구조를 채택함으로써, 공정은 비교적 단순하나 다음과 같은 여러가지 집적화를 억제하는 현상이 발견되었다.

전하저장이 홈 외각의 Si substrate에 저장됨으로써 인접 홈간의 거리가 가까와지면, 표면 전도나 punch through 때문에 누설전류가 급격히 증가한다. 이때 p 영역에 도핑을 증가시키면 이러한 누설전류를 감소시킬 수 있다는 보고<sup>[15]</sup>가 있으나, 이 경우 셀 크기를 축소시킬 때 홈 사이가 0.8 $\mu\text{m}$  이하의 간격에서는 전장의 세기가 avalanche breakdown을 일으킬 수 있을 정도로 커지게 되므로 셀 사이의 거리를 좁히는 데 한계가 있게 된다. 그리고 전하저장 전극이 Si substrate이므로  $\alpha$ -입자에 의한 soft error에 대

한 저항성이 낮다는 단점이 있다.

이러한 제한점들은 20 $\mu\text{m}^2$ 의 셀 크기를 갖는 1Mb DRAM의 경우에는 문제가 되지 않지만은 셀 면적이 10~12 $\mu\text{m}^2$ 인 4Mb DRAM, 3~5 $\mu\text{m}^2$ 의 셀 면적을 가지는 16Mb DRAM, 0.3~0.4 $\mu\text{m}$ 의 design rule에 1.5~2 $\mu\text{m}^2$ 의 셀 크기를 갖는 64Mb DRAM에서의 사용을 불가능하게 하였다. 그래서 홈 구조에 있어서의 연구는 위의 제한점을 극복하고자 크게 세가지 방향으로 이루어졌다. 그 하나는 punch through와 soft error를 방지하고자 하는 것이고, 둘째는 홈의 깊이를 가능한 얇게 하면서 필요한 축전용량을 확보하려는 것이며, 셋째는 셀에서 트랜지스터가 차지하는 면적을 줄이고자 홈에 트랜지스터와 캐패시터를 함께 형성하는 기술의 개발이다.

1) Punch through와 soft error를 방지하기 위한 셀 구조

Punch through와 soft error 문제는 Si substrate를 전하저장 전극으로 사용함으로써 축전이 홈의 외각에서 이루어 짐에 따른 것이므로, 역으로 홈 내부의 polysilicon을 전하저장 전극으로 사용하게 되면 축전은 홈의 내부에서 이루어지게 되므로 셀 간의 누설 전류등 앞의 문제를 대부분 해결할 수 있게 된다. (이 구조를 이전의 홈 구조와 비교하여 역구조 (inverted trench cell)이라 한다.)

그 기본적인 원리는 그림13에 도시한 바와 같다. 홈의 외각은 P\*로 도핑이 되어 있고 (heavily doped) 홈 내부의 전하저장 전극은 n 타입으로 도핑되어 있어 전하는 홈의 내부에 저장되게 된다. 홈 외부는 전력 공급기(power supply)와 연결되어 공통 전극(common plate)으로 사용된다. Substrate는 equipotential을 유지하게 되므로 홈으로 전하가 유입되는

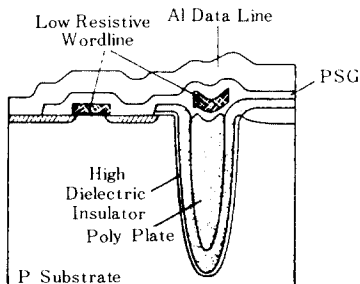


그림12. Trench capacitor cell (CCC).

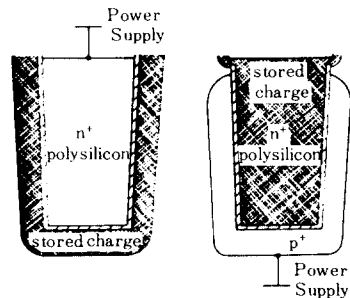


그림13. Basic concept of oxide isolated charge store.



영역을 제외하고는 punch through 문제가 제거된다. 전하는 캐패시터 절연막에 의해 둘러싸여 홈 내부에 있게 되므로 soft error 를 최소화 할 수 있다.

이러한 방법을 적용한 대표적인 셀 구조는 1985년에 발표된 NEC의 buried storage electrode cell (BSE)<sup>116)</sup>(그림14), IBM의 substrate plate trench cell (SPT)<sup>117)</sup>(그림15), 그리고 Toshiba가 1987년에 발표한 stacked transistor capacitor cell (STT)<sup>118)</sup>(그림16)이 있다.

이때 BSE 구조는 전하저장 전극으로 전압이 가해짐에 따라 홈의측으로 depletion이 일어나 전하저장 전극과 substrate간에 누설전류가 생기게 된다(그림17(a)). IBM의 SPT 구조는 이러한 현상을 방지하고자 PMOS를 트랜지스터로 사용하고, 전하저장 전극으로 p 타입을 사용하였으며, SPT 셀을 p-substrate위의 n-well에 형성하는 방법을 사용하였다. 그러나 이 방법은 그림17(b)에서 볼 수 있는 바와 같이 전하저장 전극에 전압이 가해짐에 따라 n-well과 substrate간에 누설전류가 발생하여 DRAM의 동작속

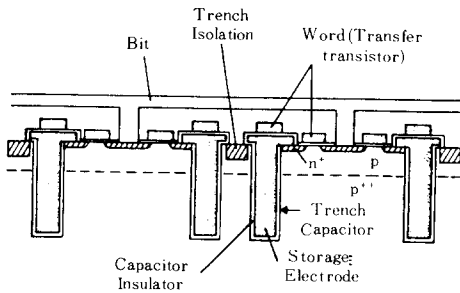


그림14. Buried storage electrode cell.

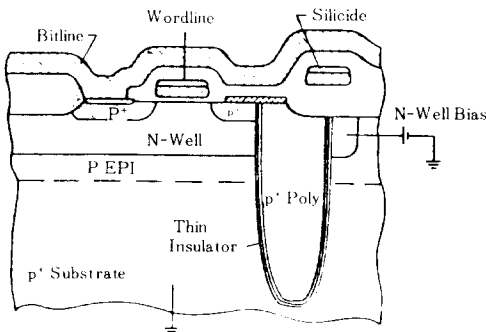


그림15. Substrate plate trench cell.

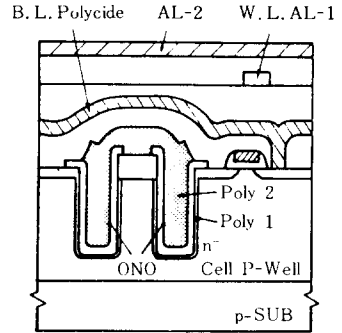


그림16. Stacked transistor capacitor cell.

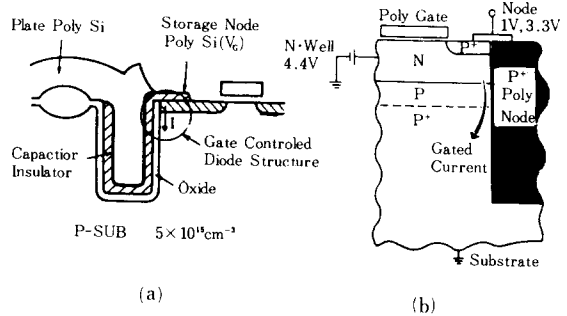


그림17. (a) Cell structure with gate controlled diode. (b) Schematic representation of SPT cell bias conditions-p-substrate-to-n-well junction is gated by the polysilicon node.

도를 크게 저하 시킨다.

이러한 현상을 방지하기 위해서는 substrate를 plate로 사용하지 않고, 산화막으로 절연된 홈 내부에 전하저장 전극과 plate를 같이 형성시킴으로써 substrate 위에 lightly-doped epitaxial layer가 불필요해지므로 위에서와 같은 현상을 방지할 수 있다. 이러한 셀 구조로는 dielectrically encapsulated trench(DIET) capacitor (그림18(a))<sup>119)</sup> half-Vcc sheath-plate capacitor(HPSC) (그림18(b))<sup>120)</sup> double-stacked capacitor (DSP) (그림18(c))<sup>121)</sup>등이 있다.

2) 홈의 깊이를 알기 위한 셀 구조

홈 구조에서는 축전량을 늘리기 위해서 깊은 홈을 파는 것 만으로 그 요구를 충족할 수 있다. 그러나 깊은 홈을 균일하게 원하는 모양으로 판다는 것은

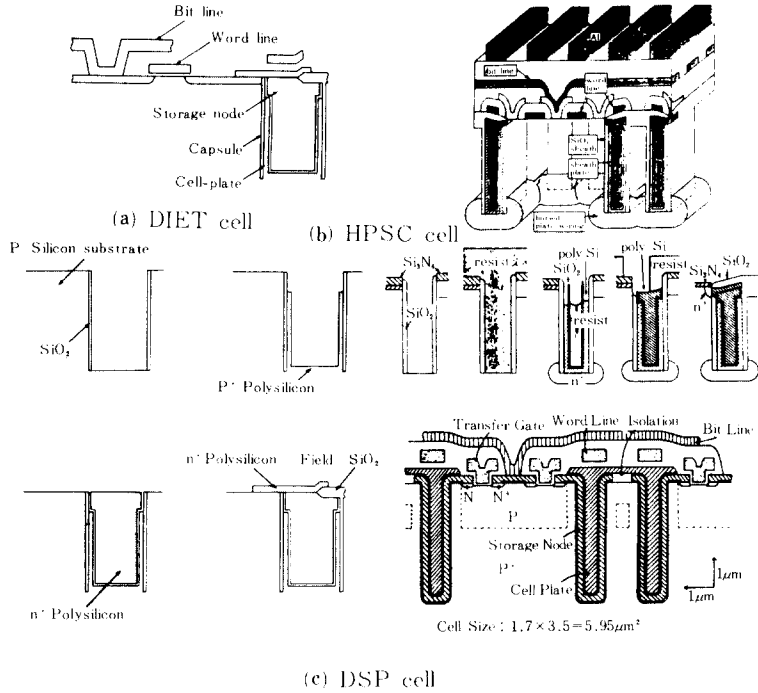


그림 18. (a) Schematic cross section of DIET cell and fabrication sequence  
 (b) Perspective view and process sequence of the HPSC cell  
 (c) Cross section of the DSP cell.

현재의 기술로도 상당히 어려운 일에 속한다. 그래서 홈 구조로써 가능한 홈의 깊이를 얇게 하면서 충분한 캐패시터 면적을 확보하는 방법에 대해 여러 연구가 이루어 졌다. 이들 연구가 가지는 공통점은 홈이 캐패시터의 역할 뿐 아니라 isolation의 기능까지도 겸비하여 셀의 외각까지 캐패시터로 활용하고자 하는 점이다. 이러한 목적의 셀에 대한 일반적인 구조는 그림 19에 나타낸 바와 같으며 그 대표적인 예를 몇가지 살펴보면 다음과 같다.

Toshiba에서 1984년 발표한 folded-capacitor cell (FCC)<sup>122</sup>은 전하 저장 전극이 셀 주위를 둘러싸며 덮고있는 구조로써 (그림 20), 먼저 셀 주위를 얇게 홈을 파고, 전하저장 전극을 홈과 셀 주위의 평면 위에 형성시킴으로써 평면과 홈 구조가 결합된 캐패시터 구조를 얻게 되어 넓은 면적의 캐패시터를 형성할 수 있게 된다. 이때 전하저장 전극의 바깥 부분은 인접 셀과 절연이 되어야 하므로 그림 20(b)에서 볼 수 있듯이 일반적인 LOCOS 구조가 아닌 buried oxide

isolation (BOX)<sup>123</sup> 형태의 절연 구조 (isolation structure)를 갖게 된다.

NTT에서 발표한 isolation-merged vertical capacitor cell(IVEC)<sup>124</sup>은 셀의 주위에 홈을 파고 그 홈에 전극과 캐패시터를 형성함으로써 일반적인 홈 구조와는 달리 셀의 측면 전극을 캐패시터로 이용하게

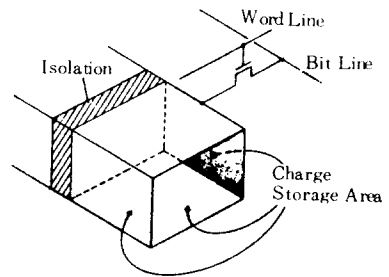


그림 19. Trench for charge storage and isolation: a generic cell.

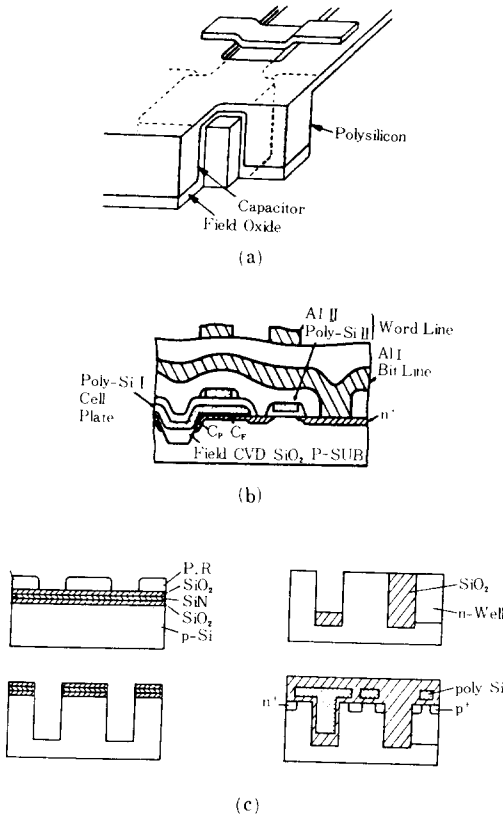


그림20. (a) Perspective views of the FCC cell  
 (b) Cross section of FCC showing CVD SiO<sub>2</sub>BOX-isolation structure  
 (c) Process sequence of FCC cell.

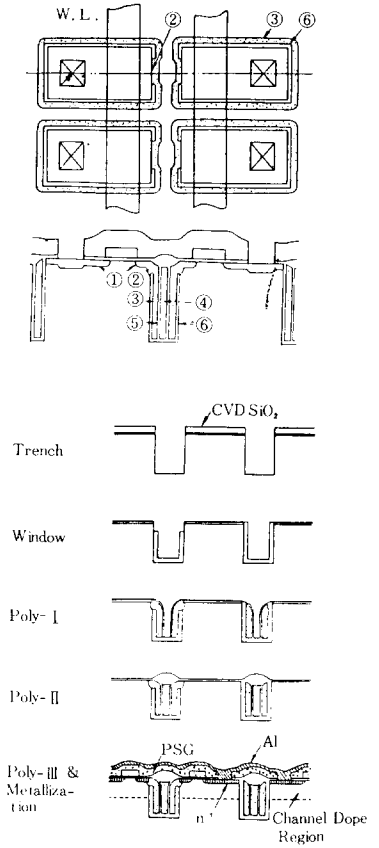


그림21. (a) Cell array  
 (b) Sectional view, and fabrication sequence of IVEC cell

된다(그림21). 이때 셀 간의 절연(isolation)은 plate 전극과 캐패시터 산화막이 담당해 주므로 isolation에 필요한 면적을 줄일 수 있어, 상대적으로 큰 캐패시터 면적을 확보할 수 있다.

NEC에서 발표한 buried isolation capacitor (BIC)<sup>[25]</sup>는 앞서의 IVEC와 마찬가지로 셀 주위에 홈을 판 후 캐패시터로 셀의 측면을 사용하는 것은 동일하나, 캐패시터의 형성은 FCC와 유사하게 셀의 양 끝을 plate 전극으로 표면과 홈을 덮어 씌움으로써 완성하였다(그림22). 그리고 셀 간의 절연은 앞서 형성된 홈 중 캐패시터로 사용되지 않는 홈을 SiO<sub>2</sub>로 채움으로써 절연시켰고, 캐패시터간의 절연은 인접한 캐패시터 사이에 boron implantation으로 p<sup>+</sup> layer를 형성시킴으로써 이루었다.

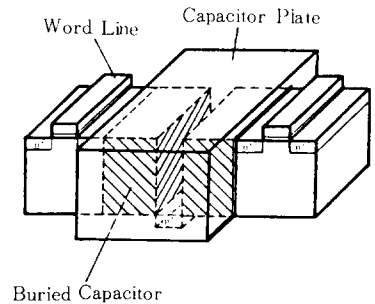


그림22. Schematic cross section of the BIC cell

이러한 셀 구조들은 홈의 측면을 캐패시터와 동시에 셀간의 절연막으로 사용한 것이므로 홈의 일부분

은 bit line과 캐패시터간에 전류가 흐를 수 있도록 홈 외부와 연결되어 있어야 하고 나머지 부분은 전류가 흐를 수 없도록 절연되어 있어야 한다. 이와같이 홈의 측면이 모두 동일한 조건이 아니고 부분적으로 상이한 상태를 유지하여야 하므로, 공정이 복잡하고 균일한 공정제어가 쉽지 않다는 단점이 있다. 그리고 비교적 셀 크기가 커야 하고 홈 측면에서의 누설전류가 크다는 점으로 인해 64Mb DRAM급의 차세대 셀에의 적용은 어려울 것으로 여겨진다.

3) 홈에 트랜지스터와 캐패시터를 함께 형성하기 위한 셀 구조

반도체의 고집적화가 지속되면서 홈 구조에서 셀 크기 축소에 따른 축전량의 확보는 홈의 깊이와 모양으로써 결정되어질 수 있으나, 트랜지스터의 크기 축소는 short channel effect에 의해 축소한도가 제한되므로 홈 구조로도 원하는 셀 면적내에 트랜지스터와 캐패시터를 형성시키는 것이 불가능해 지고 있다. 그래서 최근의 홈 구조에 대한 연구는 동일한 홈 내에 트랜지스터와 캐패시터를 형성시켜 충분한 channel length와 축전량을 동시에 확보하려는 경향을 나타내고 있다. 그 대표적인 예로는 1985년 TI (Texas Ins.)에서 발표한 trench transistor cell (TTC)<sup>[26]</sup>(그림23)과 그것을 수정하여 더욱 작은 면적에서도 셀의 제조가 가능하도록 한 composed trench transistor (CTT)<sup>[27]</sup>(그림24), 1989년 Toshiba에서 발표한 surrounding gate transistor (SGT)<sup>[28]</sup>(그림25)가 있다.

TTC 구조에서 트랜지스터는 홈의 윗부분에 위치하게 되어 전하이동은 전하저장 전극이 substrate 쪽으로 lateral contact된 부분을 통하여 일어나도록 되어있으며, short channel effect를 방지하기 위하여 홈 내부에 위치하는 word line의 길이를 조절하였고 bit line간의 절연은 평면에서 일반적인 LOCOS를 사용하였다. 그런데 bit line간의 절연으로 LOCOS를 사용하면 셀 면적을 감소시키는데 큰 지장이 있으므로 이 방법을 개선하여 bit line간의 절연을 홈 내부에서 LOCOS에 의해 절연을 시킴으로써 셀 면적을 감소시키고자 한 시도가 CTT 구조이다. CTT 구조는 TCC 구조와 공정을 크게 변경하지 않고 만들 수 있는 구조이므로 64Mb DRAM에서도 상당히 적용 가능성이 있는 구조이다.

또한 SGT 구조는 위의 TCC 구조에서 bit line 간의 절연이 큰 면적을 차지한데 착안하여 홈에 의한 절연(trench isolation)을 적용함으로써 셀 사이의 거

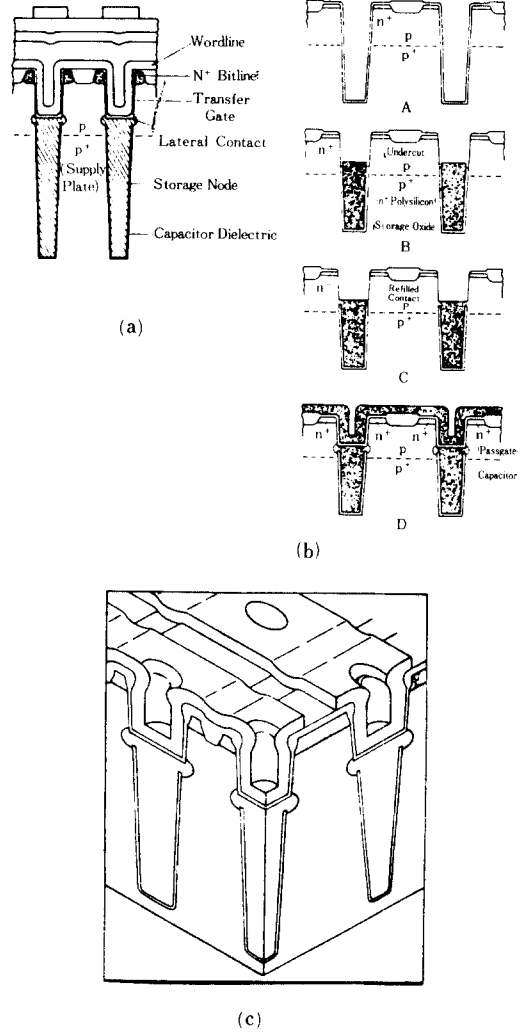


그림23. (a) Cross section (b) Fabrication sequence (c) Perspective view of the TTC.

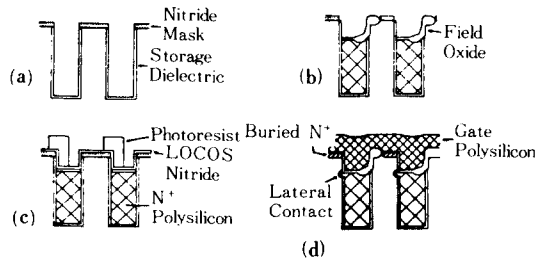


그림24. CTT fabrication sequence.

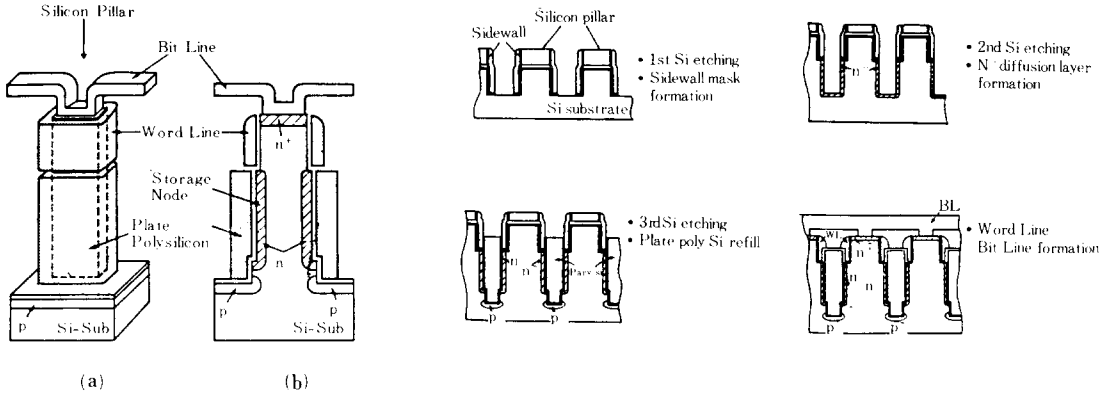


그림 25. Schematic view and fabrication sequence of SGT cell

리를 크게 축소하였고, 트랜지스터와 캐패시터는 silicon을 에칭하여 pillar를 만들고 이 pillar에 수직으로 형성하는 구조이다. 이 구조는 pillar를 형성하기 위하여 3번이나 silicon 에칭을 함으로 공정이 복잡하고 전하저장 전극에 대한 경사이온 주입등이 문제점으로 지적되고 있으나 작은 셀 크기와 셀 사이의 거리를 유지하면서 트랜지스터와 캐패시터를 제조할 수 있으므로 64/256Mb DRAM에서는 고려할 가치가 있다.

III. 차세대 DRAM을 위한 구조분석

DRAM 제조는 막대한 비용이 투입되는 장치산업이라고 할 수 있다. 그래서 만약 기존의 방법으로 보다 고집적화된 DRAM을 제조할 수 있다면 그 방법을 그대로 적용하여 왔다. 차세대 고집적 반도체의 제조에도 이러한 원칙이 그대로 적용된다고 보면 기존에 사용되고 있는 캐패시터용 유전막에 비해 특성이 우수한 고유전막의 재료를 사용할 경우 셀 구조를 크게 변경하지 않고 64Mb DRAM 이상을 제조할 수 있으므로 이에 대한 연구가 우선적으로 요구되어 왔다. 그러나 현재까지 새로운 고유전막으로 뚜렷이 부각된 재료가 없는 상태에서는 축전용량의 확보 측면에서 볼 때 셀 구조에 대한 고려가 최선의 방법이라 할 수 있다.

지금까지 조사한 셀 구조 및 여러 자료를 종합해 보면 64Mb DRAM을 위한 주요변수는 표4와 같이 요약될 수 있다. 이 표에서 나타난 변수들을 모두 만족시키는 64Mb DRAM 셀 구조는 16Mb DRAM 셀 구조를 축소시켜 얻을 수 있을 것으로 여겨진다. 그러므로 각사가 제안한 64Mb DRAM용 셀 구조는 대부분의 경우 이러한 요구조건을 만족하지만 셀 구조의 결정시 가장 중요시 해야 할 점은 셀의 축소 가능성과 공정상의 생산성이다. 즉 셀의 축소가 가능하고 공정상의 문제점이 없어야 한다.

64Mb DRAM의 경우 적층구조의 셀로는 FIN, cylinder 구조와 이의 변형구조가 가장 유망하다고 할 수 있다. 이 경우 전하저장 전극의 높은 단차를 해결하기 위한 평탄화 기술 및 텅스텐 선택 증착 기술의 확립이 요구되며, 노광(lithography)과 에칭기술의 확립이 가장 중요하다고 할 수 있다. 홈 구조의 경우


표 4. Cell parameters for 64Mb DRAM's

Cell Parameter	64M
Cell Area ( $\mu\text{m}^2$ )	1.3~2.0
Capacitor Area ( $\mu\text{m}^2$ )	4 ~6
Dielectric Thickness ( $\text{\AA}$ )	40~60
Storage Capacitance (fF)	25~30
Design Rule ( $\mu\text{m}$ )	0.3~0.4
Power Supply (V)	1.5~3.3
Chip Area ( $\mu\text{m}^2$ )	150~200

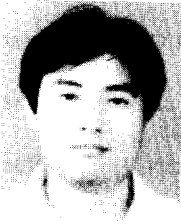
트랜지스터와 캐패시터가 같이 수직으로 형성되는 구조 혹은 적층 구조와 홈 구조를 병합한 구조가 적절한 것으로 여겨진다. 현재 개발되고 있는 셀 구조의 추세는 TI와 Toshiba를 제외하고는 모두 적층구조를 택하고 있어 일단 64Mb DRAM에서는 적층구조의 셀이 일반적이 되리라고 전망된다.

256Mb DRAM의 경우는 아직 방향설정이 되어 있지 않은 모색단계에 불과하므로 그 방향이 어떻게 전개되리라는 것을 예측하기는 어려우나 64Mb DRAM이 기존의 기술이 적용될 수 있는 마지막 단계일 것이라는 예측으로 볼 때 256Mb DRAM은 새로운 기술과 구조로 모습을 나타낼 것으로 여겨진다. 만약 substrate 위에 지금과 같은 방법으로 셀을 구성한다면 홈 구조가 적층 구조보다 유리한 위치를 차지하게 될 것이고, 새로운 기술이 적용된다면 SOI와 같은 3차원적인 구조가 유망하리라 본다.

#### 參 考 文 獻

- [ 1 ] T.C. May and M.H. Woods, IEEE Trans. Electron Devices vol. 26, p. 2, 1979.
- [ 2 ] H. Sunami et al., IEDM Tech. Dig. p. 806, 1982.
- [ 3 ] S. Kimura et al., IEDM Tech., Dig., p. 596, 1988.
- [ 4 ] H. Watanabe et al., IEDM Tech. Dig., p. 600, 1988.
- [ 5 ] T. Ema et al., IEDM Tech. Dig., p. 592, 1988.
- [ 6 ] W. Wakamiya et al., SOVT Digest of Technical Papers, p. 69, May 1989.
- [ 7 ] T. Kaga et al., IEEE Trans. on Elec. Devices, vol. 38, no. 2, p. 255, 1991.
- [ 8 ] D. Temmier, SOVT Digest of Technical Papers, p. 13, May 1991.
- [ 9 ] Iguchi et al, SOVT Digest of Technical Papers, p. 11, May 1991.
- [10] S. Inoue et al., IEDM Tech. Dig., p. 31, Dec., 1989.
- [11] H. Arima et al., IEDM Tech. Dig., p. 651, 1990.
- [12] T. Mano et al., IEEE ISSCC Tech. Digest, p. 234, 1983.
- [13] J.J. Barnes, S.N. Shabde and F.B. Jenne, IEDM Tech. Dig., p. 272, 1977.
- [14] H. Sunami, et al., IEDM Tech. Dig., p. 806, 1982.
- [15] M. Elahy et al., IEDM Tech. Dig., p. 248, 1984.
- [16] M. Sakamoto, et. al., IEDM Tech. Dig., p. 710, 1985.
- [17] N. Lu et al., IEDM Tech. Dig., p. 771, 1985.
- [18] F. Horiguchi et al., IEDM Tech. Dig., p. 324, 1987.
- [19] M. Taguchi et al., IEDM Tech. Dig., p.136, 1986.
- [20] T. Kaga et al., IEDM Tech. Dig., p. 332, 1987.
- [21] K. Tsukamoto et al., IEDM Tech. Dig., p. 328, 1987.
- [22] M. Wada IEDM Tech. Dig., p. 244, 1984.
- [23] M. Mikoshiba et al., IEDM Tech., Dig., p. 578, 1984.
- [24] S. Nakajima et al., IEDM Tech. Dig., p. 240, 1984.
- [25] K. Nakamura et al., IEDM Tech. Dig., p. 236, 1984.
- [26] W.F. Richardson et al., IEDM Tech. Dig., p. 714, 1985.
- [27] W.F. Richardson et al., Symp. VLSI Tech., p.65, 1985.
- [28] K. Sunouchi et al., IEDM Tech. Dig., p. 23, 1989. 

筆者紹介



**朴 泳 震**  
 1962年 1月 28日生  
 1985年 연세대학교 요업공학과 (학사)  
 1987年 한국과학기술원 재료공학과(석사)  
 1990年 한국과학기술원 재료공학과(박사)

1990年~현재 현대전자 반도체연구소 공정개발실 선임연구원  
 주관심분야 : CVD 관련 공정개발



**朴 憲 燮**  
 1954年 1月 26日生  
 1978年 경북대학교 금속과(학사)  
 1986年 Univ. of Texas at Austin, Mat. Sci. & Eng. (석사)  
 1989年 Univ. of Texas at Austin, Mat. Sci. & Eng. (박사)

1978年~1983年 국방과학연구소 연구원  
 1989年~현재 현대전자 반도체연구소 Diffusion 공정개발 팀장  
 주관심분야 : 반도체 소자의 Diffusion 관련 공정 개발



**金 鍾 哲**  
 1959年 6月 7日生  
 1982年 인하공대 금속공학과 (학사)  
 1986年 Univ. of Southern Calif., Mat. Sci. (석사)  
 1989年 Univ. of Southern Calif., Mat. Sci. (박사)

1982年~1983年 대우조선(주)  
 1989年~1990年 현대전자 반도체연구소 공정개발실 선임연구원  
 1991年~현재 현대전자 반도체연구소 공정개발실 책임연구원  
 주관심분야 : Thin Dielectrics Film 개발, Poly-Si 관련 공정 및 3D Capacitor 구조개발



**千 熙 坤**  
 1953年 2月 8日生  
 1975年 울산공대 재료공학과 (학사)  
 1977年 한국과학기술원 재료공학과 (석사)  
 1986年 Univ. of Texas at Austin, Mat. Sci. & Eng. (박사)

1977年~1980年 국방과학연구소 연구원  
 1986年~1988年 Microele. Res. Center, Univ. at Austin 연구원  
 1989年~현재 울산대학교 공과대학 재료공학과 부교수 (현대전자 산학협동 교수)  
 1989年~1990年 2月 현대전자 반도체연구소 공정개발실 부장  
 1990年~현재 현대전자 반도체연구소 공정개발실 이사  
 주관심분야 : 차세대 반도체 공정 및 장비 개발, Thin Dielectrics, New Interconnection