

단일 칩 패키징

金 武
亞南産業(株) 副社長

I. 序 論

80年代까지 패키징 技術이, 開發되는 FAB 容量을 충분히 收容할 수 있었으나 美國 인텔사가 1K DRAM을 70年代 初에 開發, 生産한 이래 FAB 技術이 눈부시게 發展을 거듭하여 0.5 μ m의 미세 회로의 고집적도의 칩을 생산하고 있는 현 시점에서는 이를 실장할 수 있는 패키지 研究가 활발하다. 여기에 기기에 대하여 손쉽게 조작이 가능하고, 容量이 크며, 場所에 구애받지 않고 使用할 수 있는 포터블 타입을 소비자는 요구하고 있어 이를 충족시키기 위해 패키지는 좀더 얇고 작게 만들어져 조밀하게 세트 보딩을 할 수 있도록 해야 한다.

이러한 趨勢에 組立業體와 사용자간의 공통적인 추구 事項은 smaller-larger-faster-better-cheaper 로서 패키지는 작으면서 용량은 커야 하며 액세스 타임은 좀더 빠르게 만드는데 品質은 좋아야 하며 價格은 低廉해야 한다.

다음 표1은 FAB 技術 推移 및 向後 動向을 나타낸 것이다.

II. IC Package 動向

최근 IC 패키지 動向은 크게 두가지로 구분되는데, 칩

표 1. FAB 技術 推移 및 向後 動向

	1970/80	1980/85	1985/90	1990/95	1995/2000
집적도	MSI	LSI	VLSI	ULSI	UULSI
공정기술	TTL	NMOS	CMOS	CMOS	MIXED
회로선폭(μ m)	4.0	2.0	1.25	0.5	0.3
최대 게이트수	10-100	1K-4K	10K-50K	100K-200K	400K-1M
클럭 비율(MHz)	1	10	25	100	200
I/O 핀수	14-40	32-120	84-256	148-320	200-500
Chip Power(W)	0.2-0.4	0.5-1	1-3	2-6	4-12

의 대용량화에 따른 패키지의 다핀화와 패키지를 수용하는 기기들의 market demand에 따른 패키지의 경박 단소화이다. 이러한 趨勢에 따라 각 maker들은, 패키징 技術 開發에 心血을 기울이고 있다. 얼마전 日本의 한 메이커는 아직 開發 段階에 있는 TSOP보다 두께가 절반인 0.5mm의 paper thin package를 開發 했다고 한다. 이렇게 보드 面積을 효율적으로 活用하기 위하여 경박 단소화 패키지를 끊임없이 開發中이다.

1. IC Package와 電子器機의 動向

IC package 흐름은 이를 채용하는 電子기기 趨勢와 관계가 많은데 다음 표2는 그 관계를 나타낸 것이다.

표 2.

구 분	전자 기기의 동향	패키징의 동향
기 능	· 고기능	· 고밀도 · High Pin Count
	· High Speed	· 경박 단소화 · 저 열 저항 · 저 노이즈
외 형	· 소 형 · 박 형	· Finer Pitches · 박형
패키징	· 고밀도 · 자동화	· 표면 실장형 · 습기 제거 포장 · Tape Packing
Application	· Larger Scale	· 다 종류 패키지 · 규격화

2. 패키지 Road-MAP

다음 그림1은 最近 10年間 IC package別 世界 生産 數量的 實績 및 豫測을 그림으로 나타낸 것인데, 1992年 世界 年間 總生産 units는 약 500億 units로 推算되며 年

間 生産數量은 每年 크게 伸張하여 5年後 97年度는 1000 億개가 넘을 것으로 보고 있다. 또한 package 種類도 점점 다양해 지리라 보고 있다.

SOP / SOJ, QFP 등의 패키지가 97년경에는 전체 패키지의 50% 占有하며 이중 SOIC type이 全體 약 30% 를 차지하며 패키징 産業을 리딩할 것으로 展望된다. 또 COB 및 TAB등도 새로운 패키지의 큰 맥을 形成할 것 같다.

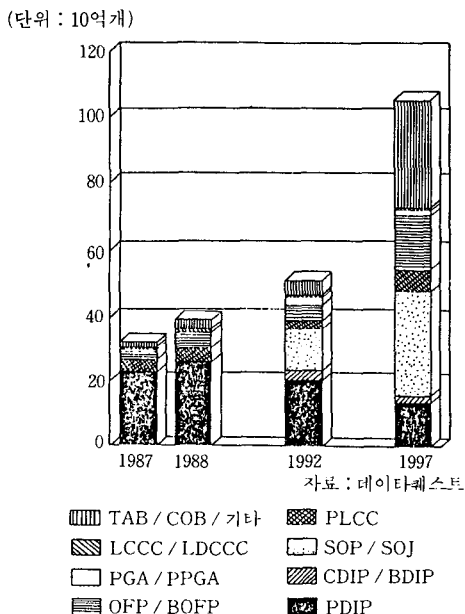


그림 1.

80年代 中盤까지 PDIP, CER DIP, PGA 등의 DIP 타입의 패키지가 주류를 형성하였으나, 중반부터는 SOIC와 PLCC 등의 표면 실장형 패키지가 市場을 크게 形成하였으며 또한 패키지 종류도 크게 늘었다. 80年代 末부터 既存 패키지를 縮小化 하는 shrink type이 나타났으며 곧이어 MCM, SIMM 등과 같이 module type의 mini-set-assembly 형태가 開發되었다.

90年代에 접어들어 TSOP, TQFP와 같은 경박 단소형이 開發되어 商品化되는 시점에 이르고 있으며 向後 board space를 기존 패키지보다 더 효율적으로 活用할 수 있는 TAB과 flip chip, COB 등이 큰 主流를 形成하여 새로운 패키징의 時代를 열 것으로 보고 있다. 또한 single chip packaging과 single layer packaging 방법에

서 점차 multi chip과 multi layer 패키징으로 갈 것으로 보인다.

3. 패키지 Trend

1) DIP package에서 SMD type으로 轉換

(단위 : 10억개)

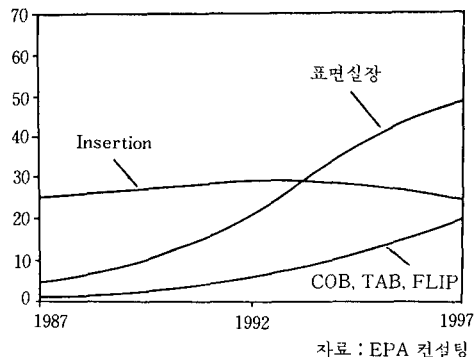


그림 2.

現在 전체 IC package 中 50%이상이 DIP type의 패키지로 실장되던 것이 92年 후반에서 93年 初에는 表面 실장형 패키지 數量이 더 많을 것으로 보고 있으며 一部 專門家들은 시기가 더 앞당겨질 것으로도 본다. 이는 보드기판 活用面에서 兩面에 boarding 할 수 있을 뿐 아니라 board의 이음매가 없이 한 set에 배치가 가능한 FPC (flexible printed circuit board) 使用을 可能케 한다.

2) Fine pitch/다핀화

새로운 패키지로 開發되는 반면 既存 타입도 縮小化 되면서 리드 피치가 계속 줄어들고 있다.

現在 既存 裝備의 表面 실장 技術의 한계 리드 피치는 0.25mm 또는 0.3mm로 보는데 그 이하는 새로운 마운트 技術 開發이 必要하다.

日本 메이커들은 0.5mm pitch에서 바로 0.3mm로 開發하여 피치 한계에 挑戰하고 있다. 불과 2-3年前 까지 만 해도 100MIL(2.54mm) 피치가 주류였는데 반하여 지금은 0.5mm-1.0mm 피치로 옮겨진 느낌이다.

向後 note book, 셀룰러스폰 등 포터블 기기가 대중화 되면 0.5mm pitch이하 製品의 市場 占有가 크게 伸張될 것으로 豫想되며 특히 應用分野의 logic device 製品이 실장되는 QFP 자재에서도 0.5mm 이하로 갈 것이다. 다음 그림4는 다핀 QFP의 리드 피치 動向이다.

EIAJ에 따르면 200 pin 이상을 다핀으로 규정하고 있는데 現在 日本의 경우 300 pin 以上 패키지가 開發 商品化 되고 있다.

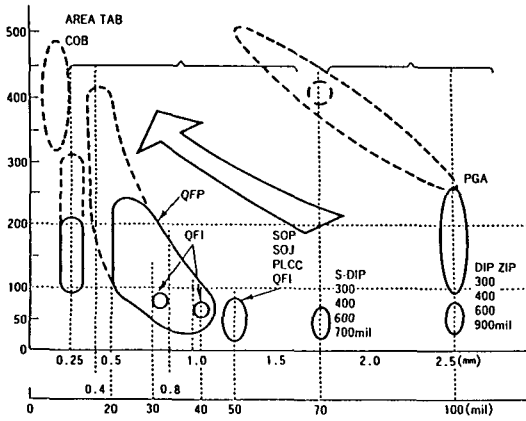
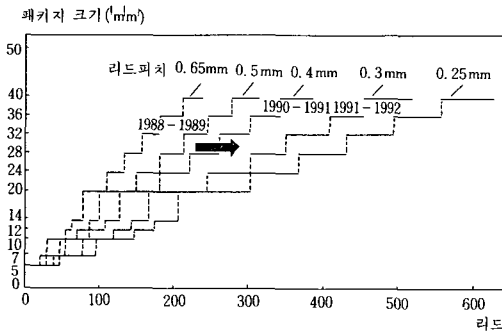


그림 3. 핀 피치와 리드수의 비교



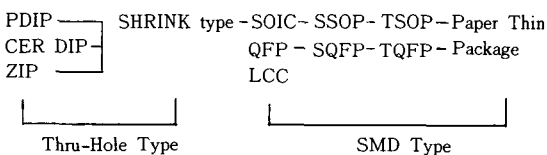
자료 : 니케이 일렉트로닉스(일)

그림 4. 다핀 QFP의 리드 피치 動向

3) 輕薄 短小化

앞서 언급했듯이 消費者 性向이 포터블 타입을 선호함에 따라 “어떻게 하면 기기를 最少化 하며, 주어진 공간을 最大한 活用할 것인가?”가 기기 메이커의 最大 課題인데 이러한 趨勢에 IC 메이커도 直接的인 影響을 받아 既存 패키지가 차지하는 공간을 줄이는데 餘念이 없다.

예를들면 DIP type에서 SMD type으로, SMD type의 SOIC package가 shrink된 SSOP로, 다시 TSOP로 점차 縮小化 되고 있다. 이러한 흐름은 다음과 같이 간단하게 요약할 수 있다.



既存 工程과 材料로서 輕薄 短小化에는 곧 限界에 부딪쳐 이를 克服할 수 있는 새로운 패키징 技術의 開發이 必然的이라 보는데 여기에 속하는 타입이 COB(chip on board), TAB(tab automated bonding), C4(controlled collapse chip connection) 등이다. C4는 보통 flip chip 또는 bare chip 이라고 하는데 die pad 밀층으로 回路를 設計할 수 있어 實裝 效率이 높지만 信賴性에서 改善해야 할 점이 많다.

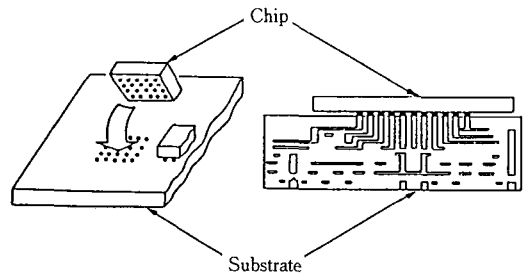
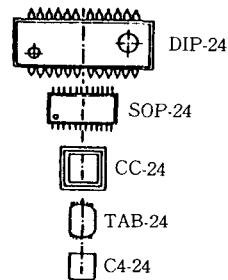


그림 5. Flip chip 개념도

아래 두 그림 6.7은 같은 device의 同一 핀수를 각기 다른 패키지로 차지하는 面積을 比較한 것과 現在 混用하고 있는 패키지 사이의 실장 效率을 比較한 것이다.



(a) 패키지면적(16K CMOS SRAM)

	DIP-24	SOP-24	TAB-24	CC-24	C4-24
mm×mm	31.0×15.24	15.4×10.24	11.18×11.18	5.65×8.97	5.65×6.57
mm ²	472.44	157.70	124.99	50.12	37.12
Ratio	12.73	4.25	3.37	1.35	1

(b) LSI 패키지별 표면효과

그림 6. 패키지 면적 비교

		DIP	ZIP	SOJ	TSOJ	TSOP
PKG Height						
	(mm) Ratio	1.35(1)	2.70(2)	1(0.74)	0.5(0.35)	0.34(0.25)
Mount Area						
	(mm²) Ratio	1.43(1)	0.63(0.44)	1(0.70)	1(0.70)	0.68(0.48)
LD Pitch (mm)		2.54(100mil)	1.27(50mil)	1.27(50mil)	1.27(50mil)	0.50(≒20mil)
Body Thickness		3.5	2.85	2.7	1.6	1.0
(mm) Ratio		1.33(1)	1.06(0.79)	1(0.71)	0.59(0.44)	0.37(0.28)
Body Volume		1073	939	558	263	128
(mm³) Ratio		1.92(1)	1.68(0.87)	1(0.52)	0.47(0.25)	0.23(0.12)

↑ DIP를 1로 가정했을때 비율
 — SOJ를 1로 가정했을때 비율

그림 7. 패키지 실장 효율 비교

4. 向後 패키징 産業 動向 推移와 比較

半導體 패키지 産業을 아래 年度別로 比較 推移해 보면 다음과 같다.

구분	80年代	90年代	2000年代
패키지 種類	50	300以上	1500以上
모노. 사이즈	50K	2K	1K 以上
製品面	90% 以上 스탠다드	40% 스탠다드	20% 以下 스탠다드
生産面	收率, 集積度	40% ASIC	40% ASIC
		10% SYSTEM	40% 以上 SYSTEM
		價格, 集積度, 品質	價格, 品質
		CYCLE TIME	NO INVENTORY
패키지 壽命	15-20年	3-8年	3年 以下
新規製品開發	約 2年	4-8個月	6個月 以內
市場性	REGIONAL	REGIONAL / GLOBAL	GLOBAL

向後 IC 패키지 産業은 위에서 언급한 것과 같이 과거보다 매우 빠르게 사이클링 하리라 豫想되며 패키지 壽命도 짧아질 뿐만 아니라 新規 패키지가 계속 登場하

여 小量 다품종 趨勢가 될 것으로 展望된다. 또한 市場性도 한 國家 또는 地域의인 面에서 脫皮하여 글로벌라 이제이션이 될 것이다.

Ⅲ. 結 論

以上에서 본 것처럼 向後 패키지 흐름은 단순 unit 組立에서 system 組立 및 custom조립으로 이동될 것으로 展望되며 user측의 2nd 패키징 一部를 넘겨 받아 module assembly가 共存될 것으로 본다.

또한 포터블, 컴팩트 기기 産業의 好調로 패키지 크기를 계속 줄여 나가 모든 패키지는 輕薄 短小形式으로 變化될 것이며, 여기에 맞게 絶緣 코팅 와이어와 같은 新素材 開發이 활발할 것이며 새로운 組立 技術로 꾸준히 研究 開發될 것이며, 다핀화 趨勢에 따라 곧 500 pin 以上

의 패키지도 商品化 되리라고 展望된다.

이러한 動向에 對處하기 위해 組立 樣相도 크게 變貌 하리라 본다. Wire bonding 공정이 TAB으로 適用되거나 mold process없이 bare chip 또는 COB type도 크게 盛行하리라 豫測된다. 패키지 life cycle로 계속 短縮

될 뿐 아니라 種類도 多樣化됨에 따라 國內 IC 패키징 産業도 이에 積極 對應해 나가야 하며 user들의 品質은 充足시킬 수 있도록 技術面에서나 素材 開發面에서 많은 投資와 支援이 있어야 한다고 본다. ㉔

筆者紹介



金 武

1935年 9月 2日生

1961年 4月 미국 Pan American College 졸업(화학전공)

1964年 4月 미국 Pennsylvania State University 대학원 졸업

1969年 4月 미국 University of Illinois 대학원 졸업

1964年~1967年 미국 Oak Ridge 원자력연구소 연구원

1967年~1970年 미국 Illinois주립 지질과학연구소 연구원

1970年~1984年 미국 RMC International Inc. 사장

1984年~현재 홍콩 Chamerry Enterprises Ltd. 사장

1988年~현재 아남산업(주) 부사장 겸 아남반도체설계(주) 사장