

전자부품 품질 및 신뢰성

金 兌 沅, 朴 昶 俊*

韓國電子通信研究所 TDX開發團,
(株)金星情報通信 中央研究所*

I. 요약

현대에 개발되는 시스템은 고성능, 다기능이 요구되며 그 요구가 사용자 관점에서 볼 때 고신뢰성이 한층 요구 되어지고 있다.

연구 개발 단계의 초기 단계에서 설정된 품질 목표치, 즉 신뢰도(reliability), 가용도(availability), 정비도(maintainability)를 기준으로 연구 개발 단계별로 품질 및 신뢰성 활동들이 구체화 된다. 특정 시스템이 하나의 building block의 개념으로 구체화 되고 시스템의 계층 구조를 물리적 구조로 분류되는 시스템 설계 단계에서 시스템 블록 단위의 신뢰도 배분(reliability allocation)이 이루어진다.

시스템의 설계가 완료된 상태에서 상세 설계되어 제품이 실현되며, 시제품에 대한 신뢰도 예측(reliability prediction)업무가 착수된다. 시스템의 품질목표치를 겨냥한 실질적인 품질 및 신뢰성 활동들이 신뢰도 배분치 및 시스템 신뢰도 목표치로 bottom-up 방식으로 접근하게 됨에 따라, 본고에서는 시스템의 품질 목표치를 달성하기 위해 가장 원천적으로 기본이 될 수 있는 전자부품의 품질 수준을 분석하고, 신뢰성 관련 제반 시험 기술을 분석 기술하고자 한다.

II. 전자 부품 품질 보증

1. 전자 부품 품질 및 신뢰성 프로그램

전자 부품의 품질 및 신뢰성을 제고하기 위해서는 부품의 제조기술을 고려한 고유의 신뢰성 계획이 수립되어야 한다. 그 예로서 그림 1 과 같은 개발 단계별 품질보증 활동 계획을 들 수 있다. 그 계획은 계획 단계로부터 착수하여 전문가에 의해 규격서가 검토되고, 실질적인 설계 업무가 실시 되어진다. 설

계되어진 전자 부품은 설계심사를 통하여 반도체 소재 및 소자의 품질이 각 공정에 따라 확인된 상태에서 시제품이 생산되고, 제품에 대한 설계 평가가 실시 된다. 설계 평가에 인증된 부품은 부품의 생산성 및 표준화등을 고려하여 양산화 대책을 위해 그림 3 과 같은 공정관리(process control)하에서 제품이 생산 된다. 또한 제품의 품질 및 신뢰성 프로그램이 그림 2와 같은 항목에 따라 설정된 운용조건하에서 실시 되어 진다.

2. 전자부품 품질 및 신뢰성 시험개념

전자부품의 품질 및 신뢰성 평가는 개발단계별 품질보증 활동 계획하에 단계별로 적용되어 실시된다. 생산자는 전자부품의 특성 및 신뢰성을 고려한 어떤 파라미터들을 규격화 할 것이다. 그리고 그 부품은 규격과 일치하는지 결정하기 위해 개발 전순기에 걸쳐 각종 시험을 하여야 할 것이다. 일반적으로 개발 전순기 동안의 평가 개념을 기본적인 시험 개념으로 연관 지어보면 그림 4와 같이 도식화 할 수 있다. 전자부품의 주요 시험을 구분하여 보면 다음의 분야로 응용된다.

- Leak or wafer sort test
- Package or final test
- Quality control test
- Reliability testing
- Incoming inspection test
- Characterization or engineering test

Wafer sort test는 가능한 빨리 불량 다이(die)를 선별하기 위한 시험으로서 전압 및 전류의 파라미터로서 측정된다.

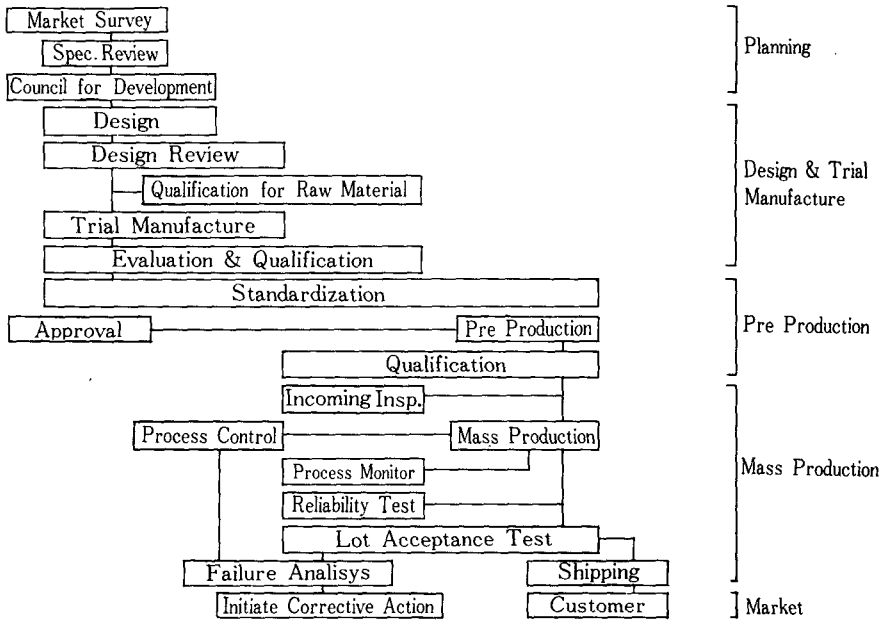


그림 1. 개발단계별 품질보증 활동

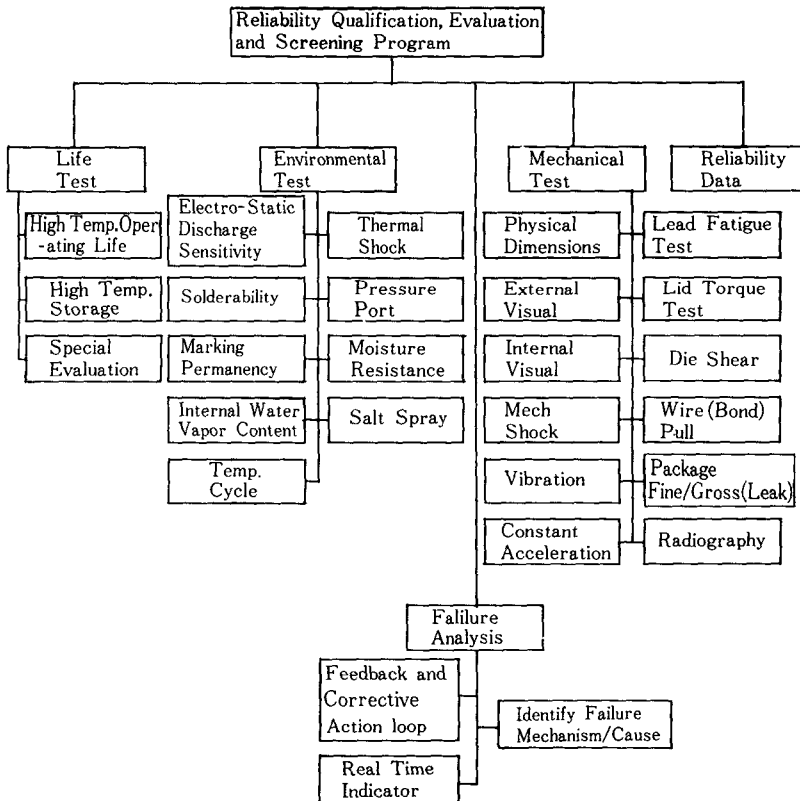


그림 2. 품질 및 신뢰성 프로그램

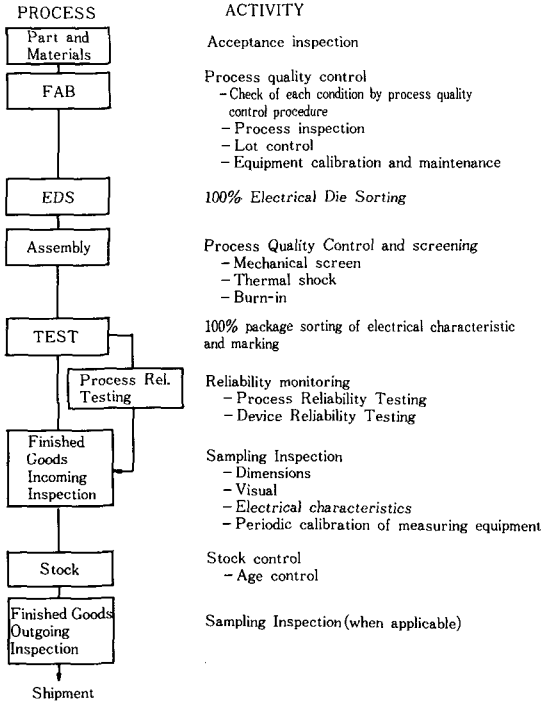


그림 3. 공정 관리 흐름도

등급은 이 단계에서 결정된다. 전형적인 부품 등급인 commercial, industrial, military로 구분되며, 특별히 요구된 등급의 부품도 이 단계에서 규격과 일치하는 지 시험하여 확인하게 된다.

Quality test는 부품의 표준화와 규격에 일치하는 정도를 시험하는 것이다.

Reliability test는 주어진 운용조건하에서 의도된 시험 기간동안 부품의 기능이 적당하게 동작하는 지 증명하는 시험이다.

Incoming inspection test는 생산자와 사용자와의 관계에서 상호간의 품질 및 신뢰성 파라메타의 차이 점을 검사하는 시험이다. 사용자의 관점에서 요구하는 품질 및 신뢰성 수준을 만족하기 위해서는 제조업체의 인증이 필요하며, 공급자와 사용자의 품질관리 기준의 일치가 필요할 것이다. 또한 incoming inspection test는 생산자가 final test 중에 품질 및 신뢰성 파라메타에 따라 등급이 구분된 부품을 사용자 관점에서 inspect lot를 발체하여 요구되는 설계의 여유도에 만족하는 지 합격·불합격으로 판정하게 된다.

Characterization test는 흔히 연구·개발(R&D) 시험이라고도 한다. 부품의 규격 즉 운용범위, 실질적인 성능범위등을 위한 여러가지의 파라메타가 시험되고, 파라메타의 상호작용이 평가 되어진다. 일반적으로 이 시험은 생산자가 부품의 응용 및 설정된 부품의 규격을 증명하고, 확정하기 위해서도 수행되어진다.

이와 같은 시험에 의해 발생된 결점들의 정보를 EDP(electronic data processing)센타를 운용하여 제품의 품질을 향상시키기 위한 시험정보 자료로서 사용되어야 할 것이다.

III. 전자부품 품질 및 신뢰성 분석

전자부품의 분류는 주요 소재별로 bipolar(PN, PNP, NPN transistor) 제조기술과 unipolar (MOS, CMOS, H MOS, HCMOS) 제조기술로 크게 구분할 수 있고, 이에 관련된 품질 및 신뢰성 시험을 평가·분석하기 위한 시험 수준을 본장에서 기술하고자 한다.

일반적으로 전자부품의 품질 및 신뢰성 시험은 고유의 부품 특성에 일치할 수 있는 시험 계획과 부품의 불량발생 경로를 추적하기 위한 고장의 형태가 분류 정의된 상태에서 의도된 시험 조건에 의해 시험이 실시된다. 전형적인 고장형태 및 시험조건은 표 1과 같으며, trio-tech international에 의해 제공된 시험계획은 표 2의 예로서 들 수 있다.

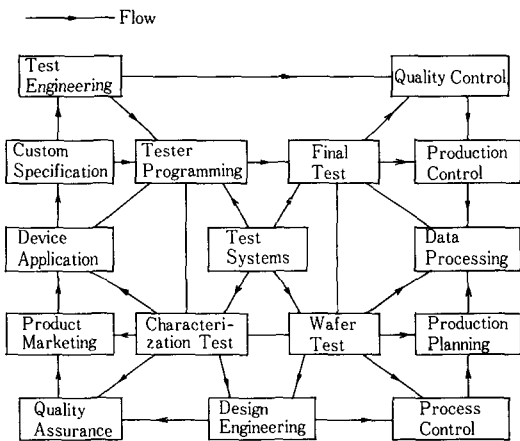


그림 4. 전자부품 총괄 시험 개념

Final test는 최소한의 전기적 규격을 보증하기 위해 basic functional test, margined function test, 기타 파라메타 시험등의 순서로 시험이 실시된다. 부품의

표 1. 시험 및 고장형태

Test to MIL-STD-883	Defect, Failure Mode
Receiving inspection/ Bonded stores	Wrong part number Wrong part count Shipping damage
Temperature cycle Method 1010/C	Package seal Die/Wire bonds Cracked die Material thermal Comparability
Stabilization bake Method 1008/C	Electrical(Stability) Metalization Bulk silicon defects Corrosion Surface contaminants
Burn-In Method 1015 A or C (Static or Power)	Accelerate latent defects Inversion/Channeling Parameter drift Contamination Dialectric/Insulation
Burn-In Method 1015 D (Dynamic) Pre/post Burn - In Electrical test	Same as static Conductive path defects Die bond thermal defects DC parametric failure Functional failure Device degradation
Mechanical tests Method 2002/B (Shock) Method 2007/A (Vibration)	Wire bond Die bond Cracked die or substrate Package seal Lead dress
Constant acceleration Method 2001/E	Lead dress Die/Wire bond Cracked die
Seal/Fine and gross leak Method 1014/B and C	Package seals evaluation Long term catastrophic Failure due to corrosion
Final electrical test	DC parametrics or temp. AC parametrics
External visual Method 2009	Cracked package Broken or bent lead
Final inspection/ Bonded stores Packge for shipment	Package Paperwork
Moisture resistance (Method 1004) Humidity (MIL-M-2002/103B) Pressure cooker Salt Atmosphere (Method 1009A)	Seal integrity Solder plating Corrsion

표 2. 시험 계획

시험 순서 및 지침	시험 수준
TT-1: Wrong part number Wrong part count Parts do not meet Specification	Visual inspection Electrical test:DC and functional at 25°C Certify, mark, and package
TT-2: Same as TT-1 Remove temperature Related defects	Visual inspection Stabilization bake: 24 hours at +150°C Temperature cycle:10 cycle, -65 to +150°C Electrical test:DC and functional at 25°C Certify, mark, and pakage
TT-3: Same as TT-2	Visual inspection Temperature cycle:10 cycle -65 to +150°C Burn-In(Static):96 hours at 125°C Electrical test: DC parametrics, functional and AC characteristics at 25°C Certify test conditions with pass/fail result Seperate and mark good ICs
TT-10: MIL screen to MIL- M-38510	Test to MIL-STD-883, Method 5004, class A, B, or, C
TT-20: MIL qualification to MIL-M-38510	Test to MIL-STD-883, Method 5005, class A, B, C, D
TT-120: Pakage seal evaluation	Thermal shock Temperature cycle Moisture resistance Fine and gross leak Options include - Humidity - Pressure cooker - Salt atmosphere - Dye penetration
TT-120: Pakage evaluation (Mechanical stress)	Mechanical shock Vibration variable Constant acceleration Fine and gross leak

1. Integrated Circuit 신뢰성 시험

일반적으로 반도체의 제조기술은 크게 bipolar, uni-polar 제조 기술로 나눌 수 있다. 전자의 제조 기술에 의한 대표적인 부품은 PN 접합 다이오드, PNP형 트랜지스터 등을 들 수 있으며 이 부품은 저입력 임피던스, 저밀도, 고소비전력, 고속도의 특성을 요구하는데 응용된다. 후자의 경우에는 대표적인 부품으로서 MOS, CMOS, HCMOS등을 들 수 있으며, 이 부품은 고밀도, 고입력 임피던스, 저소비 전력, 낮은 속도의 특성을 갖고 있다. 특히 반도체 분야에서 MOS의 저속도 특성의 보완이 반도체 분야에 폭 넓게 적용되고, 응용되고 있다.

반도체류의 시험은 공정 관리 및 시험 계획하여 정의된 고장 형태를 중심으로 실시되며, 고신뢰성을 요구하는 반도체의 경우 100% 공정율이 포함된 선별시험(screen test)의 시험항목 및 방법은 다음의 표와 같다. 또한 부품의 품질을 인증 및 입증하는 절차의 기준은 MIL-883, Method 5005에 따라 실시된다.

Screen Test	MIL-STD-883 Test Method	Condition
Internal visual	2010, B	-
Stabilization bake	1008, C	150°C, 24 Hours
Temperature cycle	1010, C	-
Constant acceleration	2001, C	30,000 Gs, Y1 Plane
Interim electrical	5005, Gp A Sub. 1	25°C per Spec.
Burn-In	1005, A	125°C, 160Hrs, 150C, 80Hrs
Static electrical	5005, Gp, A Sub. 1	25°C per Spec.
	5005, Gp A, Sub. 2 & 3	-55°C & +125°C Per Spec.
Dynamic & Functional Test	5005, Gp A, Sub. 4, 7 & 9	25°C per Spec.
Fine seal	1004, A	5×10(-8)atm X cm ³ /s Max.
Gross seal	1014, C	-
External visual	2009	-

2. Discret Semiconductor 신뢰성 시험

다음의 시험은 부품의 선별시험, 허용 가능정도를 평가하기 위하여 사용되는 주요 시험 항목으로 다음과 같이 들 수 있다.

- Steady state operating life

이 시험의 목적은 다이(die)의 안정도를 평가하기 위한 것으로서 생산 과정에서의 고장을 미리 제거한다.

시험조건 : Ta=25°C, PD=Max rated power

- Intermittent operating life

이 시험의 목적은 온도 스트레스에 의한 왕어와 다이의 접촉 상태를 점검하는 시험으로서 수명 시험과 동일하다.

시험조건 : Ta=25°C, PD=Max rated power, T(on)=T(off)=1 min.

- High temperature storage life

이 시험의 목적은 부품을 긴 시간, 높은 온도의 환경 조건에서 failure mechanism의 발생이 있는지 시험한다.

시험조건 : Ta=바이어스 전압이 없는 상태에서 150°C

- High temperature reverse bias

이 시험의 목적은 부품의 단자 및 주위에 전류, 전압, 온도 스트레스를 가하여 이온의 이동 상태를 시험하는 것이다.

시험조건 : Ta=150°C, Vcb=80% max rated Vcb

- Moisture resistance

이 시험의 목적은 온도와 습도의 환경 조건하에서 부품의 습기저항력을 평가하기 위한 것이다. 시험조건 : MIL-STD-750, Method 1021

- Pressure cooker

이 시험은 온도와 압력 조건하에서 hermetic 소재가 아닌 부품인 경우의 습기 저항력을 평가하는 것이다.

시험조건 : Ta=121°C, P=1 atm. (15psig)

- Temperature cycle

저온에서 고온으로 변환되는 과정에서 부품이 견디는 정도를 시험하는 것이다.

시험조건 : MIL-STD-750, Method 1051, -55 to 150°C

- Thermal strength

부품의 단자가 PCB에 정착되었을 때의 장력의 정도를 측정하는 것이다.

시험조건 : MIL-STD-750, Method 2036, E

- Solderability

부품 단자의 납땀성을 결정하기 위한 시험이다.

시험조건 : MIL-STD-750, Method 2026

- Salt atmosphere (corrosion)

NaCl이 존재하는 환경의 부식효과를 고려하여 시험하는 것이다.

시험조건 : MIL-STD-750, Method 1041

- Mechanical stress

Discret semiconductor에서는 전동 및 충격에 관련된 고장형태가 발생이 없다. 그러나 군수용 제품의 부품으로서 허용하기 위해서는 규격화 되어 시험한다.

부품의 등급은 다음의 그림 5와 같이 제조 공정에서 얻은 시험 결과에 따라 부품의 등급이 결정된다.

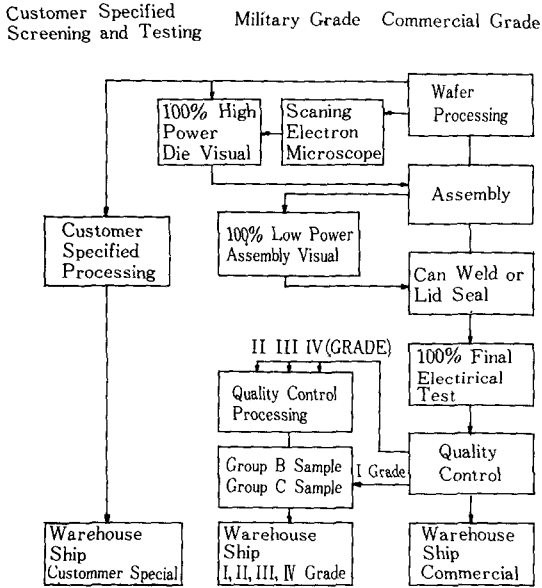


그림 5. 부품등급별 제조공정

군수용 등급의 부품에서도 그림 5에서와 같이 품질에 따라 여러 등급으로 나뉘어진다. 그 등급의 구분은 MIL-S-19500에 의해 시험되며 추가적인 시험조건에 따라 다음과 같이 그 수준이 결정된다.

- I 등급 : 환경 및 수명시험에 의해 로트를 관리
- II 등급 : I 등급을 포함하여 100%의 공정율
- III 등급 : II 등급을 포함하여 100% visual inspection
- IV 등급 : III 등급을 포함하여 웨이퍼 lot acceptance & 100% 공정율

또한 그림 5의 group-B, group-C에서의 시험종류를 비교하여 보면 표3, 표 4와 같이 구분된다.

또한 소비자에 의해 특별히 주문된 부품은 보편적으로 고신뢰성을 요구하는 부품들로서 군수 납품용 부품과 industrial/commercial급의 부품이다.

표 3. Group-B의 시험 종류

Inspection or Test	MIL-STD-750 Method	Condition
Physical demensions	2066	-
Solderability	2026	-
Solvent resistance	1022	-
Thermal shock	1051	C1, 25 Cycle
Thermal shock	1051	C3, 100 Cycle
Hermetic seal		
Fine leak	1071	G or H
Gross leak	1071	A, C, E or F
Decap visual	2075	-
Bond strength	2037	A
Die shear	2017	-
Operating life	1027	25°C, 340 Hours
Intermittent operating life	1037	25°C, 2000 Cycles
Accelerated operating life	1027	125°C, 96 Hours
High temperature storage life	1032	200°C, 340 Hours

표 4. Group-C의 시험 종류

Inspection or Test	MIL-STD-750 Method	Condition
Physical dimension	2066	-
Thermal shock	1056	A
Thermal strength	2036	E
Hermetic seal		
Fine leak	1071	G or H
Gross Leak	1071	A, C, E or F
Moisture resistance	1021	최초의 시험 조건은 생략
External visual	2071	-
Shock		
Variable-frequency	2016	1500G
Vibration	2056	100-2000 Hz
Constant acceleration	2006	20,000G
Salt atmosphere	1041	-
Operating life	1026	25°C, 1000 hours

IV. 전자부품 소재 및 고장 분석

1. 반도체 소재 분석

반도체 소자 제조시 이용되는 소재로는 소자용 소

재, 패키지용 소재, 간접소재로 분류할 수 있으며 각 소재의 물리적, 화학적 특성에 대한 분석 대상을 표 5와 같이 세분할 수 있다. 소자의 기능을 향상시킬 수 없는 반도체 소재는 가능한 사용치 않는 것이 수율 향상을 위하여 좋기 때문에 소재 내부에 존재하는 극히 미량의 원소들까지도 분석의 요구가 되고 있다. 더욱이 기본 소재의 순도는 전 제조공정을 통하여 영향을 받으므로 모든 단계에서 정밀한 분석이 필요하다. 특히 수율이나 소자 신뢰도에 영향을 끼치는 불순물은 재발 방지를 위하여 신속하게 검출, 규명되어야 한다.

표 5. 반도체 소재 특성 분석

구분	용도	소재	물리적 분석 특성	화학적 분석 특성
소재용	반도체단결정	Si GaAs GGG	Defects Warpage Flatness	Contamination Impurities Segregation
	절연체	SiO ₂ BPSG Si ₃ N ₄	Density Stress Defect	Bonding Impurities Distribution
소재	연결용	Al AlCu Poly-Si Silicide	Density, Strength Grain Structure Stress Density Strength, Defect Density	Composition Distribution Stoichiometry
	패키지용소재	프라스틱몸체	Epoxy Silicone	Strength Void density
세라믹 몸체		Ceramic Glass	Adhesion Strength Grain Structure	Corrosives Composition Ratio activity
리드프레임		Kovar Au Plate Ag Plate	Ductility Toughness Grain Structure	Contamination Composition Segregation
간접소재	분당외이어	Gold Al	Strength Grain Structure, Segregation	Composition Contamination
	마스크	1X Recticle 5X Recticle Resists 가스	Adhesion Defect Density Vocosity Particle Size	Contamination Particles Composition Impurities

반도체 소자를 bipolar (PN, PNP, NPN), unipolar (DMOS, NMOS, PMOS)로 구분하여, 품질 및 신뢰성을 높이기 위한 분석 항목 및 세부 분석대상을 구분하여 보면 표 6과 같다.

표 6. 소자별 분석대상 항목

소자 분류	분석 항목	세부 분석 항목	비고
MOS 소자	트랜지스터의 전기적 변수	0 문턱 전압 0 절달론덕턴스 0 V-I 특성 및 항복전압 0 바디효과 0 이동도 0 누설전류 0 캐패시턴스	기본소자에 대한 불량형태의 측정
		(CMOS HMOS HCMOS) Integrity	불량형태의 측정 소자속도 측정 소자 품질 평가
바이폴라소자	트랜지스터의 전기적 변수 (DC)	0 ODC 이득 0 항복전압 0 접합누설전류 0 포화 전압	0 기본소자에 대한 DC 특성평가 0 접합부위 결합 평가 0 C-E 직렬저항측정
		(AC)	0 OAC 이득 0 차단 주파수 0 지연 시간
	정합캐패시턴스 저항	0 OPN 접합 0 확산 저항 0 벌크 저항 0 핀치 저항 0 이온주입저항	0 접합도핑레벨 측정 0 저항치 측정

2. 불량 형태 (failure mode)

반도체 소자의 불량형태는 의도된 규격치의 편차로부터 발생되어 주요한 불량 형태를 표 7과 같이 불량형태와 소자에 끼치는 영향을 요약할 수 있다.

3. 불량 발생 경로 (failure mechanism)

반도체 소자의 오기능은 소자가 전기적·환경적 스트레스를 받고 있을 때 성능변화를 초래하게 되어 소자의 구조적인 특성이 변화하여 오기능을 발생하게 된다. 이 과정을 고장 발생경로라 하며, 이 경로를 정확히 분석함으로써 반도체의 신뢰성 향상을 도모할 수 있다.

표 7. 불량 형태

불량형태	정 의	영 향
내부 단락	금속단자 또는 접합부 사이의 회로단락	회로단락 또는 회로오동작
내부 개방	와이어본드 또는 금속선에서의 회로개방	회로 개방
파라미터 변이	이득 또는 다른 전기적 파라미터의 변이	성능마진감소, 무영향
접합부 누설	P-N 접합부에서의 누설전류	무영향에서부터 오작까지의 영향
문턱 전압변동	Turn-On 전압의 변화	임의 논리의 오동작
밀봉 불완전	주변공기, 습기 또는 오염 물질의 침투	성능저하로부터 완전한 오동작까지의 영향

(1) 내부 불량 발생 경로

내부적 결함의 발생 경로를 말하며, 단 결정성장 및 웨이퍼를 가공하는 동안 발생하는 불완전한 단결정으로 인하여 나타난다. 이러한 형태의 결함에는 전위(dislocation), 비저항의 불균일, 불순물 확산, 엡치피트 및 침전(precipitation) 등이 있다.

(2) 표면 불량 발생 경로

표면에 나타나는 결함이 발생하는 경로로서 오염, 이물질, 반전층 및 기계적 표면 손상 등이 있다.

(3) 산화막 불량 발생 경로

산화막 결함의 발생경로이며, 실리콘 산화막이나 표면 보호막에 나타난다. 이런 부류는 산화막 핀홀, 산화막 단락, 산화막 고장 및 표면보호막의 결함 등이 있다.

(4) 확산 불량 발생 경로

소자의 제조과정중 확산공정시 결함이 나타나는 발생경로이며, 불완전확산, 확산스파이크, 확산파이프 및 마스크 오정렬등이 있다.

(5) 금속 불량 발생 경로

금속막 공정과 관련된 결함발생 경로이며 기계적, 화학적 및 설계와 관계가 있다. 일반적인 금속

막의 결함은 부식, 오염, 전자이주현상, 미세균열, 과합금 및 번짐과 굽힘 등이 있다.

(6) 와이어 본드 불량 발생 경로

와이어 절단, 내선 절단, 번지거나 과분당된 와이어, 위치의 변경 및 오염물질의 형성 등이 있다.

(7) 패키지 불량 발생 경로

이 불량은 패키지 제조기술에 따라 다소 다른 양상을 보여주며, 조립 공정과 제조 공정에서 사용되는 다이접착, 와이어접착과 조립시 이용되는 리드프레임, 와이어, 패키지 등에 관련된 모든 결함이 포함된다.

V. 마 칙

현대에 개발되는 전자 부품은 경제적인 측면을 고려한 고성능, 고집적도, 고신뢰성의 추구를 사용자가 요구하고 있기 때문에 그 품질 및 신뢰성을 평가하기 위한 기술의 향상이 한층 요구되어지고 있다. 일반적으로 전자부품에 대한 신뢰성 평가는 국제규격(미국방성규격, IEC, 등등)에 의존하고 있으나 부품의 제조 과정에서부터 최종시험에 이르기까지 제품의 품질수준을 세분하여 사용자에게 품질서비스를 제공하고 있다. 따라서 사용자는 부품의 성능, 특성, 신뢰성에 관련된 사항들을 제조업체의 판단기준을 명확히 분석하여 사용함으로써 목표 시스템을 위한 신뢰도, 가용도, 정비도등을 향상시킬 수 있을 것으로 본다.

參 考 文 獻

[1] ETRI, "부품품질 시험 기술 개발에 관한 연구," 1988.
 [2] Hariss Co., "Reliability Report," 1989.
 [3] Motorola Co., "Reliability Report," 1989.
 [4] Sprogue Co., "Integrated Circuits," 1989.
 [5] National Semi. Co., "Reliability Report," 1989.
 [6] 미국방성, "MIL-STD-883C," 1983.
 [7] James T. Healy, "Automatic Testing and Evaluation of Digital Intregrated Circuit,"

筆者紹介



金 兌 沅
1959年 6月 24日生
1986年 대전공업대학 전자공업과
졸업

1983年 한국전자통신연구소 입소
1991年 현재 한국전자통신연구소 TDX 개발단
품질보증실 기술원



朴 裨 俊
1963年 10月 23日生
1986年 경희대학교 전자공학과
졸업

1989年 (주)금성반도체 중앙연구소 입소
1991年 현재 한국전자통신연구소 TDX 개발단
품질보증실 파견