

버스트형 데이터 전송을 위한 DS/SS 전력선 통신 시스템의 실현에 관한 연구

正會員 姜 炳 權* 正會員 李 在 庚* 正會員 愼 光 榮* 正會員 黃 金 燦*

A Study on the Implementation of DS/SS Power Line Communication System for Burst-format Data Transmission

Byeong Gwon KANG*, Jae Kyoung LEE*, Kwang Young SHIN*,
Keum Chan WHANG* *Regular Members*

要 約 본 논문에서는 강한 임펄스성 잡음 및 협대역의 간섭이 존재하는 전력선 채널에서의 데이터 전송을 위하여 직접 시퀀스 스펙트럼 확산 통신 방식을 이용한 통신 시스템을 구성하였다. 디지털 정합 필터를 이용하여 버스트형 패킷의 빠른 코드 동기를 수행하도록 하였고, 코드 동기를 이룬 후 샘플링 펄스에 의해 데이터를 검출함으로써 버스트형 패킷을 복구하였다.

전력선 통신 시스템의 성능 측정을 위하여 매우 강한 임펄스성 잡음이 존재하는 모의 채널에서 전치 부호 1 비트, 데이터 63 비트로 구성된 패킷을 전송하였다. 매우 열악한 채널 조건으로서 신호 레벨보다 약 30[dB] 정도 큰 임펄스성 잡음이 연속적으로 발생하는 경우에도 10^{-3} - 10^{-4} 의 비트 오류율과 0.07 이하의 패킷 손실율을 유지하였다.

ABSTRACT In this paper, a communication system using direct sequence spread spectrum (DS/SS) technique is constructed to transmit burst format data over power line channel with impulsive noise and narrowband interferences. Fast code synchronization is acquired by digital matched filter and data decision is accomplished by sampling pulses.

In order to examine the performance of the power line communication system, bit error rate and packet loss rate are measured over the simulation channel with various noise sources. When the packet composed of 1-bit preamble and 63-bit data is transmitted under very high burst impulsive noise, the bit error rate is about 10^{-3} - 10^{-4} and the packet loss rate is below 0.07.

I. 서 론

전력선을 이용한 스펙트럼 확산 통신 방식은 별도의 채널 설치가 불필요하고, 임펄스 잡음과 신호의 협대역 손상에 강한 장점이 있어 최근 가정 자동화, 공장 자동화, 사무 자동화, 빌딩 관리 자동화, 컴퓨터 통신 등에서의 적용에 대한 관심이 고조되고 있으며, 이를 위한 몇 가지 방식들이 제안되었다. [1]-[4][7][8] 특히, 건물내에서의 자동화에는 짧은 버스트 형태의 명령어들이

사용되며[4], 버스트형 데이터에 대한 동기는 빠른 시간안에 이루어져야 한다.

그러나, Piety[2]가 제안한 3.5-10.5MHz 대역의 시스템은 동기를 위하여 두개의 코릴레이터를 사용하였으므로 전력선에 많이 존재하는 임펄스 노이즈에 강하고, 동기 시간은 빠르지만 선정협대역 자체가 전력선에서 감쇠가 크고, 제작이 어려움이 있으며, Donaldson[3] 이 제안한 60 Hz 전력신호의 zero crossing을 이용한 동기 방법은 동기 시간은 빠르지만 전력 신호 자체의 불안정으로 데이터율의 증가와 신호의 복구에 어려움이 따르며, 선형 코릴레이터를 사용하였으므로 임펄스 잡음에 약하다[5][6]. 또한, Endo[8]

*延世大學校 電氣工學科
Dept. of Electrical Engineering, Yonsei University
論文集號: 91-99(接受1991. 4. 6)

등이 제안한 시스템은 DLL(Delay-Locked Loop)을 사용하여 초기 동기를 이루므로 동기 시간이 길다는 단점이 있다.

본 논문에서는 이들 시스템들의 문제점을 해결하여 임펄스 노이즈에 강하고, 제작이 용이하며, 초기 동기 시간이 빠른 디지털 정합 필터를 이용하고, 자동화에 적합한 데이터 형태인 버스트형 패킷 전송을 고려하여 직접 시퀀스 스펙트럼 확산(direct sequence spread spectrum) 전력선 통신 시스템을 설계 및 제작하였다.

II 장에서는 시스템의 설계 및 제작 과정에 대하여 설명하였고, III 장에서는 모의 채널을 구성하여 여러 가지 잡음원을 인가하였을때 측정된 데이터비트 에러율과 패킷 손실율에 대하여 설명하였다. IV 장은 본 논문에 대한 결론이다.

II. DS/SS 전력선 통신 시스템의 설계 및 제작

버스트형 데이터를 전송하기 위한 DS/SS 전력선 통신 시스템은 크게 송신단, 칩 변복조기 및 결합기, 수신단으로 구성된다. 비트 오류율(bit error rate) 및 패킷 손실율(packet loss rate)을 측정하기 위하여 송수신단을 각각 IBM PC와 상호 접속하였다.

2.1 시스템 개요

그림 2.1은 본 논문에서 설계, 제작한 직접 시퀀스 스펙트럼 확산 통신 방식을 이용한 전력선 통신 시스템의 전체 구성도를 나타낸 것이다. 그림에서 커플러를 통해 수신된 신호를 데이터 복조에 앞서 칩 단위로 먼저 복조하였는바 이는 전력선과 같이 임펄스가 많이 발생하는 채널에서는 데이터 단위의 복조보다 하드 리미터 등을 사용하여 칩 단위로 복조하는 것이 성능이 더 우수하기 때문이다.[13] [14]

2.2 송신단

송신단의 블럭도는 그림 2.2와 같다. 송신단은

전송하고자 하는 데이터를 패킷화한 후 전치 부호를 첨가하고 PN 부호 발생기로부터 발생된 PN 부호를 사용하여 데이터 신호의 주파수 대역을 확산시킨다. 패킷을 전송하는 과정은 PC와 상호 접속부에 의한 과정과 외부회로에 의한 과정으로 나누어지며, 이 두 과정은 한 비트의 플래그(flag)의 내용에 따라 연결된다.

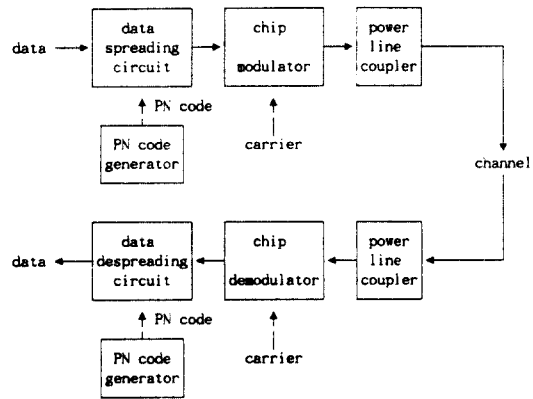


그림 2.1 DS/SS 전력선 통신 시스템의 구성도
Fig. 2.1 DS/SS power line communication system

우선 데이터가 PC에 의해 I/O맵(map) 상에 위치한 패킷 버퍼에 실려진다. 버퍼는 PISO(parallel input serial output) 쉬프트 레지스터로 이루어지며 I/O 어드레스 해독부(I/O address decoder)에 의해 선택되고, I/O 어드레스 해독부에 의해 플래그 값이 '1'로 세트된다. 이후 PC는 플래그 값이 '0'으로 리셋되는 지를 계속 검사한다. 한편 플래그가 세트되기를 계속 검사하고 있던 외부회로는 플래그가 세트되면 전치부호와 데이터로 이루어진 패킷에 PN 코드 발생기로부터 발생된 전치 부호와 데이터용 PN 부호들을 각각 전치부호와 데이터에 곱하여 전송하고 플래그를 리셋시킨다.

이후 다시 플래그가 세트되었는지를 검사하는 처음 과정으로 돌아간다. 플래그가 리셋되면 PC는 현재까지 전송된 패킷의 수를 화면에 표시하고 다시 처음 과정으로 돌아간다.

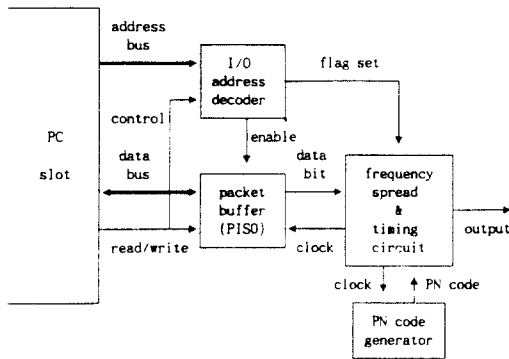


그림 2.2. 송신단 블럭도
Fig. 2.2. Transmitter block diagram

2.3 칩 반복주기 및 결합기

칩반복주기 및 결합기는 송신단의 최종 출력 신호를 변조하여 저압선을 통해 전송하고 수신된 신호를 다시 기저대역의 신호로 복조하여 수신단의 DMF의 입력으로 전달하는 역할을 한다.

결합기 (coupler)는 칩반복주기를 전력선에 연결해 주는 부분으로서 60[Hz]의 전력 신호는 제거하고, 고주파의 반송파와 신호만을 통과시키며, 전력선과 칩반복주기의 출력단 임피던스를 정합시켜 통신 신호의 반사 및 손실을 막는 역할을 한다.

2.4 수신단

그림 2.3은 수신단의 구성도이다. 여기서 코드 동기 및 데이터 결정을 위해 쓰이는 DMF는 수신단의 가장 핵심적인 부분으로서 입력 신호를 저장하는 SIPO(serial input parallel output) 쉬프트 레지스터와 디지털 출력을 갖는 가산기로 구성된다. SIPO 쉬프트 레지스터는 정출력과 부출력을 갖는 D 플립 플롭(flip flop) 들을 직렬로 연결하여 구성하였다.

정합 필터의 임펄스 응답은 처리하고자 하는 입력 신호의 시간 반전된 특성을 가지므로 레지스터의 출력 패턴을 '1'에 대해서는 정출력이, '0'에 대해서는 부출력이 가산기 입력으로 가해지도록 하였다. 그림 2.4는 7칩 PN부호 '0001101'에 대한 예이다.

가산기는 디지털 값으로 출력하도록 설계하였다. 우선 입력 신호를 PISO 쉬프트 레지스터에 임시 저장한 후 한 비트씩 쉬프트하면서 '1'이면 업카운트를 '0'이면 다운카운트를 한다. 임시 저장용 PISO 쉬프트 레지스터의 마지막 비트를 쉬프트하여 업다운카운트를 하면 업다운 카운터의 최종값을 래치한다. 따라서 DMF는 N칩의 PN부호에 대해 +N 부터 -N 범위의 출력값을 갖는다. 그림 2.5는 가산기의 구성도이다.

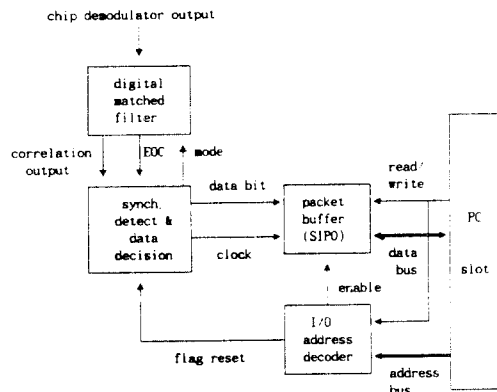


그림 2.3. 수신단 블럭도
Fig. 2.3. Receiver block diagram

DMF는 송신단의 칩레이트 (chip rate)와 동일한 속도의 클럭으로 SIPO 입력 쉬프트 레지스터를 쉬프트하며 이보다 빠른 클럭으로 PISO 쉬프트 레지스터를 제어한다. 최종 출력을 래치한 후 EOC(end of correlation) 신호를 발생시키며, 이 신호는 코드 동기후에 데이터 결정을 위한 타이밍 신호로 사용된다. 그림 2.6은 DMF의 출력이 매 칩주기마다 계산되는 타이밍도이다.

또한 본 시스템에서는 DMF에서 PISO 쉬프트 레지스터를 전치 부호외 데이터 신호에 대하여 각각 한 개를 갖도록 하여 한개의 DMF로 전치 부호외 데이터 신호에 대한 정합 필터의 기능을 겸할 수 있도록 하였으며, 이를 동기 검출 및 데이터 결정부의 모우트 신호에 의해 제어되도록 하였다.

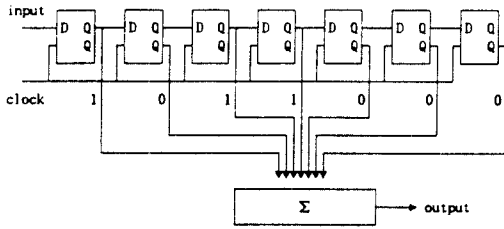


그림 2.4. 7칩 PN 부호 '0001101'에 대한 DMF의 웨이팅
Fig. 2.4. Weighting of DMF for 7 chip PN code '0001101'

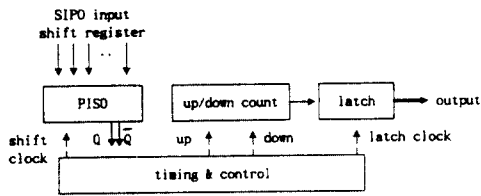


그림 2.5. DMF의 가산기
Fig. 2.5. Adder of DMF

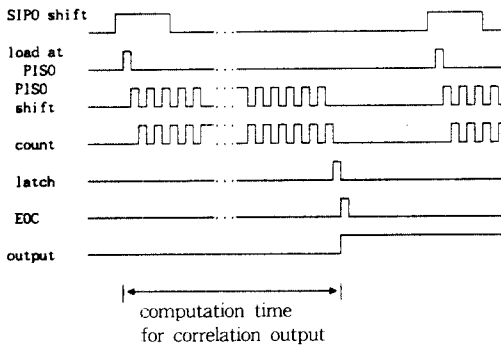


그림 2.6. DMF의 타이밍도
Fig. 2.6. Timing diagram of DMF

동기 검출 및 데이터 결정부는 DMF의 출력이 문턱 전압을 넘는가를 검사하여 넘었으면 DMF가 데이터 비트에 대한 정합 필터로 동작하도록 모우드를 바꾸고 그 후로부터 EOC 신호를 데이터 비트의 칩수만큼 카운트하여 데이터를 샘플한다. 그림 2.7은 이와 같은 동작을 설명하는 그림이다.

패킷의 비트수만큼 샘플링을 하면 수신단의 플래그를 '1'로 세트하고, DMF의 모우드를 전치

부호용으로 전환한 후 다시 문턱 전압을 넘는지를 검사한다. 여기서 플래그는 송신단에서와 마찬가지로 외부 회로와 PC 및 상호 접속부의 동작을 연결시켜주는 역할을 한다. 플래그가 세트되었으면 PC는 패킷 버퍼에서 데이터를 읽고 플래그를 '0'으로 리셋하며, 비트 에러 및 패킷 손실을 등을 계산하여 모니터에 나타낸 후 다시 플래그가 세트되었는지를 검사하는 처음 동작으로 돌아간다.

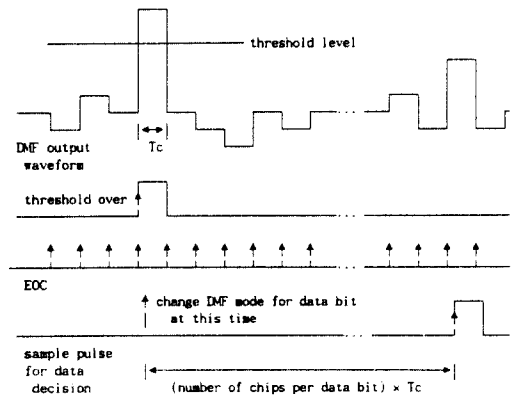


그림 2.7. 데이터 결정을 위한 샘플 펄스
Fig. 2.7. Sample pulse for data decision

III. 실험 및 결과 고찰

본 논문에서 제작한 DS/SS 전력선 통신 시스템의 사양은 다음과 같다.

표 3.1 시스템 사양
Table 3.1 System specifications

데이터 패킷의 길이	1 ~ 63 bits(variable)
전치 부호의 길이	1bit
PN 코드의 길이	전치 부호용:31 chips
	데이터 비트용:15 chips
데이터 레이트	333.3 bps
칩 레이트	5kHz
칩변조 방식	frequency shift keying
방송파 주파수	120 kHz, 125kHz
대역폭	10kHz

3.1 패킷의 발생 및 전송

송신단의 주요 기능은 버스트형의 패킷을 발생시키고 이를 전송하는 것이다. 전송된 패킷은 전지 부호용 PN 코드 뒤에 데이터용 PN 코드가 연속적으로 발생하는 모습으로 나타나며, 칩변복조기에 의해 반송파 신호로 바뀌어 전파선으로 보내진다. 그림 3.1은 데이터 '111'인 패킷의 파형과 주파수 변조된 후의 모습을 나타낸 것이다.

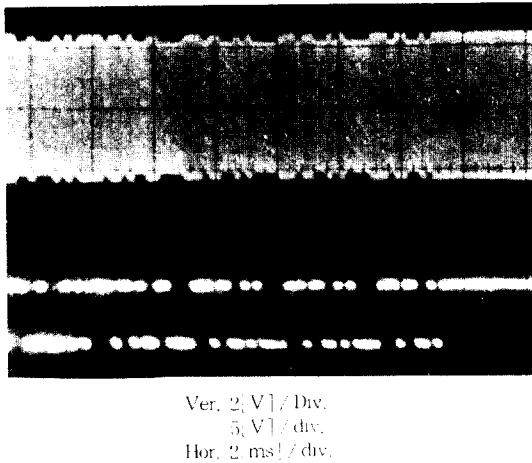


그림 3.1 발생된 패킷의 파형과 칩변조된 후의 모습
Fig. 3.1 Packet waveform and its chip modulation

3.2 패킷의 복구

수신단이 수행하는 기능은 수신된 신호를 역파산하여 데이터를 복구하는 것으로 DMF는 이러한 기능을 수행하는 수신단의 가장 핵심적인 부분이다. 그림 3.2는 데이터가 '111'인 패킷이 전송되었을 경우의 DMF 출력이다. 전지 부호용 PN 코드에 대한 DMF의 출력이 부타 전압을 넘게 되면 DMF는 데이터용 PN 코드에 대한 것으로 모우드가 전환되며 패킷의 데이터 비트들 만큼의 시간 후에 다시 전지 부호를 위한 모우드로 전환된다. 따라서 DMF는 그림 3.2와 같은 출력을 나타낸다. 전지 부호의 경우 31칩 PN 코드를 사용하였으므로 15칩 PN 코드를 사용한 데이터의 경우보다 높은 코릴레이션 계수를 나타내고 있다.

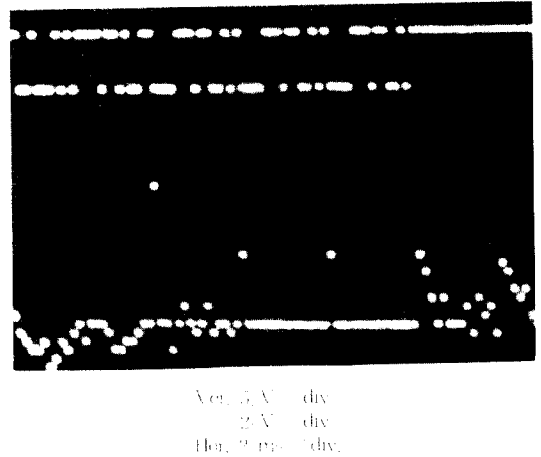


그림 3.2. 칩변조된 패킷의 파형과 DMF 출력
Fig. 3.2. Waveform for chip demodulated packet and DMF output

부타 전압을 넘은 것이 감지되면 데이터 칩수 만큼 EOC 신호를 카운트하여 데이터 검출을 위한 샘플 펄스를 발생시킨다. 그림 3.3은 DMF의 출력 파형의 모습과 데이터 검출을 위한 샘플 펄스의 모습이며 그림 3.4는 샘플 펄스에 의해 데이터 비트가 '010'인 패킷이 복구된 모습이다.

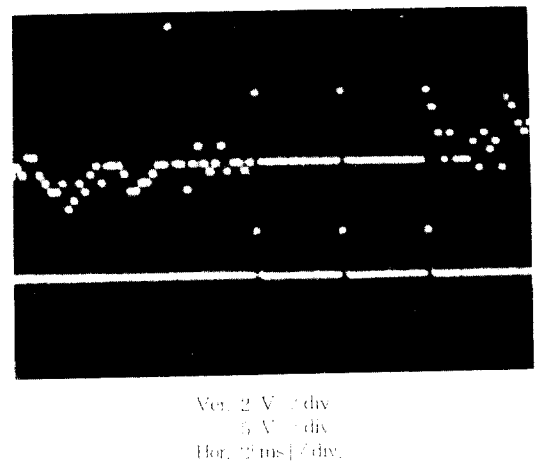
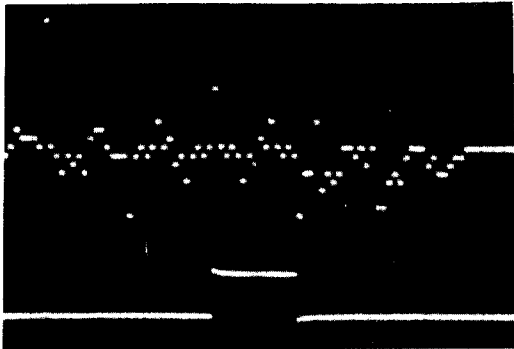


그림 3.3. DMF 출력과 샘플 펄스
Fig. 3.3. DMF output and sample pulse



Ver. 2. V / div
5. V / div
Hor. 2 [ms] / div.

그림 3.4. DMF 출력과 복구된 데이터
Fig. 3.4. DMF output and reconstructed data

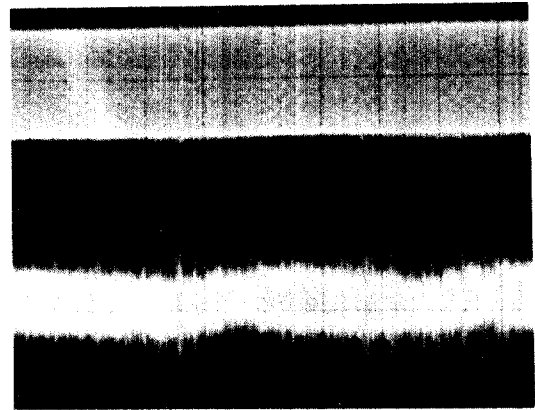
3.3 비트 오류와 패킷 손실의 측정

전력선 채널 특성중의 하나는 채널에 존재하는 잡음이 강한 임펄스성이라는 점이다. 대표적인 임펄스 잡음원으로 다미 전구, 범용 모터, 스위칭 파워 서플라이 등을 들 수 있으며, 이러한 잡음원은 비록 잡시라도 부하로서 채널에 연결되면 통신에 심한 영향을 미치게 된다. 그림 3.5는 주파수 변조(FSK) 되어 전송된 신호가 임펄스성 잡음과 함께 수신된 모습을 나타낸다. 수신 신호가 그림 3.5와 같이 임펄스성의 잡음보다 현격히 작은 레벨로 수신되었을 경우 FSK와 같은 협대역 변조 방식은 데이터가 손상받기 쉬우며, 그림 3.6은 임펄스성 잡음에 의해 전송된 '0101010'의 패킷이 잘못 복조되는 모습을 나타낸다. 또한 그림 3.7은 그림 3.6과 동일한 수신 레벨과 데이터율로 '0101010'의 패킷을 DS/SS 통신 방식으로 복구한 모습으로 임펄스성 잡음에 강함을 나타내고 있다.

실제 전력선 채널은 채널마다 특성이 다르고, 동일한 채널이라도 시간에 따라 혹은 측정 위치에 따라 특성이 달라지므로 본 실험에서는 길이 35m의 모의 전송로를 구성하여 DS/SS 전력선 통신 시스템이 나타내는 비트 오류와 패킷 손실율을 측정하였다. 잡음원으로는 약 2V 이하의 비주기적인 임펄스 잡음을 발생시키는 전공 청소

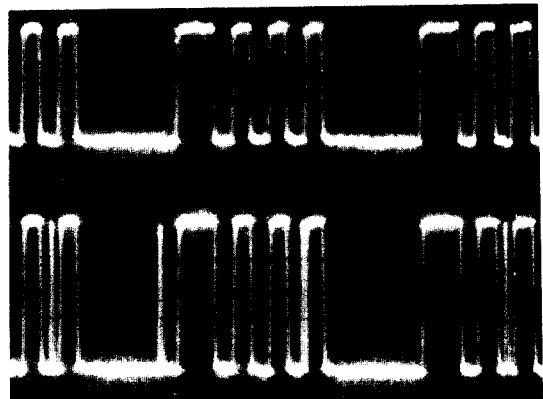
기와 약 5V 이상의 강한 주기적인 임펄스를 발생시키는 조광기 및 기타 전구, 라디오, TV, PC 등을 사용하였다.

측정 결과는 그림 3.8, 그림 3.9와 같다. 31 칩 전치 부호에 대하여 문턱 전압이 18, 20, 24인 경우를 고려하였으며, 측정 결과를 수신 신호의 레벨에 대하여 나타내었다. 매우 일약한



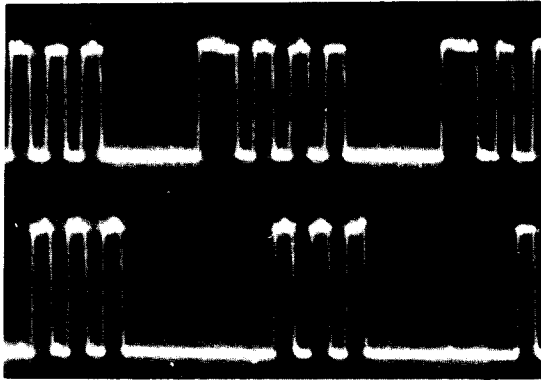
Ver. 1. V / div
0.5 V / div
Hor. 2 [ms] / div.

그림 3.5. 송신 신호와 임펄스성 잡음이 혼합된 수신 신호
Fig. 3.5. Transmitted signal and received signal with impulsive noise



Ver. 2. V / div
2. V / div
Hor. 10 [ms] / div.

그림 3.6. 패킷 복구상의 에러(FSK)
Fig. 3.6 Error on packet reconstruction (FSK)



Ver. 2[V] / div
2[V] / div
Hor. 10[ms] / div.

그림 3.7. 올바른 패킷의 복구 (DS/SS)
Fig. 3.7. Correct packet reconstruction (DS/SS)

채널 조건으로서 수신 신호의 레벨이 연속적으로 발생하는 임펄스 잡음의 최대치보다 약 30dB 정도 낮은 경우에도 비트오율은 $10^{-3} - 10^{-4}$, 패킷 손실율은 0.07 이하를 유지하였다. 이와 같은 사실로 부터 DS/SS 통신 방식이 임펄스성 잡음에 의한 에러를 효과적으로 감소시킬 수 있다. 문턱 전압에 대해서는 문턱 전압이 낮아지면 비트오율이 감소하는 경향을 나타내었으며, 패킷 손실율은 반대로 증가하였다. 또한 수신 레벨이 일정한 값을 넘어서면 비트 오율과 패킷 손실율 모두가 감소율이 크게 눈화되는 모습을 보였다.

본 논문에서는 강한 임펄스성 잡음 및 협대역의 간섭이 존재하는 전력선 채널에서의 통신을 위하여 직접 시퀀스 스펙트럼 확산 통신 방식을 이용한 전력선 통신 시스템을 구성하였으며, 다음과 같은 결론을 얻었다.

1. 동기 방식으로서 수동 디지털 정합 필터 방식을 이용하여 데이터의 코드 동기를 빠른 시간내에 이룰수 있도록 하였으며, 전치 부호에 31 칩, 데이터에 15칩의 PN 코드를 사용함으로써 동기를 보다 용이하게 하였다.
2. 두번의 샘플링으로 한 비트의 데이터를 결정함으로써 송수신단 간의 클럭 오차를 제거하였다.

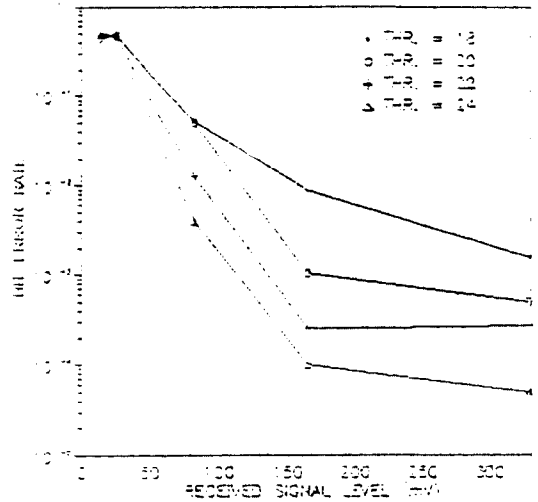


그림 3.8. 비트 오율
Fig. 3.8. Bit error rate

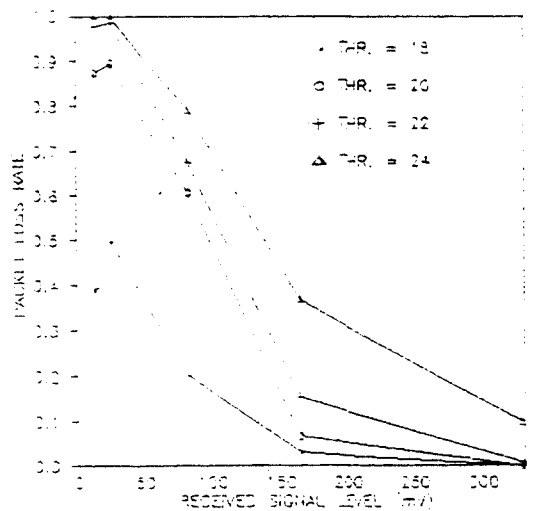


Fig. 3.9 Packet loss rate

3. 확산 코드를 칩 단위로 복조함으로써 전력선의 임펄스성 잡음에 의해 발생하는 에러를 효과적으로 억제할 수 있었다. (그림 3.6, 그림 3.7)

4. 시스템과 IBM PC를 상호 접속함으로써 데이터의 형태와 패킷의 길이에 대한 선택을 용이하게 했을 뿐만 아니라 비트 오율 및 패킷

손실율의 측정도 용이하게 하였다.

5. 제작한 시스템은 임펄스성 잡음의 최고 레벨보다 약 30[dB] 정도 낮은 신호 레벨에서도 10^{-3} - 10^{-4} 정도의 비트 오류를 유지할 수 있었으며, 이 때 패킷 손실율은 0.07 이하를 나타냈다. (그림 3.8, 그림 3.9)

참 고 문 헌

1. H. Ochsner, "DATA transmission on low voltage power distribution lines using spread spectrum techniques", Proc. of Canadian Comm. Power Conference, Montreal, Quebec, Oct., 1980. pp. 236-239.
2. Robert A. Piety, " Intra-building data transmission using power-line wiring", Hewlett-Packard Journal, May, 1987.
3. Peter K. Van Der Gracht and Robert W. Donaldson, "Communication using pseudonoise modulation on electric power distribution circuits", IEEE Trans. on Comm, Sep., 1985, pp. 964-974.
4. "전력선 버스에 의한 컨트롤 시스템", 월간 전기, 1989년 5월.
5. Behnaam Aazang, H. Vincent Poor, "Performance of DS/SSMA Communications in impulsive channels-Part I : linear correlation receivers" IEEE Trans. on Comm., Vol. 35 No.11, Nov. 1987, pp. 1179-1188.
6. Behnaam Aazhang, H. Vincent Poor, "Performance of DS/SSMA Communications in impulsive channels-Part II : hard-limiting correlation receivers" IEEE Trans. on Comm., Vol. 36 No.1, Jan. 1988, pp. 88-97.
7. B. Hirosaki, S. Hasegawa, K. Endo, "A power line home bus system using spread spectrum communication technologies". ICCE 85, June 1985.
8. K. Endo, S. Hasegawa, " A spread-spectrum LSI modem of power distribution lines for home information system", ICCE 86, JUNE. 1986
9. Masaoki Tanaka, "High frequency noise power spectrum, impedance and transmission loss of power line in JAPAN on intrabuilding power line communications", IEEE Trans. on Consumer Electronics, May, 1988, pp. 321-326.
10. Roger M. Vines, H. Joel Trussell, Louis J. Gale, and J. Ben O'Neal, Jr., "Noise on residential power distribution circuits", IEEE Trans. on Electromagnetic Compatibility, Nov., 1984, pp. 161-168.
11. Robert M. Vines, H. Joel Trussell, Kenneth C. Shuey, and J. B. O'neal, Jr., " Impedance of the residential power-distribution circuit" IEEE Trans. on Electromagnetic Compatibility, Feb., 1985, pp.6-12.
12. 노병철, "수동 코릴레이터를 이용한 DS/SS 전력선 통신 시스템에 관한 연구", 석사 학위 논문, 연세대학교 대학원, 1989.
13. R. C. Dixon : Spread Spectrum System, 2nd Ed, 1984.
14. R. E. Ziemer, R.L.Peterson : Digital Communications and Spread Spectrum System, 1985.
15. M. K. Simon, J. K. Omura, R. A. Scholtz, B. K. Levitt, : Spread spectrum communications, volume 3, 1985.



姜炳權 (Byeong Gwon KANG) 正會員
1963년 11월 18일생
1986년 2월 : 연세대학교 전기공학과 졸업 (공학사)
1988년 2월 : 연세대학교 전기공학과 대학원 졸업 (공학석사)
1988년 3월 ~ 현재 : 연세대학교 전기공학과 대학원 박사과정



李在慶 (Jae Kyoung LEE) 正會員
1959년 7월 4日生
1983년 2월 : 崇田大學校 電氣工學科 卒業 (工學士)
1985년 8월 : 延世大學校 電氣工學科 大學院 (工學碩士)
1985년 9월 ~ 現在 : 延世大學校 電氣工學科 大學院 博士課程



愼光榮(Kwang Young SHIN)正會員
1967年1月14日生
1989년 2월 : 연세대학교 전기공학과 졸업
(공학사)
1991년 2월 : 연세대학교 전기공학과 대학
원 졸업(공학석사)
1991년 3월 - 현재 : (주) 삼성직 기전연구소
소 책임



黃金環(Keum Chan WHANG)正會員
1944年7月18日生
1967年2月 : 延世大學校 電氣工學科 卒業
(工學士)
1975年6月 : 美國 Polytechnique Institute
of New York 大學院(工學碩士)
1979年6月 : 美國 Polytechnique Institute

of New York 大學院(工學博士)
1979年6月 - 1980年9月 : 大田機械會 前任研究員
1980年9月 - 現在 : 延世大學校 電氣工學科 教授