

S-파라미터를 이용한 GaAs MESFET의 외부 파라미터 추출 (Extraction of Extrinsic Parameters for GaAs MESFET by S-parameters)

曹 永 松* · 羅 克 煥** · 林 光 鎬*** · 愼 哲 宰****
(Young Song Cho, Keuk Hwan Ra, Kwang Ho Lim and Chull Chai Sin)

要 約

GaAs MESFET의 소신호 등가 모델에서 외부 회로 성분들을 결정하는 개선된 방법을 제시하였다. 정확한 내부 회로 성분값들을 구하기 위하여 외부 회로 성분들을 제거하는 것이 중요하다. 전송선로를 포함한 기생 인덕터와 커패시터로 이루어진 외부 회로를 정립하고, 산란행렬로부터 이들의 값을 구한 후에 내부 회로 성분을 구하였다. 특히 기생 인덕턴스와 커패시턴스값들은 주파수에 따라 거의 일정한 변화를 보였다.

ABSTRACT

The modified method which determines the extrinsic parameters at the small signal equivalent model for GaAs MESFET is presented. It is important that extrinsic parameters are completely eliminated, in order to calculate exact intrinsic parameters. Extrinsic circuit is established by transmission lines, parasitic inductors and capacitors. After these are extracted by S-parameters, intrinsic parameters are calculated. Especially, frequency dependence of parasitic inductance and capacitance is considerably constant.

I. 서 론

지난 10년동안 MESFET는 가장 중요하며 용도가 넓은 소자가 되었다. 2GHz 이상에서는 쌍극성 트랜지스터 보다 저잡음, 고이득 특성이 좋아 초고주파용 소자, 고속 논리회로 및 광통신 회로의 구동회

로로서 이용되고 있다. 이러한 소자의 이용이 늘어남에 따라 쉽게 응용할 수 있는 이의 등가회로가 회로 시뮬레이션등에 사용되게 되었다. 실제 등가회로 성분들을 측정하는 것은 매우 어려우며, 산란행렬을 측정하여 성분들을 유추하는 방법이 사용된다.

일반적으로 소신호 등가 모델은 측정된 소신호 산란행렬에 각 성분들을 최적화하여 얻는다⁽¹⁾. 그러나 이는 최적화 방법과 초기값에 따라 오차함수가 달라지므로 최적의 성분값들도 변한다. 즉, 유일해를 구할 수 없다. 이와 달리 해석적인 방법은 측정된 산란행렬을 이용하여 외부 회로 성분들을 결정한 후 내부 회로 성분들을 결정하는 방법이다. 이는 넓은 주파수 범위에서 측정된 산란행렬을 Y나 Z-파라미터

*準會員 ****正會員, 亞洲大學校 電子工學科
(Dept. of Elec. Eng., Ajou Univ.)

**正會員, 光云大學校 電子工學科
(Dept. of Elec. Eng., Kwangwoon Univ.)

***正會員, 科學技術大學校 電子工學科
(Dept. of Elec. Eng., KIT)

로 바꾸어 각 성분들을 해석하는 방법이다^{(2)~(5)}.

모델 파라미터들을 구하기 전에 우선 외부 회로 소자들을 측정해야 하며, 이를 제거하지 않고는 정확한 내부 회로 소자값도 구할 수 없다. 본 연구에서는 패키지의 기생 인덕턴스 및 캐패시턴스 성분과 전송선로를 포함한 외부 회로를 정립하고, 여러 바이어스에서 측정된 산란행렬로부터 이 기생 리액턴스들을 구한다. 구해진 외부 회로 성분들을 동작점에서 측정된 산란행렬로부터 제거한 후, 내부 회로 성분들을 구하고 이를 최적화하여 전송선로의 특성을 구하여 20개의 모든 파라미터를 결정한다.

II. 내부 회로 성분의 결정

일반적인 GaAs MESFET의 공통 소오스 등가 모델은 그림 1과 같이 물리적 의미를 갖는 여러 성분으로 이루어진다. 등가 모델은 크게 점선안의 내부 회로 성분과 점선 밖의 외부 회로 성분으로 나눌 수 있다. 내부 회로 성분은 게이트 아래 채널의 성분들로서 바이어스와 주파수에 따라 다른 값을 가지는데 반면, 외부 회로 성분들은 항상 일정한 값을 갖는다. 물론 외부 회로의 저항 성분들이 바이어스에 약간씩 변하는 것은 무시한다.

동작 대역 내에서 입력 신호의 크기에 무관한 내부 소신호 모델을 구한다. 이는 점선안과 같이 6개의 집중 소자로 나타내며 7개의 파라미터로 이루어져 있다. 내부 모델은 간단한 π 형태의 구조를 가지며, 이 회로의 Y-파라미터는 식 (1)~(4)와 같이 구할 수 있다⁽³⁾⁽⁴⁾.

$$Y_{11} = R_i C_{gs}^2 w^2 / D + jw(C_{gs} / D + C_{gd}) \quad (1)$$

$$Y_{12} = -jwC_{gd} \quad (2)$$

$$Y_{21} = g_m \exp(-iw\tau) / (1 + jwR_i C_{gs}) - jwC_{gd} \quad (3)$$

$$Y_{22} = 1 / r_{ds} + jw(C_{ds} + C_{gd}) \quad (4)$$

$$D = 1 + w^2 C_{gs}^2 R_i^2$$

식 (1)~(4)의 실수부와 허수부로부터 각각의 소자값은 아래와 같다.

$$C_{gd} = -\frac{\text{Im}(Y_{12})}{W} \quad (5)$$

$$C_{gs} = \frac{\text{Im}(Y_{11}) - wC_{gd}}{W} \left[1 + \frac{(\text{Re}(Y_{11}))^2}{(\text{Im}(Y_{11}) - wC_{gd})^2} \right] \quad (6)$$

$$R_i = \frac{\text{Re}(Y_{11})}{(\text{Im}(Y_{11}) - wC_{gd})^2 + (\text{Re}(Y_{11}))^2} \quad (7)$$

$$g_m = \sqrt{((\text{Re}(Y_{21}))^2 + (\text{Im}(Y_{21}) + wC_{gd})^2)(1 + w^2 C_{gs}^2 R_i^2)} \quad (8)$$

$$r = \frac{1}{W} \arcsin \left[\frac{-wC_{gd} - \text{Im}(Y_{21}) - wC_{gs} R_i \text{Re}(Y_{21})}{g_m} \right] \quad (9)$$

$$C_{ds} = \frac{\text{Im}(Y_{22}) - wC_{gd}}{W} \quad (10)$$

$$r_{ds} = 1 / \text{Re}(Y_{22}) \quad (11)$$

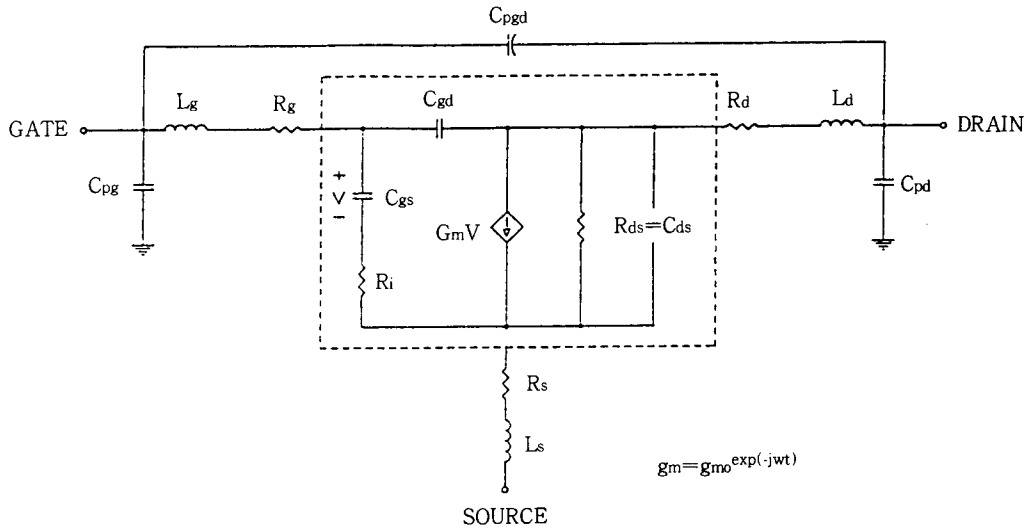
이는 $V_{ds} > 0$ 일 때 전 주파수 대역에 적용되며, 측정된 산란행렬을 Y-파라미터로 변화하여 (5)~(11) 식으로부터 각 성분값들을 구한다.

III. 외부 회로 성분의 결정

내부 모델 성분을 구하는 것 못지않게 외부 모델 성분을 구하는 것 또한 중요하다. 외부 회로 성분의 제거 없이 구한 내부 모델 성분값들은 총체적으로 쓰일 수는 있으나 특정한 값(예를 들어 차단 주파수 $f_T = g_m / 2\pi C_{gs}$)을 예측하는 데는 치명적일 수 있다. 외부 회로의 기생 성분들을 구하기 위해서는 시험 패키지를 제작하여 측정해야 하나, 시판되는 소자를 구입하여 사용하는 실제 사용자 입장에서 이는 불가능하며, $V_{ds} = 0$ 일 때 V_{gs} 의 여러 바이어스에서 구한 산란 계수부터 간접적으로 구한다(cold measurement). $V_{ds} = 0$ 일 때의 MESFET은 수동 소자처럼 동작하며 게이트 아래 채널 영역이 대칭적인 구조를 갖게 된다. 즉 등가 회로가 간략화되며 측정된 산란 행렬을 Z나 Y-파라미터로 바꾸어 각 성분들이 구해진다.

1. 기생 인덕턴스의 추출

V_{gs} 가 순방향 바이어스일 때 등가회로는 그림 2와 같으며, 내부 회로는 순방향 바이어스된 다이오드와 채널저항 R_{ch} 의 분포 회로로 이루어진다. 기생 캐패시턴스의 영향을 무시하면 Z-파라미터는 아래와 같다⁽⁵⁾⁽⁶⁾



외부 회로 성분 (extrinsic elements) :

- R_g : 게이트 저항 (gate resistance)
- R_s : 소오스 저항 (source resistance)
- R_d : 드레인 저항 (drain resistance)
- L_g : 게이트 인덕턴스 (gate inductance)
- L_s : 소오스 인덕턴스 (source inductance)
- L_d : 드레인 인덕턴스 (drain inductance)
- C_{pg} : 게이트 패키지 캐패시턴스 (gate package capacitance)
- C_{pd} : 드레인 패키지 캐패시턴스 (drain package capacitance)
- C_{pgd} : 게이트-드레인 패키지 캐패시턴스 (gate-drain package capacitance)

내부 회로 성분 (intrinsic elements) :

- C_{gs} : 게이트-소오스 공간전하 캐패시턴스 (gate-source depletion capacitance)
- C_{gd} : 게이트-드레인 공간전하 캐패시턴스 (gate-drain depletion capacitance)
- C_{ds} : 기판 캐패시턴스 (substrate capacitance)
- R_i : C_{gs} 충전 채널 저항 (charging channel resistance to C_{gs})
- g_{m0} : 전달 콘덕턴스 (transconductance)
- τ : 채널 지연 시간 (channel delay time)
- r_{ds} : 드레인-소오스 채널 저항 (drain-source channel resistance)
- C_{pg} : 게이트 패키지 캐패시턴스 (gate package capacitance)

그림 1. GaAs MESFET의 등가 모델

Fig. 1. Equivalent Circuit of GaAs MESFET

$$Z_{11} = R_s + R_g + R_c / 3 + nkT / qI_g + j\omega(L_s + L_g) \quad (12)$$

$$Z_{12} = R_{21} = R_s + R_c / 2 + j\omega L_s \quad (13)$$

$$Z_{22} = R_s + R_d + R_c + j\omega(L_s + L_d) \quad (14)$$

그러나 이와 같은 방법만으로는 부족하며, $R_s + R_d$ 를 우선 구해야 하므로 R_g, R_s, R_d 는 Fukui 측정⁽⁷⁾으로부터 먼저 결정한다.

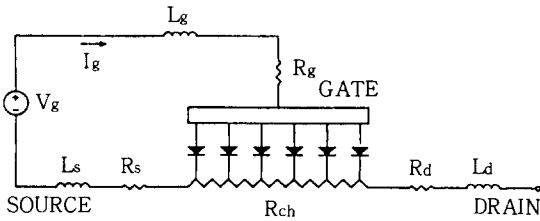


그림 2. $V_{ds}=0, V_{gs}>0$ 바이어스일 때의 등가회로
Fig. 3. Equivalent Circuit at $V_{ds}=0, V_{gs}>0$

식(12)~(14)의 허수 부분으로부터 L_g, L_s, L_d 값이 구해지며, 이 파라미터들은 5 GHz 이하에서 주파수에 따라 거의 선형적인 값을 갖는다.

$$L_g = \text{Im}(Z_{11}) / \omega - \text{Im}(Z_{12}) / \omega \quad (15)$$

$$L_d = \text{Im}(Z_{22}) / \omega - \text{Im}(Z_{12}) / \omega \quad (16)$$

$$L_s = \text{Im}(Z_{12}) / \omega \quad (17)$$

2. 기생 커패시턴스의 추출

일부 회로 성분의 나머지 C_{pg}, C_{pd} 와 C_{pgd} 는 $V_{ds}=0$ 이고 V_{gs} 가 핀치-오프 전압 이하일 때, 측정된 산란 행렬을 Y-파라미터로 바꾸어 구한다. 이러한 바이어스 상태에서의 등가 회로는 그림 3과 같으며, 채널내의 내부 회로 성분들은 거의 없어지고 게이트 양쪽 끝의 공핍층 커패시턴스 C_b 만이 대칭적으로 존재하게 된다⁽⁵⁾. 이러한 회로에 S_{12} 에 큰 영향을 미치는 C_{pgd} 도 추가한다. 추가된 C_{pgd} 는 게이트와 소오스 간의 기생 커패시턴스를 나타내며, S_{12} 를 정확하게 예상하는데 도움을 준다. 5 GHz 이하에서 저항과 인덕턴스들은 무시할 수 있으며 Y-파라미터는 식(18)~(20)과 같다.

패키지의 구조상 $C_{pg} \approx C_{pd}$ 이므로 식(18)~(20)으로부터 각 커패시턴스 값들을 구할 수 있다. (실제 인덕턴스 L_g, L_d 도 10% 이내의 같은 값을 갖는다.) 이러한 기생 커패시턴스를 구하므로써 내부 회로의 커패시턴스도 정확한 값을 기대할 수 있다. 즉 C_{pg}, C_{pgd} 와 C_{pd} 로부터 C_{gs}, C_{gd} 와 C_{ds} 의 값이 유일해에 가까워진다.

$$\text{Im}(Y_{11}) = j\omega(C_{pg} + 2C_b + C_{pgd}) \quad (18)$$

$$\text{Im}(Y_{12}) = \text{Im}(Y_{21}) = -j\omega(C_b + C_{pgd}) \quad (19)$$

$$\text{Im}(Y_{22}) = j\omega(C_b + C_{pd} + C_{pgd}) \quad (20)$$

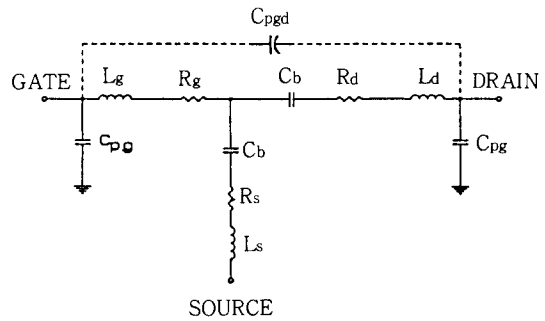


그림 3. $V_{ds}=0, V_{gs}<V_p$ 일 때의 등가회로
Fig. 3. Equivalent Circuit at $V_{ds}=0, V_{gs}<V_p$

3. 전송 선로 성분 추출

지금까지 논의한 각 외부 회로 소자는 바이어스와 주파수에 무관한 값들이다. 그러나 실제로 이는 주파수에 따라 증가하는 궤적을 나타내며, 단지 8 GHz 이하에서만 일정한 값을 보이므로 이와 같은 특성을 개선하기 위해 인덕터와 커패시터로 이루어진 외부 회로에 전송 선로를 부가한다. L_g, L_d, L_s 는 실제 본딩 와이어와 리드선의 인덕턴스를 나타내며 이것이 분리되어 표시되어야 한다. 그러므로 L_g, L_d, L_s 는 본딩 와이어에 의한 인덕턴스 성분만을 나타내도록 하며, 리드선을 위해서는 전송 선로를 추가한다. 또한 전송 선로는 측정시 de-embedding되지 못한 소자와 test-fixture 사이의 간격까지도 포함한다. 리드선은 특성 임피던스가 거의 50Ω이며, 이 선로에 포함된 약간의 인덕턴스는 L_g 와 L_d 로 귀속된다. 단, 공통 소오스 구조에서 소오스 단자는 L_s 가 작고 면적이 넓은 접지이므로, 이 부분은 고려하지 않는다. 전송 선로가 추가된 외부 회로가 그림 4에 나타나 있다.

전송 선로의 특성은 내부 및 외부 회로 성분들을 모두 구한 후 선로의 전기적인 길이를 변수로 하여 식(24)의 자승오차 함수 E를 최소화하도록 하여 구한다. 또한 대칭적인 패키지임을 상기하여 $\ell_1 = \ell_2$ 로 하며, 초기값은 소자의 물리적인 값으로 하여 반복 계산한다.

$$E = \sum_i \sum_j \sum_k W_{jk} |M_{jk}(f_i) - S_{jk}(f_i)|^2 / N \quad (24)$$

M과 S는 각각 계산치와 측정치이며, i는 주파수를, j와 k는 산란계수의 첨자를, 그리고 N은 대역내 주

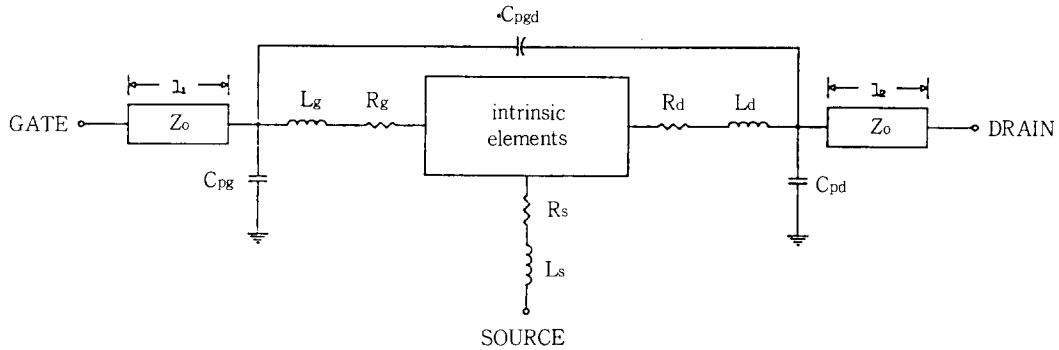


그림 4. GaAs MESFET의 외부 등가 모델
Fig. 4. Extrinsic Equivalent Circuit of GaAs MESFET

과수에 대한 정보의 갯수를 나타낸다. 단, W_{jk} 는 가중치이다.

IV. 외부 회로 성분의 소개

동작점에서 측정된 산란 행렬로부터 외부 성분들을 제거한 후, 순수한 내부 회로만의 산란 행렬을 얻는다. 식 (21)과 같이 산란 행렬에서 전송 선로의 길이 만큼 제거하기 위하여 게이트와 드레인 쪽에서 θ_1 과 θ_2 를 보상한다. 단 θ_1 과 θ_2 는 게이트와 드레인 쪽 전송 선로의 전기적인 길이이다.

$$\begin{bmatrix} S_{11} / \frac{\theta_{11} + 2\theta_1}{\theta_{11} + \theta_1 + \theta_2} & S_{12} / \frac{\theta_{12} + \theta_1 + \theta_2}{\theta_{11} + \theta_1 + \theta_2} \\ S_{21} / \frac{\theta_{21} + \theta_1 + \theta_2}{\theta_{22} + 2\theta_2} & S_{22} / \frac{\theta_{22} + 2\theta_2}{\theta_{22} + 2\theta_2} \end{bmatrix} \quad (21)$$

이를 다시 Y-파라미터로 변환하여 식 (22)과 같이 C_{pg} , C_{pd} 와 C_{pgd} 를 제거한다.

$$\begin{bmatrix} Y_{11} - j\omega C_{pg} - j\omega C_{pgd} & Y_{12} - j\omega C_{pgd} \\ Y_{21} - j\omega C_{pgd} & Y_{22} - j\omega C_{pd} - j\omega C_{pgd} \end{bmatrix} \quad (22)$$

최종적으로 Z-파라미터로 변환하여 식 (23)과 같이 R_g , R_s , R_d 및 L_g , L_d , L_s 를 제거한다.

$$\begin{bmatrix} Z_{11} - R_g - R_s - j\omega L_g - j\omega L_s & Z_{12} - R_s - j\omega L_s \\ Z_{21} - R_s - j\omega L_s & Z_{22} - R_d - R_s - j\omega L_d - j\omega L_s \end{bmatrix} \quad (23)$$

이 행렬을 Y-파라미터로 변환한 값들은 순수한 내부 회로 성분만을 나타내는 값들이다. 이 값들을 식 (5)~(11)에 적용하여 각 내부 회로 소자값들을 구한 후, 오차 함수를 최소화하도록 전송 선로의 길이를 변화하여 최종값을 결정한다.

V. 결과 및 검토

0.3 μm 의 게이트 길이를 갖는 패키징된 avantek ATF-13736 소자에서 측정된 R_g , R_s , R_d 값과 산란 계수로부터 구한 L_g , L_s , L_d 및 C_{pg} , C_{pd} , C_{pgd} 의 평균값은 표 1과 같다. 구해진 C_{pg} , C_{pd} 와 C_{pgd} 는 $V_{gs} < V_p$ 일 때 V_{gs} 에 거의 무관하며 단지 C_b 만이 변한다. 그러므로 C_{pg} , C_{pd} , C_{pgd} 는 확실한 기생 성분이며 앞에서 설명한 추출방법이 타당하다 할 수 있겠다.

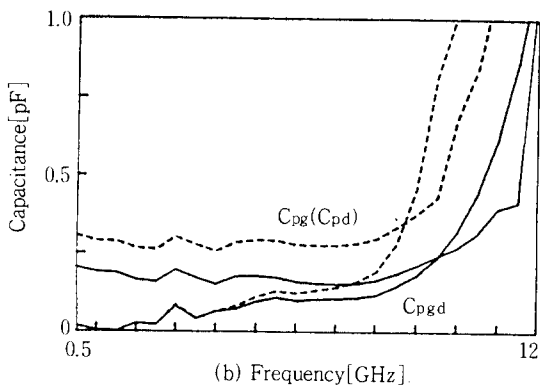
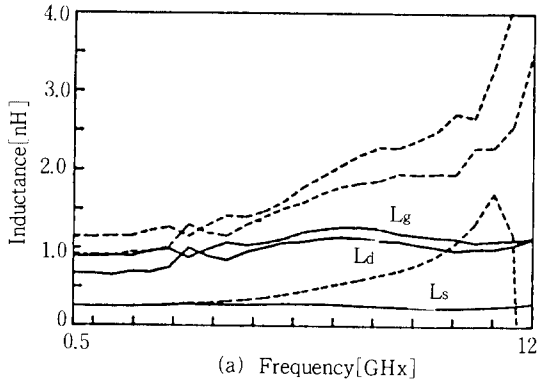
그림 5의 (a)는 주파수에 따른 기생 인덕턴스 값이며 점선은 전송 선로가 없을 때, 실선은 전송 선로가 포함되었을 때의 값들이다. 그림에서 나타나 있듯이 점선과 달리 실선은 전대역에서 일정한 값을 가지며, (b)의 기생 커패시터 C_{pg} , C_{pd} , C_{pgd} 의 경우에도 이와 비슷한 현상을 나타낸다. 단, 이 값들을 추출할 때 무시했던 인덕턴스의 증가로 인해 10 GHz 이상에서 급격히 증가하는 형태로 나타낸다. 소자의 모델링에 있어서 이러한 외부 회로 성분값들을 정확히 추출하는 것이 매우 중요하며 이상에서 얻어진 값들은 내부 모델 파라미터의 정확성에 기여한다.

표 1. 외부 회로 성분들의 평균값

Table 1. Average value of extrinsic elements

	C_b [pF]	C_{gp} [pF]	C_{pd} [pF]	C_{pgd} [pF]
$V_{gs} = -1.5$ [V]	0.041	0.181	0.181	0.034
$V_{gs} = -3.0$ [V]	0.032	0.179	0.179	0.028

L_g [nH]	L_d [nH]	L_s [nH]	R_g [Ω]	R_d [Ω]	R_s [Ω]	Z_o [Ω]	ℓ_1 [mm]	ℓ_2 [mm]
0.974	0.852	0.263	0.93	5.52	3.42	50	1.5	1.5



----- : without transmission line
 - - - - - : with transmission line

그림 5. (a) 주파수에 따른 기생 인덕턴스 변화
 (b) 주파수에 따른 기생 캐패시턴스 변화

Fig. 5. (a) Frequency dependence of parasitic inductance
 (b) Frequency dependence of parasitic capacitance

$V_{ds} = 3$ [V], $I_{ds} = 23$ [mA]일 때 측정된 산란 계수로부터 외부 회로가 제거된 후, 이미 논의된 식들로

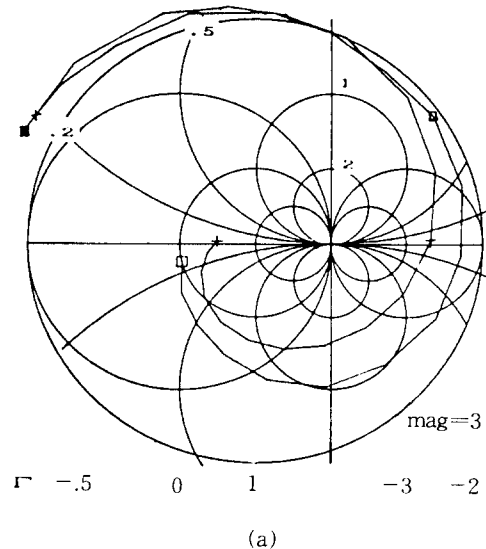
부터 구해진 1~10 GHz에서의 평균값들을 표 2에 나타내었다. 이 값들은 8 MHz 이하에서 주파수에 따라 거의 일정하고, 단지 r_i 만이 비물리적인 특성값이 나타난다. 이는 MESFET의 등가 모델이 모든 특성을 충분히 설명하지는 못함을 나타낸다.

표 2. 내부 회로 성분들의 평균값

Table 2. Average value of intrinsic elements

C_{gd} [pH]	C_{gs} [pF]	R_i [Ω]	g_m [m mho]	τ [pS]	C_{ds} [pF]	r_{ds} [Ω]
0.004	0.123	-57.7	62.8	0.72	0.039	123

그림 6에 측정된 산란 계수와 추출된 모델 성분에 의해 계산된 산란 계수를 1~12 GHz까지 비교하였다. C_{pgd} 의 추가로 인한 C_{gs} 의 정확한 추출로 전대역에서 S_{ii} 의 정확한 궤적을 그리며 나머지 산란 계수들도 비교적 잘 일치한다. 단, 8 GHz 이상에서 측정값과 계산값의 차이가 커지기 시작한다. 특히 r_i 의 비 물



VI. 결 론

측정된 소신호 산란 행렬로부터 GaAs MESFET 등가 모델의 각 성분들을 추출하였다. 먼저 MESFET의 외부 회로 성분과 기생 성분들을 추출하여 이를 제거한 후, 순수한 내부 성분만의 산란 계수를 얻었다. 게이트-드레인 간의 기생 캐패시턴스를 구하여 모든 외부 회로를 정립하였고, 게이트와 드레인에 전송 선로를 삽입하여 전대역에서 거의 일정한 파라미터 값들을 얻을 수 있었다. 구해진 각 성분들에 의한 산란 계수와 실제의 측정값과는 8 GHz 이상에서 편차를 나타내기 시작하며 이를 줄이기 위해서는 더 정확한 고주파 모델 파라미터가 추가되어야 할 것이다. 1~8 GHz에서 내부 성분의 최종값들은 약간의 비물리적인 값을 제외하고는 거의 일정한 값이다. 이러한 모델은 각종 초고주파 회로와 고속 논리 회로 등에 쉽게 응용될 수 있으며, 대신호 모델링을 하는데 필수적인 도움을 줄 것이다.

參考文獻

- (1) W. R. Curtice and R. L. Camisa, "Self-consistent GaAs FET models for amplifier design and device diagnostics," IEEE Trans. Microwave Theory Tech., vol. MTT-32, pp. 1537-1578, Dec. 1984.
- (2) M. Berroth and R. Bosch, "Broad-band determination of the FET small signal equivalent circuit," IEEE Trans. Microwave Theory Tech., vol. MTT-38, pp. 891-895, July 1990.
- (3) M. Berroth and R. Bosch, "High frequency equivalent circuit of GaAs FET's for large signal applications," IEEE Trans. Microwave Theory Tech., vol. MTT-39, pp. 224-229, Feb 1991.
- (4) R. A. Minasian "Simplified GaAs MESFET model to 10 GHz," Electron. Lett., vol. 13, no. 8, pp. 549-551, 1977.
- (5) A. Cappi, F. Heliodore and E. Playez, G. Dambrine, "A new method for determining the FET small signal equivalent circuit," IEEE Trans. Microwave Theory Tech., vol.

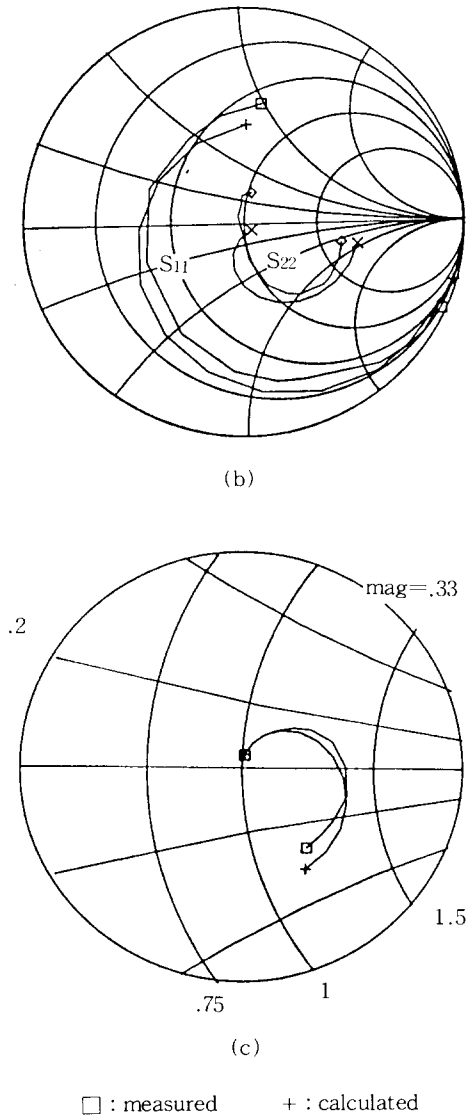


그림 6. 산란 계수의 측정값과 계산값의 비교

(a) S₂₁ (b) S₁₁, S₂₂ (c) S₁₂

Fig. 6. Comparison of measured and calculated value for S-parameters

(a) S₂₁ (b) S₁₁, S₂₂ (c) S₁₂

리적인 값 때문에 S₁₁값은 편차가 더욱 크다. 이러한 오차는 C_{gs}의 부정확 때문이며, 이는 외부 회로에서 C_{pg}와 C_{pd}를 같도록 근사시킨데 기인하며, de-embedding의 오차도 포함한다.

- MTT-36, pp. 1151-1159, July, 1988.
- (6) Kang W. Lee et al., "Source, drain, and gate series resistance and electron velocity in ion-implanted GaAs FET's," IEEE Electron Device Lett., vol. ED-32, no. 5, pp. 987-992, May, 1985.
- (7) H. Fukui, "Determination of the basic device parameter of a GaAs MESFET," Bell Syst. Tech. J., vol. 58, no. 3, pp. 771-795, 1979.

