

# 최적화 기법에 의한 다결정 TFT(Thin Film Transistor)의 매개 변수 추출

## The Parameters Extraction in Poly TFT Using Optimization Technique

金 弘 培\* · 孫 尚 熙\*\* · 朴 用 憲\*\*\*  
(Yong-Bae Kim · Sang-Hee Son · Yong-Hean Park)

**Abstract** - We used CdSe as the semiconductor to analyze the Poly-TFT. CdSe TFT is fabricated by the vacuum evaporation method and the characteristic curves of the current-voltage are obtained using the results of measurement of CdSe TFT devices. Employing least square method and Rosenbrock algorithm, we can extract the device parameters(grain boundary mobility, trap density). The current-voltage relations calculated by extracted parameters are in good agreement with experimental results.

### 記號 定義

<table border="0" style="width: 100%;"> <tr> <td style="width: 10%;"><math>C_i</math></td> <td style="width: 70%;">單位 面積當 絕緣體 캐패시턴스</td> <td style="width: 20%; text-align: right;">[F/m<sup>2</sup>]</td> </tr> <tr> <td><math>d</math></td> <td>絕緣層 두께</td> <td>[m]</td> </tr> <tr> <td><math>E_B</math></td> <td>障壁 높이</td> <td>[eV]</td> </tr> <tr> <td><math>E_F</math></td> <td>페르미 에너지準位</td> <td>[eV]</td> </tr> <tr> <td><math>E_G</math></td> <td>帶域幅</td> <td>[eV]</td> </tr> <tr> <td><math>E_i</math></td> <td>眞性 에너지準位</td> <td>[eV]</td> </tr> <tr> <td><math>E_t</math></td> <td>眞性 페르미準位에 대한 트랩핑 狀態에너지</td> <td>[eV]</td> </tr> <tr> <td><math>h</math></td> <td>半導體層의 두께</td> <td>[m]</td> </tr> <tr> <td><math>I_D</math></td> <td>드레인 電流</td> <td>[A]</td> </tr> </table>	$C_i$	單位 面積當 絕緣體 캐패시턴스	[F/m <sup>2</sup> ]	$d$	絕緣層 두께	[m]	$E_B$	障壁 높이	[eV]	$E_F$	페르미 에너지準位	[eV]	$E_G$	帶域幅	[eV]	$E_i$	眞性 에너지準位	[eV]	$E_t$	眞性 페르미準位에 대한 트랩핑 狀態에너지	[eV]	$h$	半導體層의 두께	[m]	$I_D$	드레인 電流	[A]	<table border="0" style="width: 100%;"> <tr> <td style="width: 10%;"><math>K</math></td> <td style="width: 70%;">볼츠만 常數=1.38×10<sup>-23</sup></td> <td style="width: 20%; text-align: right;">[J/°K]</td> </tr> <tr> <td><math>L</math></td> <td>채널 길이</td> <td>[m]</td> </tr> <tr> <td><math>L_g</math></td> <td>그레인 크기</td> <td>[m]</td> </tr> <tr> <td><math>m^*</math></td> <td>캐리어의 有效質量</td> <td>[kg]</td> </tr> <tr> <td><math>N</math></td> <td>캐리어 濃度</td> <td>[cm<sup>-3</sup>]</td> </tr> <tr> <td><math>N_a, n_a</math></td> <td>평균 캐리어 濃度</td> <td>[cm<sup>-3</sup>]</td> </tr> <tr> <td><math>N_t</math></td> <td>트랩 密度</td> <td>[cm<sup>-2</sup>]</td> </tr> <tr> <td><math>q</math></td> <td>電荷量</td> <td>[c]</td> </tr> <tr> <td><math>T</math></td> <td>絶對 溫度</td> <td>[°K]</td> </tr> <tr> <td><math>V_a</math></td> <td>그레인 境界에 걸린 電壓</td> <td>[V]</td> </tr> <tr> <td><math>V_D</math></td> <td>드레인 電壓</td> <td>[V]</td> </tr> <tr> <td><math>V_G</math></td> <td>게이트 電壓</td> <td>[V]</td> </tr> <tr> <td><math>W</math></td> <td>디바이스 幅</td> <td>[m]</td> </tr> <tr> <td><math>\epsilon_0</math></td> <td>眞空中의 誘電率</td> <td>[F/m]</td> </tr> <tr> <td><math>\epsilon_R</math></td> <td>比誘電率</td> <td></td> </tr> <tr> <td><math>\epsilon</math></td> <td>誘電率</td> <td>[F/m]</td> </tr> <tr> <td><math>\mu_b</math></td> <td>그레인 境界 移動度</td> <td>[cm<sup>2</sup>/Vsec]</td> </tr> <tr> <td><math>\mu_G</math></td> <td>그레인 移動度</td> <td>[cm<sup>2</sup>/Vsec]</td> </tr> <tr> <td><math>\mu_0</math></td> <td>移動度</td> <td>[cm<sup>2</sup>/Vsec]</td> </tr> </table>	$K$	볼츠만 常數=1.38×10 <sup>-23</sup>	[J/°K]	$L$	채널 길이	[m]	$L_g$	그레인 크기	[m]	$m^*$	캐리어의 有效質量	[kg]	$N$	캐리어 濃度	[cm <sup>-3</sup> ]	$N_a, n_a$	평균 캐리어 濃度	[cm <sup>-3</sup> ]	$N_t$	트랩 密度	[cm <sup>-2</sup> ]	$q$	電荷量	[c]	$T$	絶對 溫度	[°K]	$V_a$	그레인 境界에 걸린 電壓	[V]	$V_D$	드레인 電壓	[V]	$V_G$	게이트 電壓	[V]	$W$	디바이스 幅	[m]	$\epsilon_0$	眞空中의 誘電率	[F/m]	$\epsilon_R$	比誘電率		$\epsilon$	誘電率	[F/m]	$\mu_b$	그레인 境界 移動度	[cm <sup>2</sup> /Vsec]	$\mu_G$	그레인 移動度	[cm <sup>2</sup> /Vsec]	$\mu_0$	移動度	[cm <sup>2</sup> /Vsec]
$C_i$	單位 面積當 絕緣體 캐패시턴스	[F/m <sup>2</sup> ]																																																																																			
$d$	絕緣層 두께	[m]																																																																																			
$E_B$	障壁 높이	[eV]																																																																																			
$E_F$	페르미 에너지準位	[eV]																																																																																			
$E_G$	帶域幅	[eV]																																																																																			
$E_i$	眞性 에너지準位	[eV]																																																																																			
$E_t$	眞性 페르미準位에 대한 트랩핑 狀態에너지	[eV]																																																																																			
$h$	半導體層의 두께	[m]																																																																																			
$I_D$	드레인 電流	[A]																																																																																			
$K$	볼츠만 常數=1.38×10 <sup>-23</sup>	[J/°K]																																																																																			
$L$	채널 길이	[m]																																																																																			
$L_g$	그레인 크기	[m]																																																																																			
$m^*$	캐리어의 有效質量	[kg]																																																																																			
$N$	캐리어 濃度	[cm <sup>-3</sup> ]																																																																																			
$N_a, n_a$	평균 캐리어 濃度	[cm <sup>-3</sup> ]																																																																																			
$N_t$	트랩 密度	[cm <sup>-2</sup> ]																																																																																			
$q$	電荷量	[c]																																																																																			
$T$	絶對 溫度	[°K]																																																																																			
$V_a$	그레인 境界에 걸린 電壓	[V]																																																																																			
$V_D$	드레인 電壓	[V]																																																																																			
$V_G$	게이트 電壓	[V]																																																																																			
$W$	디바이스 幅	[m]																																																																																			
$\epsilon_0$	眞空中의 誘電率	[F/m]																																																																																			
$\epsilon_R$	比誘電率																																																																																				
$\epsilon$	誘電率	[F/m]																																																																																			
$\mu_b$	그레인 境界 移動度	[cm <sup>2</sup> /Vsec]																																																																																			
$\mu_G$	그레인 移動度	[cm <sup>2</sup> /Vsec]																																																																																			
$\mu_0$	移動度	[cm <sup>2</sup> /Vsec]																																																																																			

\*正 會 員 : 淸州大 理工大 半導體工學科 副教授 · 工博  
 \*\*正 會 員 : 淸州大 理工大 半導體工學科 專任講  
 師 · 工博  
 \*\*\*正 會 員 : 空軍士官學校 物理科 專任講師  
 接受 日 字 : 1991年 2月 5日  
 1 次 修 正 : 1991年 5月 20日

$\sigma$  導電率  $[\Omega\text{-cm}]^{-1}$   
 $v_c$  열적 집속도 (Thermal collection velocity) [cm/sec]

1. 序 論

1961年 Weimer[1]에 의해 처음으로 提案된 TFT (Thin Film Transistor)는 그 동안 MOS-FET에 비해 등한시 되었지만, 1970년대에 접어들어 훌륭한 眞空蒸着器와 스퍼터 (sputter) 장치의 등장과 함께 여러가지 薄膜技術이 발전하면서 TFT의 제조에 다시금 관심을 갖게 되었다. 특히, 각 TFT의 디바이스의 파라메타의 正確한 抽出은 수만개의 디바이스가 들어있는 集積回路 設計에 중요한 役活을 담당하게 되었다. 따라서 本 論文에서는 多結晶 반도체 TFT의 이론을 提示하고, 이 이론식과 실제로 CdSe TFT를 製作하여 얻은 I-V 측정치를 使用하여 最適化技法을 適用시켜 最適 파라미터값을 算出하려 한다.

2. 多結晶 TFT의 電氣傳道 모델

단결정 TFT와는 달리 電氣의 特性을 나타내는 다결정 TFT는 구조적으로 그레인 境界에 트래핑 센타(trapping center)가 있으므로 단결정 TFT의 전기적 性質을 기초로 하여 다결정 TFT의 그레인 境界에 대한 여러가지 전기적 모델이 提示되고 있다. 그들을 크게 나누면 不純物 分離 모델[2, 3]과 캐리어 트래핑 모델[4]로 나눌 수가 있는데 本 論文에서 취한 모델은 캐리어 트래핑 모델이다.

多結晶 실리콘 薄膜의 電氣的 傳送性質은 그레인 境界에서 일어나는 캐리어 트래핑에 의해 支配된다. 實際 多結晶 材料에서 그레인은 서로 다른 크기를 갖고 있으며, 不規則的인 形態의 分布를 갖고 있다. 그러나 모델을 간단히 하기 위해 다음과 같이 假定한다. i) 多結晶 실리콘은 똑같은 그레인 크기  $L_g$ 를 갖는 결정으로 구성된다. ii) 不純物은  $N/\text{cm}^3$ 개의 濃度로 均일하게 분포한다. iii) 그레인 境界의 두께는  $L_g$ 에 비해 무시한다. iv) 트랩 에너지  $E_t$ 에서 트랩 밀도  $N_t$ 만큼의 트랩을 그레인 境界가 포함한다. v) 트랩은 처음에 中性이나 캐리어를 트래핑 함으로써 점점 대전된다.

그림 1에서 그레인 境界로부터  $(\frac{1}{2}L_g - \ell)$ 의 領域에 있는 移動性 캐리어는 트래핑 상태에 트랩된다. 그 結果로 空乏層에 있는 이동성 캐리어는 이

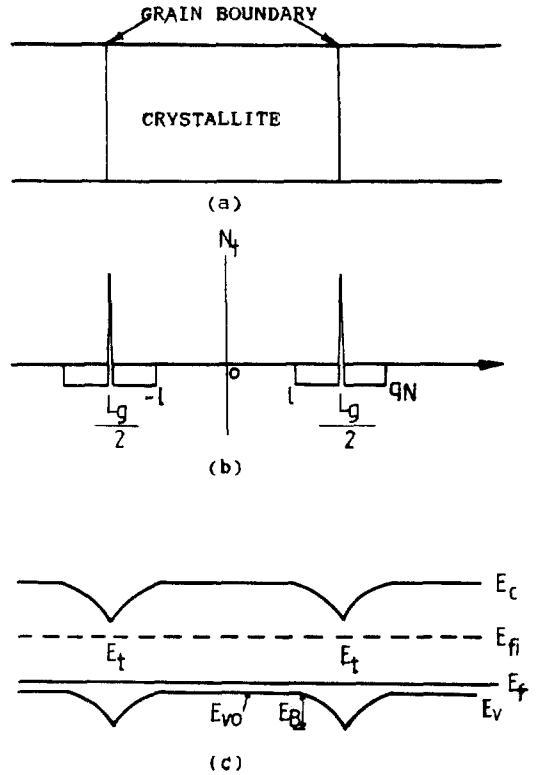


그림 1 P-型 多結晶 材料의 모델 [5]

- (a) 많은 수의 트랩을 포함하는 그레인 境界에 의해 둘러 쌓인 작은 結晶
- (b) 空間電荷의 分布
- (c) 그레인 境界 주변의 포텐셜 장벽에 대한 에너지 대역도

Fig. 1 Model of P-type polycrystalline material

- (a) Small cristallites surrounded by grain boundaries containing a large number of traps
- (b) resulting space charge
- (c) corresponding energy band diagram with potential barriers surrounding the grain boundaries. [5]

計算에서 무시한다. 多結晶 실리콘은 3次元的 構成을 하지만 傳送性質을 계산하기 위해 1次元的으로 解析해도 充分하다. 위의 가정과 近似化에 의하여 Poisson 방정식은 다음과 같다.

$$\frac{d^2 V}{dx^2} = \frac{gN}{\epsilon}, \quad \ell < |x| < \frac{1}{2}L_g \quad (1)$$

境界條件 i)  $\ell$ 에서  $V(x)$ 는 연속이고, ii)  $\frac{dV}{dx} \Big|_{\ell} = 0$ 에 대한 식(1)의 解는 다음과 같다.

$$V(x) = \frac{qN}{2\epsilon}(x-1)^2 + V_{vo}, \quad 1 < |X| < \frac{1}{2}L_g \quad (2)$$

여기서  $V_{vo}$ 는 結晶中央에서 價電子帶 가장자리의 포텐셜이다. 眞性 페르미 준위를 기준으로 잡았고, 에너지는 價電子帶 쪽을 正으로 취했다. 結晶 크기가 주어지면 도우핑 濃度에 따라 두가지 條件이 存在한다.

(a)  $L_g N < N_i$ 인 경우  
이 條件下에서 結晶은 캐리어가 完全히 空乏되며 트랩은 部分的으로 채워지게 된다. 따라서  $\ell=0$ 가 되며 式(2)는 다음과 같이 된다.

$$V(x) = V_{vo} + \frac{qN}{2\epsilon}x^2, \quad |X| \leq \frac{1}{2}L_g \quad (3)$$

電位障壁  $V_B$ 는  $V(0)$ 와  $V(\frac{1}{2}L_g)$ 의 差 이므로  
$$V_B = qL_g^2 N / 8\epsilon \quad (4)$$
가 된다. 여기서  $V_B$ 는  $N$ 에 따라 線型的으로 增加함을 알 수 있다.

(b)  $L_g N > N_i$ 인 境遇  
이 境遇 結晶은 一部分만 空乏되며  $\ell > 0$ 이 된다. 포텐셜 障壁 높이는 式(2)로부터

$$V_B = V\left(\frac{1}{2}L_g\right) - V(\ell) = \frac{q}{8\epsilon N} [2 \cdot N\left(\frac{L_g}{2} - \ell\right)]^2 = \frac{qN_i^2}{8\epsilon N} \quad (5)$$

가 된다.  
多結晶 物質의 抵抗은 그래인 境界領域과 그래인의 벌크(bulk)에 의한 것으로 考慮할 수 있다. 結晶의 도전율이 그래인 境界의 것보다 훨씬 크다면, 類似的으로 그래인 境界의 抵抗成分만을 고려한다. 그래인 境界를 통해서 흐르는 電流는 크게 두 가지로 생각할 수 있다. 卽, 열전자 방출과 터널링에 의한 것이다. 열전자 방출은 그래인 境界에 形成된 전위장벽보다 높은 에너지를 가진 캐리어에 의한 것이고, 터널링 電流는 전위장벽보다 낮은 에너지를 가진 캐리어에 起因한다. 障壁이 좁고 높을때 터널링 電流는 열전자 방출 電流와 비슷하다. 전위장벽은 高濃度로 도우핑된 多結晶 실리콘인 경우에 급격히 낮아지므로 터널링 電流는 無視한다. Bethe에 따르면 열전자 방출 電流  $J_{th}$ 는 다음과 같이 주어진다.[5]

$$J_{th} = q^2 p_a \left(\frac{v_c}{kT}\right) V_a \cdot \exp(-E_B/kT) \quad (6)$$

$n$ -形인 경우,  $P_a$ 를  $n_a$ 로 바꾸어 주면 된다. 즉,  $J_{th}$ 는 다음과 같다.

$$J_{th} = q^2 n_a \left(\frac{v_c}{kT}\right) \cdot \exp(-E_B/kT) \cdot V_a = \sigma \cdot \frac{V_a}{L_g} \quad (7)$$

여기서  $E_B \approx q^2 N_i^2 / 8\epsilon N$ 이다. 따라서 열전자 방출에 의해 기술되는 도전율은

$$\sigma = q n_a \mu_0 \exp(-E_B/kT) \quad (8)$$

이고, 여기서  $\mu_0 = \frac{qL_g v_c}{kT}$ 이다.

一般的인 境遇 全抵抗率  $\rho$ 는 그래인 저항률  $\rho_G$ 와 그래인境界 저항률  $\rho_B$ 의 합이다.

$$\rho = \rho_G + \rho_B = \frac{1}{q\mu_G n_a} + \frac{1}{q\mu_B n_a \exp(E_B/kT)} \quad (9)$$

따라서 全有效 移動度  $\mu$ 는 다음과 같이 된다.

$$\frac{1}{\mu} = \frac{1}{\mu_G} + \frac{1}{\mu_B \exp(-E_B/kT)} \quad (10)$$

半導體 薄膜의 두께를  $h$ , 채널 幅을  $W$ , 소오스-드레인 간격을  $L$ 이라 하면 낮은 드레인 電壓에서 測定할 수 있는 漏洩電流는 다음과 같다[6].

$$I_L = q N_D \mu_b W h (V_a/L) \exp(-E_B/kT) \quad (11)$$

여기서  $\mu_G \gg \mu_b$ 라고 假定했다. 게이트에 正電壓을 印加하면 도우너를 添加한 것과 똑같은 效果를 갖는다. 게이트 전압은 印加했을 때  $N_i = NL_g$ 인 경우에 소오스-드레인 전류는

$$I_D = W q \mu_b \cdot \frac{V_D}{L} (N_D L_c + N) \times \exp\left[-\frac{q^2 N_i^2 L_c}{8\epsilon k T (N_D L_c + N)}\right] \quad (12)$$

가 된다.  
여기서  $L_c$ 는 誘導된 채널의 두께로  $h$ 와 거의 같고,  $N_c$ 는 단위 면적당 게이트에 의한 유도된 電荷 濃度로서  $N_c = C_i V_G / q$ 이다. 여기서  $N_c$ 를  $N_D L_c + N_c$ 로 代치한 것은 게이트 전압에 의한 채널 두께 內에 있는 캐리어만을 고려하기 때문이다. 이것을 利用하면 式(12)의 드레인 電流는 다음과 같이 된다.

$$I_D = W \mu_b \frac{V_D}{L} C_i V_G \exp\left[-\frac{q^3 N_i^2 h}{8\epsilon k T C_i V_G}\right] \quad (13)$$

式(13)에서 트랩 밀도  $N_i$ 와 그래인 境界 移動度  $\mu_b$ 에 의한 드레인 전류를 알 수 있다.

### 3. CdSe TFT의 제작과정

#### 3.1. 실험준비과정

基板으로 슬라이드 유리와 코닝유리를 사용하였는데, 基板의 諸元은 76×26mm<sup>2</sup>이고 두께는 1mm이다. TFT製作에 필요한 金屬 마스크는 모두 4장으로 번호를 붙이면 다음과 같다.

- #1; 반도체 層用 마스크
- #2; 소오스-드레인 電極用 마스크
- #3; 절연層用 마스크
- #4; 게이트 電極用 마스크

本 研究에서 사용한 증착 시스템은 미국의 Varian사에서 제작한 3118 시스템에 박막의 두께를 측정, 조정하는 장치로 Inficon社에서 제작한 IC 6000수정 발진 방식 두께 콘트롤러가 부착된 장비이다. 증착 제어하는 IC 6000은 2KVA 電源을 프로그램으로 조종 할 수 있도록 되어 있으며 증착 시료에 따라 각기 다른 측정기준을 줌으로써 정확한 두께를 만들수 있도록 되어 있다. 本 實驗에서 사용된 증착 시스템의 眞空度는 2×10<sup>-6</sup>~5×10<sup>-6</sup>torr으로서 mechanical pump와 oil diffusion pump를 이용하여 공기를 뽑았다. 眞空度는 열전대 측정기와 ion gauge 측정기를 이용하였다.

### 3.2. CdSe 박막의 제조 과정

증착을 시작하기 전에 보우트에 남아 있을지도 모르는 有機물질 및 不純物을 除去하기 위하여 超音波 洗滌器와 증류수, 아세톤을 이용하여 세척한 후에 2×10<sup>-6</sup> torr의 진공속에서 시료없이 가열하여 깨끗한 보우트를 만들었다. CdSe용으로 사용된 보우트는 텅스텐에 Al<sub>2</sub>O<sub>3</sub>가 입혀진 것을 사용하여 고온에서 CdSe와 텅스텐의 화학적 반응을 막았다. 증착을 시작하기 전에 基板과 보우트 사이에 Shutter를 두어서 기화하기 전에 CdSe분말 시료로부터 나오는 미세한 다른 물질과 분해되어지는 不純物을 분리 시켰으며 후에 shutter를 열어 증착을 시작하였다. 증착 속도는 IC 6000으로 조종하였으며 비율을 2A°/s로 고정시키기 위하여 전류를 조절하였다. 너무 빠른 증착 속도는 CdSe가 유리에 안정되기 전에 다른 CdSe가 달라 붙어 불안정한 박막을 만들수 있으며 또한 높은 온도에서 분리되는 불순물에 오염될 가능성도 있게 된다. 증착된 두께는 2000Å으로써 짙은 암갈색인 반투명 박막을 얻었다.

### 3.3. CdSe박막의 기본 특성

반도체층인 CdSe박막의 면상태를 확인하기 위하여 전자현미경(Hitachi SEM)으로 사진을 찍었다.

그림 2는 진공 증착된 CdSe의 면상태이고, 그림 3은 증착된 CdSe박막을 150℃의 공기중에서 4시간 동안 baking한 것이다. 입자들이 일부 정리되어 작은 알갱이들을 갖고 있는 것을 볼 수 있다. 그림 2의 baking이전 샘플보다 결정성이 좋아진 것으로 판단 된다.

TFT제작시 가장 곤란을 받은것은 적절한제작

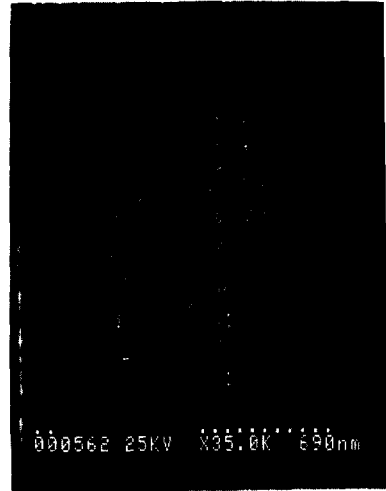


그림 2 CdSe 박막의 SEM사진  
두께 : 2,000 Å, 배율 : x35,000

Fig. 2 Scanning electron microscope micrograph of CdSe films thickness : 2,000 Å, magnification : x35,000

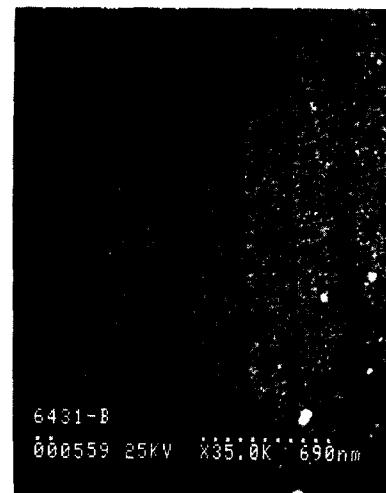


그림 3 Baking한 CdSe박막의 SEM사진  
Fig. 3 Scanning electron microscope micrograph of CdSe films after baking

조건 및 그 특성의 고려하여 만들어져야 한다는 것이다. 본 실험에서는 이를 위하여 CdSe 박막의 기본 특성을 조사하였고, 기본 특성은 CdSe의 광전류 특성을 기본으로 하였다. 샘플의 종류에 따라 여러 특성을 볼 수 있었으나 여기서는 眞空中에서 300°C로 2시간의 열처리를 했을 경우와 안했을 경우의 두가지 경우에 대한 차이만 비교 하였다. 그림 4는 열처리 이전의 CdSe 박막으로서 5,000lux에서 20V에 대하여 520 $\mu$ A의 電流 특성을 보인다. 20V에서 暗電流는 170 $\mu$ A이었다. I-V곡선은 10V 이하에서는 오옴(Ohm) 법칙을 따르나 10V 이상에서는 약간의 곡선 형태를 한다. 광도에 따라 많은 차이를 보이며 1,000lux이하에서는 電流의 변화가 크고 1,000lux이상에서는 전류의 변화가 작다. 그림 5는 열처리 이후의 CdSe 박막으로서 5,000lux에서 20V에 대하여 1,350 $\mu$ A의 電流 특성을 보인다. 그러나 暗電流도 20V에서 890 $\mu$ A로 상당히 크다. I-V곡선은 전체적으로 약간의 곡선이며 광도에 따라 전류의 차이가 적음을 보이며 10V이하에서는 광전류와 암전류의 변화가 거의 없고 10V 이상에서는 광전류와 암전류의 변화가 약간 보인다. 결국 실험 조건은 열처리 없이 1,000 lux 이하에서 TFT의 특성을 실험 하였고 다결정

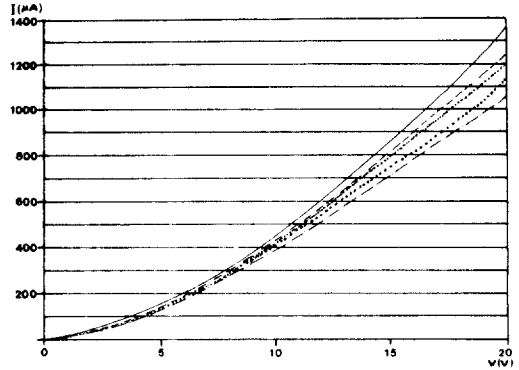


그림 5 열처리 후의 CdSe 박막의 광도별 I-V 특성 곡선  
 - · - · - : 1,000 lux ○ ○ ○ ○ : 2,000lux  
 · · · · : 3,000lux  
 - - - : 4,000 lux — : 5,000lux

Fig. 5 The characteristics of voltage and current by intensity of light of CdSe thin film after annealing  
 - · - · - : 1,000 lux ○ ○ ○ ○ : 2,000lux  
 · · · · : 3,000lux  
 - - - : 4,000 lux — : 5,000lux

질의 많은 특성변화 요인을 고려하여 일부 조건을 최적 실험 조건으로 삼았고 그에 따른 TFT의 다음 특성을 볼 수 있었다.

### 3.4. TFT제작과정과 測定

본 실험에서는 TFT의 구조중 역 코플레너 구조를 사용하였으며 그 단면은 그림 6과 같다. 절연체로는 SiO를 진공 증착하였다. 증착시 사용한 보우트는 텅스텐 보우트이고 2KVA 전원 50%이상의 출력이 요구되었으며 증착 두께는 500Å, 증착 속도는 0.5Å/s로써 투명한 박막을 얻을 수 있었다. 전극은 소오스와 드레인, 게이트 모두 Al을

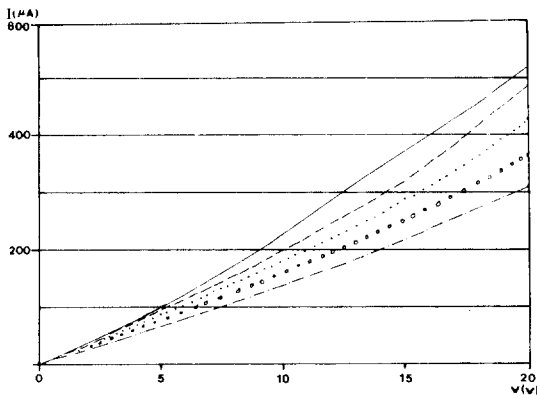


그림 4 열처리 이전의 CdSe 박막의 광도별 I-V 특성 곡선  
 - · - · - : 1,000 lux ○ ○ ○ ○ : 2,000lux  
 · · · · : 3,000lux  
 - - - : 4,000 lux — : 5,000lux

Fig. 4 The characteristics of voltage and current by intensity of light of CdSe thin film before annealing  
 - · - · - : 1,000 lux ○ ○ ○ ○ : 2,000lux  
 · · · · : 3,000lux  
 - - - : 4,000 lux — : 5,000lux

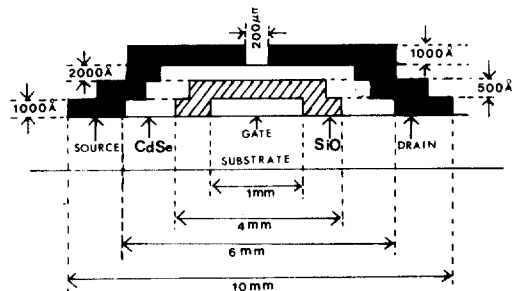


그림 6 역 코플레너 구조  
 Fig. 6 Inverted coplanar structure

표 1 TFT의 증착 순서  
Table 1 Evaporation Process of TFT

	시 료	진 공 도	증착 속도	증착 두께	마스크 번호
게이트	Al	$2 \times 10^{-6}$ $\sim 5 \times 10^{-6}$ torr	$2 \text{ \AA}^{\circ}/\text{s}$	$1000 \text{ \AA}^{\circ}$	#4
절연막	SiO	"	$0.5 \text{ \AA}^{\circ}/\text{s}$	$500 \text{ \AA}^{\circ}$	#3
반도체막	CdSe	"	$2 \text{ \AA}^{\circ}/\text{s}$	$2000 \text{ \AA}^{\circ}$	#1
소오스와 드레인	Al	"	$2 \text{ \AA}^{\circ}/\text{s}$	$1000 \text{ \AA}^{\circ}$	#2

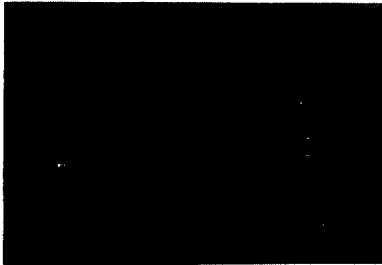


그림 7 드레인 전류-전압 특성  
Fig. 7 The characteristics of drain current-voltage;  
 $V_D : 1\text{V}/\text{div}$ ,  $I_D : 0.1\text{mA}/\text{div}$ ,  $V_G : 2\text{V}/\text{step}$ .  
Dimension; CdSe;  $2000 \text{ \AA}^{\circ}$ , SiO;  $500 \text{ \AA}^{\circ}$ ,  
 $L ; 2000 \mu\text{m}$ ,  $W ; 3\text{mm}$ .

사용하였다. Al은 가장 보편적인 전극으로 증착 두께  $1,000 \text{ \AA}^{\circ}$ , 증착속도  $2 \text{ \AA}^{\circ}/\text{s}$ 를 유지하여 고순도의 Al박막을 얻었다. 표1은 각 공정의 순서에 따른 기준들을 도표화 한 것이다. 그리고 제작한 TFT의 드레인 전류-전압 특성은 상온에서 측정하였으며 측정 결과는 그림 7과 같다.

4. TFT의 매개변수 抽出

간결하면서도 정확하게 CdSe TFT의 매개변수를 抽出하기 위하여 실험치를 바탕으로 하여 최소 2승법 근사를 행하였다.

$$f(N_i, \mu_b) = \sum_{i=1}^N W_i (I_T - I_i)^2 \quad (14)$$

式(14)에서  $N$ 은 관측점의 갯수,  $W_i$ 는 Weight함수,  $I_i$ 는 실험치이고,  $I_T$ 는 이론치이다. 式(14)를 최소화 시키는 알고리즘으로는 Rosenbrock 알고리즘[7]을 채택하였고, 이 방법은 H.H. Rosenbrock이 提示한 直接探索方法에 방법을 두고 있으며, 이 알고리즘의 흐름도는 그림 8과 같다.

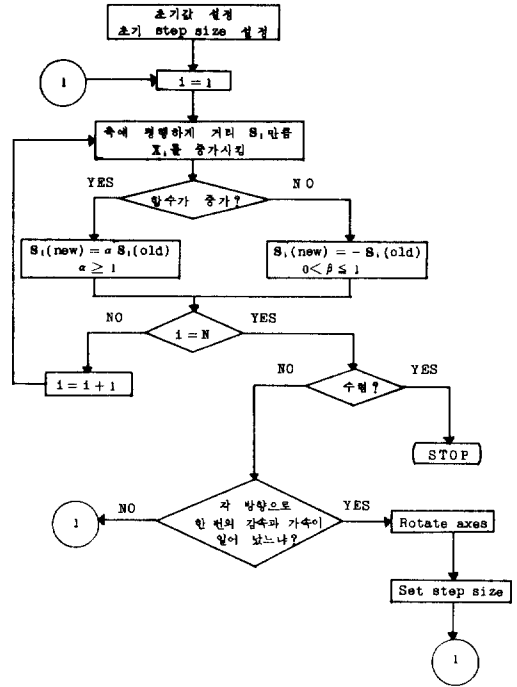


그림 8 Rosenbrock 알고리즘의 順序圖.  
Fig. 8 The flow chart of Resenbrock algorithm.

5. 結果 比較

앞에서 言及한 캐리어 트랩핑 理論에 의해 基本的인 매개변수(그레인 경계의 이동도, 트랩밀도)을 추출하는 方法은 다음과 같다.

보통의 경우, 캐리어 트랩핑 理論에서는 실험치를 바탕으로 하여  $\ln\left(\frac{I_D}{V_G}\right)$ 對  $\left(\frac{1}{V_G}\right)$ 의 기울기를 구하여 매개변수를 추출하는 方法인데[8], 이 경우 그 기울기가 반드시 線型이어야 하며 線型인 경우가 아니면 기울기를 구할 수 없을 뿐더러 실제로 적용한 경우에도 엉뚱한 結果가 얻어졌다. 따라

표 2 CdSe TFT의 諸元

Table 2 Dimensions of CdSe TFT

	디바이스 폭 $W[\text{mm}]$	소오스-드레인 간격 $L[\mu\text{m}]$	CdSe두께 $h[\text{cm}]$	절연층의 종류와 두께 $d[\text{\AA}]$	캐패시턴스 $C_i[\text{F} \cdot \text{cm}^{-2}]$
샘플A	3	200	$2 \times 10^{-5}$	SiO(500)	$1.062 \times 10^{-7}$
샘플B	3	45	$1.3 \times 10^{-5}$	SiO(1200)	$3 \times 10^{-8}$

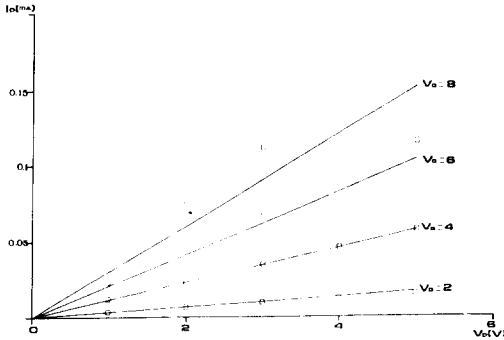


그림 9 실험치와 이론치의 비교(샘플 A)  
□ : 실험치, — : 이론치

Fig. 9 Comparison of experimental and theoretical values.  
□ : experimental values — : theoretical values

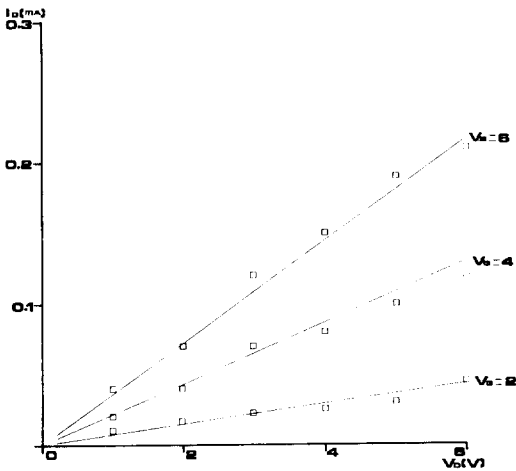


그림 10 실험치와 이론치의 비교(샘플 B)

Fig. 10 Comparison of experimental and theoretical values.

서, 본 研究에서는 보다 정확한 媒介變數를 추출하기 위하여 實際의 測定値와 計算値의 差異를 利用하는 最小 제곱법(least square method)를 使用하였고, 이를 最小化시키는 最適解 技法으로

표 3 抽出한 CdSe TFT의 파라메타

Table 3 Ectracted paramters of CdSe TFTs.

	그레인 경계 이동도 $\mu_0[\text{cm}^2/\text{v} \cdot \text{sec}]$	트랩 밀도 $N_t[\text{cm}^{-2}]$
샘플A	3.18	$2.97 \times 10^{11}$
샘플B	3.62	$4.13 \times 10^8$

Rosenbrock의 最小化 알고리즘[7]을 使用하였다. 표 2와 같은 CdSe TFT의 實驗結果(I-V 特性)를 基礎로 하여 Rosenbrock 알고리즘을 캐리어 트랩핑 이론에 적용시켜 媒介變數( $\mu_0, N_t$ )를 추출한 결과를 표 3에 나타내었다.

### 6. 結 論

CdSe TFT를 製作하여 얻은 電流-電壓 特性을 캐리어 트랩핑 理論에 適用시켜 그레인 경계이동도, 트랩밀도를 구했다. 이렇게 구한 값들은 이미 알려져 있는 報告書들의 結果치와 잘 一致 하였다. 이러한 媒介變數 값의 當爲性을 보기 위해서 구한 값을 逆으로 使用하여 I-V 特性을 구해 보았다. 그 結果는 實驗値와 比較적 잘 一致 하였다. 본 論文에서 그레인 경계 이동도 및 트랩밀도를 구하는 方法은 InSb TFT 및 각종 III-V 족 화합물 TFT에 잘 適用 될 것으로 생각된다. 디바이스의 精確한 媒介變數 算出은 수 만개의 디바이스가 들어있는 VLSI에 重要하기 때문에 본 論文의 意義가 있다고 判斷된다.

본 연구는 1987년도 문교부 학술연구조성비에 의하여 연구되었음.

### 참 고 문 헌

[1] P.K. Weimer, "The TFT-a new thin film transistor", proc. IRE, Vol. 50, pp. 1462~1469, June 1962.  
[2] M.E. Cowher and T.O. Sedhwick, "Chemical

- vapor deposited polycrystalline silicon”, Electrochemical Society Active Member 119, pp. 1565~1570, Nov. 1972.
- [3] A.L. Fripp, “Dependence of resistivity on the doping level of polycrystalline silicon”, J. Appl. Phys., Vol. 46, No. 3, pp. 1240~1244, March 1975.
- [4] T.I. Kamins, “Hall mobility in chemically deposited polycrystalline silicon”, J. Appl. Phys., Vol. 42, pp. 4357~4365, Oct. 1971.
- [5] John Y.W. Seto “The electrical properties of polycrystalline silicon films”, J. Appl. Phys. Vol. 46, No. 12, pp. 5247~5254, Dec. 1975.
- [6] J. Levison et al., “Conductivity behavior in polycrystalline semiconductor thin film transistors”, J. Appl. phy. Vol. 53(2), 1982.
- [7] S.S. Rao, “Optimization Theory and Application”, Wiley Eastern Limited, 1978.
- [8] Mohammad Mahmond Mandurah “The physical and electrical properties of polycrystalline-silicon”, Technical Report No G503-2 Stanford Univ. 1981.