論 文
40~1~8

PWM인버터에서 스위칭시간지연이 미치는 효과의 분석 및 그 보상

The Analysis and Compensation of Switching Time Delay in PWM Inverters

朴 旻 鎬* · 洪 淳 瓚** · 鄭 勝 基***
(Min-Ho Park · Soon-Chan Hong · Seung-Gi Jeong)

요 약

전압형 인버터에서 스위칭 순간 직류측 단자의 단락을 방지하기 위하여 삽입하는 시간지연은 인버터의 출력특성에 바람직하지 못한 영향을 끼친다. 본 논문에서는 스위칭 횟수가 많아서 상대적으로 그 영향을 크게 받는 PWM인버터에 있어서 스위칭시간지연의 효과를 분석, 출력전압의 감소와 저차수 고조파의 발생을 이론적으로 수식화하였다. 시뮬레이션을 통해 이론적인 결과의 타당성을 입증하고 이를 바탕으로 하여 시간지연의 효과를 상쇄할 수 있는 방안을 제시하였다. 보상회로로서 정현파 PWM에서 변조파의 형태를 변형시키는 방법과 논리조합회로를 사용, 구동신호를 직접 변경시키는 방법 두 가지를 제안하고 이들 보상회로를 실제 실험에 적용하여 그 효과를 확인하였다.

Abstract- In inverters, time delays are inserted in the switching signals to prevent the dc link shortage. This causes detrimental effects on the performance of the inverters, that is, the fundamental voltage drop and the generation of low order harmonics. This paper derives simple formula to describe the time delay effects in PWM inverters, where the effects may become significant because of relatively high switching frequencies. To compensate the time delay effects, this paper presents two methods which are suitable for sinusoidal PWM and memory-based PWM respectively. Both are simple, easy to implement, and are shown to be effective, through the experiments, in improving the output waveform of PWM inverters.

*正 會 員 : 서울大 工大 電氣工學科 名譽教授 · 工博
**正 會 員 : 檀國大 工大 電氣工學科 教授 · 工博
***正 會 員 : 光云大 工大 電氣工學科 助教授 · 工博
接受日字 : 1990年 3月 20日
1次修正 : 1990年 11月 6日

1. 서 론

근래에 PWM인버터는 가장 널리 사용되는 보편적인 전력변환장치의 하나가 되어 그특성의 향상을 위하여 많은 연구가 진행되어 왔다. 이러한 연구들은 주로 변조방식의 개선에 주안점을 두어왔

는데 주어진 변조방식에서부터 얻어지는 스위칭 신호에 따라 인버터의 동작이 정확히 이루어지는 것을 전제로 하고 있는 경우가 대부분이었다.

그러나 실제에 있어 인버터의 출력이 이론적으로 고안된 파형을 그대로 추종하는 데에는 몇가지 어려움이 따르는데 그 중 가장 중요하게 고려되는 것은 인버터를 구성하고 있는 소자의 스위칭시간이다. 전압형 인버터에서 직류링크 사이에 직렬로 연결된 두 소자 중 하나가 도통하고 있다가 소호되면서 다른 쪽이 도통을 시작하려고 할때, 즉 스위칭이 이루어지려고 할 때는 앞서 도통하던 소자가 완전히 소호되기를 기다려 다음의 소자를 점호하여야 한다. 그렇지 않으면 아직 차단 상태로 들어가지 못한 소자가 재도통하여 직류링크의 단락을 유발할 수 있기 때문이다. 여기에 소요되는시간을 본고에서는 스위칭시간지연이라 부르기로 한다. [1]

스위칭시간지연은 안전성을 고려하여 소자의 소호에 소요되는 시간의 2내지 3배 정도로 하는 것이 일반적이다. 이 시간동안에는 인버터의 출력이 잠시 제어회로의 통제를 벗어나 주변회로들의 조건에 순응하여 동작하는 상태에 있게 된다. 즉 제어성을 상실한다. 그 결과 제어회로에서 의도했던 것과는 다른 형태의 출력이 나타나게 되어 인버터의 성능에 좋지 않은 영향을 끼친다.

스위칭시간지연은 매우 짧으므로 6계단형 인버터와 같이 스위칭 횟수가 많지 않은 경우에는 그리 큰 문제가 되지 않으나 PWM인버터에서처럼 한주기 동안 수 내지 수십 kHz정도의 스위칭이 이루어질 때는 그 효과가 누적되어 무시할 수 없을 정도로 되는 경우가 흔히 있다. 스위칭이 매우 빠른 소자를 사용하게 되면 매 스위칭당 시간지연의 효과는 줄일 수 있겠지만 그에 상응하는 만큼 높은 스위칭주파수를 적용하는 것이 보통이므로 결과는 마찬가지라 할 것이다.

본 논문에서는 이러한 시간지연이 인버터의 운전특성에 구체적으로 어떤 영향을 미치는지에 대해 해석적인 방법을 통하여 알아보고 이를 보상하기 위한 PWM제어방식의 개선방안을 제시하였다.

2. PWM인버터에서 시간지연효과의 분석

2.1 인버터의 동작

그림 1은 전력용 트랜지스터로 이루어진 인버터의 한 상을 보여주고 있다. 여기서 V_{AN}은 직류측의 가상적 중성점에 대한 출력단자 A의 전압을 나타내며 인버터에서 부하쪽으로 흘러나가는 방향을 전류 i의 기준방향, 즉 양의 방향으로 한다.

인버터가 이상적으로 동작할 경우라면 인버터의 한 상을 이루고 있는 트랜지스터 T_1과 T_2는 주어진 스위칭신호에 따라 서로 교대로 도통하여 출력의 한 주기동안 두 트랜지스터는 각각 반주기씩의 총 도통기간을 갖게 된다. 그러나 실제에 있어서는 그림 1에 보인 것과 같이 트랜지스터의 구동신호 B_1과 B_2는 원래의 이상적인 PWM구동신호로부터 시간지연회로를 거쳐 얻어지게 되는데 그 결과 그림 2(a)에 나타낸 것과 같이 원래의 PWM신호에 대해 매 신호펄스의 선단부가 T_d만큼씩 지연된다.

이 시간동안 두 트랜지스터는 모두 동작을 멈추므로 출력단자가 표류하는 상태로 되어 단자의 전압은 그 순간 부하의 상태에 따라 좌우된다. 구체적으로 살펴보자면 그림 1에서 전류가 연속이라고 할 때 $i>0$인 경우, 즉 전류가 부하 쪽으로 흘러나갈때는 환류다이오드 D_2가 도통하므로 출력단자의 상전압은 음의 값이 된다. 반대로 $i<0$일 때는 D_1이 도통하여 출력단자에 양의 상전압이 나타난다. 그림 2(b)는 그 결과 나타나는 출력전압의 파형을 보여주고 있다.

그림에서 보듯이 전류가 양일 때는 출력전압이 빗금 친 부분만큼 감소하고 전류가 음일 때는 빗금 친 부분만큼 증가한다. 두 경우 모두에서 시간지연은 출력전압을 원래 의도했던 파형으로 벗어나게 하되 그 순간 흐르는 전류를 방해하는 방향으로, 즉 전류의 크기를 줄이는 방향으로 작용함을 관찰할 수 있다. 스위칭이 일어날 때마다 매번 이 작용이 반복되면 출력전류가 평균적으로 감소

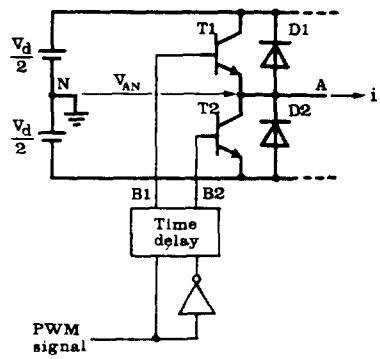

그림 1 PWM 인버터의 기본적인 구성
Fig. 1 Basic configuration of PWM inverter

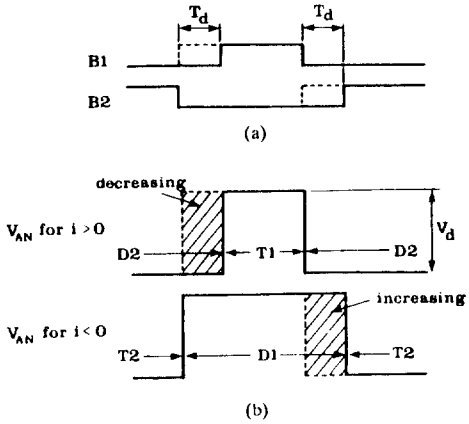

그림 2 (a) 시간지연된 구동신호와 (b) 이에 대한 출력파형

Fig. 2 (a) Delayed base drive signals and (b) corresponding output voltage

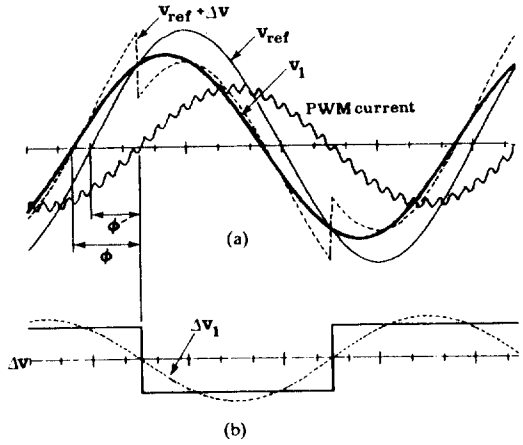

그림 3 출력전압의 기본파에 대한 시간지연의 영향

Fig. 3 Effect of time delay on fundamental output voltage

하는 결과를 낳는다. 이는 시간지연으로 인해 인버터 출력전압의 실효치가 감소됨을 의미한다.

시간지연이 야기하는 또 하나의 효과는 고조파의 발생이다. PWM변조를 사용하는 가장 큰 이유 중의 하나는 고조파성분의 억제이며 PWM신호는 이를 위해 적절히 설계된 파형의 모습을 갖는다. 따라서 시간지연으로 인해 구동신호의 파형이 변화되면 출력전압에 의도하지 않았던 고조파성분이 발생하는 것은 피할 수 없으며 PWM을 사용하는 효과도 크게 감소한다고 밖에 볼 수 없다.

2.2 정량적 분석

시간지연이 미치는 효과를 구체적으로 다루기 위하여 먼저 다음과 같은 가정을 세운다.

A. 인버터출력의 한 주기당 스위칭횟수(이하에서 M으로 표현)가 충분히 크다.

B. 인버터출력전류는 거의 정현파로 간주할 수 있다.

C. PWM출력파형에서 펄스간의 시간적인 간격은 거의 일정하다. 즉 전압의 변동이 전 구간에 걸쳐 거의 균일하게 일어난다.

이러한 가정 하에서 시간지연의 효과를 출력전류의 양의 반주기와 음의 반주기동안 각각 평균한 값으로 나타낼 수 있다.

그림 2(b)에서 시간지연으로 인한 전압의 변동분(빗금친 부분)은 다음과 같이 표현된다.

$$\Delta e = T_d V_d$$

출력의 반주기 동안 $M/2$개의 펄스가 나타나므로 이들에 의한 전압변동을 모두 더하여 반주기 동안에 대해 평균하면

$$\Delta V = \frac{(M/2)\Delta e}{T/2} = \frac{MT_d}{T} V_d \qquad (1)$$

즉 반주기 동안 출력전압이 전체적으로 평균 ΔV만큼 변동한다. 식 (1)로부터 이 변동분의 크기와 직류측 전압과의 비는 한주기 동안 시간지연의 총합 MT_d가 전체 주기에서 차지하는 비율에 해당함을 알 수 있다.

이러한 평균적인 변화가 나타내는 효과를 그림 3에서와 같이 표현할 수 있다. 그림 3(a)에서 v_{ref}는 시간지연이 없는 이상적인 인버터의 출력에서 고조파를 무시하고 기본파성분만을 나타낸 것이다. 이에 대해 ϕ'만큼 뒤진 위상의 출력전류가 흐른다고 할때 이 전류의 양의 반주기 동안에는 출력전압이 평균 ΔV만큼 감소하고 음의 반주기동안에는 ΔV만큼 증가한다. 그 결과 출력전압의 파형은 점선으로 나타낸 것과 같은 모양으로 된다. 그림 3(b)는 전압의 변동성분 Δv만을 따로 나타낸 것으로 Δv의 기본파 성분을 Δv_1이라 할 때 최종적인 인버터 출력전압의 기본파 성분 v_1은 v_{ref}에 Δv_1을 더한 값으로서 그림 3(a)의 굵은 선으로 그려진 파형으로 나타낼 수 있다.

v_1의 파형을 보면 원래의 v_{ref}에서 그 크기와 위상이 모두 변화하였음을 알 수 있다. 위상관계에 있어서 v_1과 전류간의 위상차 ϕ가 인버터에 접속

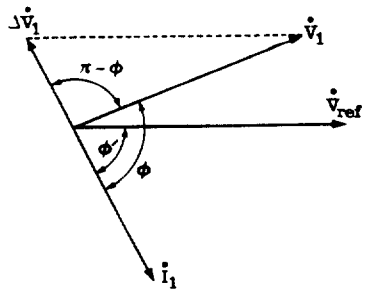

그림 4 그림 3에 대한 페이서도
Fig. 4 Phasor representation of Fig. 3

된 부하의 실제 역률각에 해당한다. 원래의 기준전압과 실제의 출력전압, 전류와 위상각 사이의 상관관계를 그림 4의 페이서도로 나타내었다. 여기서 전압변동의 기본파성분은 전류의 기본파성분 I_1과 정반대의 위상을 가지며 그 크기(실효치)는 그림 3(b)에서부터 다음과 같이 주어진다.

$$\Delta v_1=\frac{2\sqrt{2}}{\pi}\Delta V \tag{2}$$

페이서도로부터 ΔV_1과 기준전압 및 실제전압의 실효치인 V_{ref}, V_1 간의 관계를 삼각함수의 공식으로부터 다음과 같이 구할 수 있다.

$$V_{ref}^2=\Delta V_1^2+V_1^2-2\Delta V_1 V_1\cos(\pi-\phi) \tag{3}$$

식(3)을 풀면 출력전압의 실효치가 전압변동분과 기준전압, 그리고 역률각의 함수로 구해진다. 즉

$$V_1=-\Delta V_1\cos\phi+\sqrt{V_{ref}^2-(\Delta V_1\sin\phi)^2} \tag{4}$$

이를 ΔV_1에 대하여 정규화된 값으로 나타내면

$$\frac{V_1}{V_{ref}}=-\eta\cos\phi+\sqrt{1-\eta^2\sin^2\phi} \tag{5}$$

여기서

$$\eta=\frac{\Delta V_1}{V_{ref}} \tag{6}$$

로서 정규화된 전압의 변동을 나타내며 그 값은 0과 1사이의 값을 갖는다. 여기서는 이를 '전압변동지수'라 부르기로 한다. 식 (1)에서 보듯이 주어진 스위칭주파수와 지연시간의 조건하에서 ΔV_1의 크기는 항상 일정하므로 η은 기준전압의 크기에 반비례한다. 이는 시간지연에 의한 전압 변동의 영향이 낮은 출력전압일수록 상대적으로 크게 나타남을 의미한다.

2.3 정현파 PWM에서 시간지연의 영향

시간지연이 미치는 효과를 정현파 PWM의 경우에 대하여 구체적으로 살펴보기로 한다. 일반적으로 이상적인 정현파 PWM에서 출력전압의 실효치와 직류측 전압 간의 관계는 다음과 같이 변조지수 δ를 사용하여 나타낼 수 있다. [2]

$$V_{ref}=\delta\frac{V_d}{2\sqrt{2}} \tag{7}$$

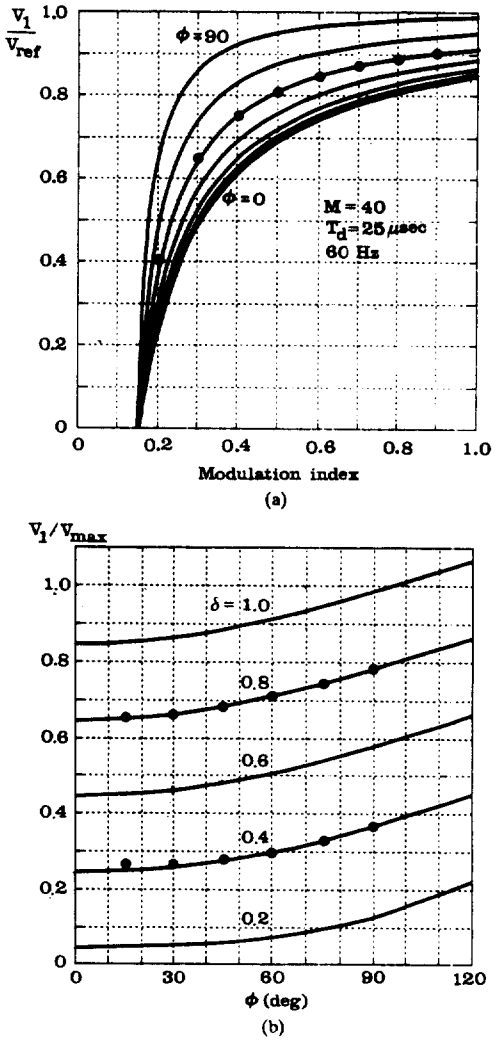

그림 5 (a) 변조지수와 (b) 부하역률각의 변동에 따른 출력압의 변화(●는 시뮬레이션 결과)
Fig. 5 Variation of output voltage with respect to (a) modulation index and (b) load power factor angle(● ; simulation results)

식(7)을 식(6)에 대입하고 여기에 식(1)을 사용하면

$$\eta=\frac{8}{\pi}\frac{T_d}{T_c}\frac{1}{\delta} \tag{8}$$

와 같이 전압변동지수가 변조지수의 함수로 표현된다. 여기서 $T_c=T/M$으로서 반송파의 한주기의 길이를 나타낸다.

그림 5(a)에 인버터의 기본파 출력전압이 변조지수의 값에 따라 변화하는 관계를 역률각 0에서 90도까지 15도 간격으로 나타내었다. 이 그림으로부터 변조지수가 낮아지면 출력전압의 기준전압에 대한 비율이 급격하게 감소하며 어느 값 이하의 변조지수에서는 아예 출력이 나타나지 않는 것을 볼 수 있다. 출력전압이 영이 되는 변조지수의 이론적인 값은 식 (8)에 전압변동지수 1을 대입하여 얻어진다. 즉

$$\delta=\frac{8}{\pi}\frac{MT_d}{T} \tag{9}$$

그림 5(a)에 주어진 조건 하에서 이 값은 약 0.16이 된다.

그림 5(b)는 변조지수의 여러 값에 대하여 출력전압이 부하역률의 변화에 따라 어떻게 변화하는지를 보여주고 있다. 여기서 V_{max}는 변조지수가 1일 때 이상적인 인버터의 출력, 즉 출력전압의 최대치를 나타낸다. ($V_{max}=V_d/2\sqrt{2}$) 그림에서 보듯이 높은 값의 역률에서는 시간지연에 의한 출력의 감소가 두드러지며 역률각이 증가할수록 이상적인 경우에 근접한다. 또한 인버터의 회생동작의 영역($\phi>90°$)에서는 출력전압이 시간지연이 없을 경우에 비해 오히려 상승하는 현상을 관찰할 수 있다.

이상에서 구한 이론적인 결과를 검증하기 위해 컴퓨터 시뮬레이션을 행하여 그 결과를 그림 5에 함께 표시하였다. 해석적인 결과와 시뮬레이션에서 구한 결과가 잘 일치하는 것으로 보아 앞서 해석을 위하여 세웠던 가정이 대체로 합리적임을 알 수 있다.

시간지연이 고조파특성에 미치는 영향도 그림 3에서 설명할 수 있다. 이상적인 PWM출력파형에는 기본파성분과 스위칭에 의해 야기되는 고조파성분이 같이 존재한다. 시간지연은 이러한 파형에 그림 3(b)의 구형파를 중첩시키므로 구형파가 지니고 있는 고조파성분이 출력에 포함된다. 전압의 변동을 나타내는 구형파의 제n차 고조파성분의 크기는 다음과 같이 주어진다.

$$\Delta V_n=\frac{1}{n}\Delta V_1 \quad (n=3,5,7\cdots) \tag{10}$$

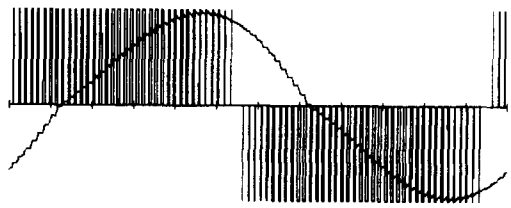

그림 6 시뮬레이션한 전압과 전류의 파형
Fig. 6 Simulated voltage and current waveform

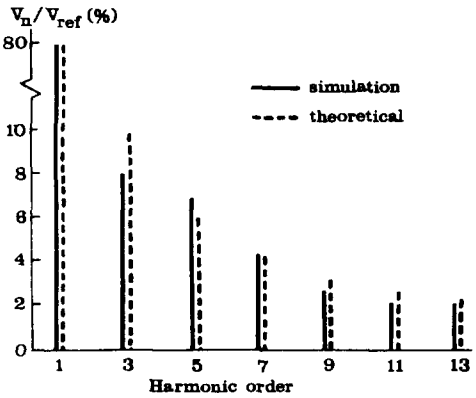

그림 7 그림 6의 출력전압에 대한 고조파 스펙트럼
Fig. 7 Harmonic spectrum of the output voltage in Fig. 6

이 고조파 성분들은 출력전압과 부하에 무관하게 항상 일정한 크기로 출력에 나타난다. 그림 6에 시뮬레이션을 통해 구한 인버터 출력전압과 전류 파형의 한 예를 보이고 그 고조파 스펙트럼을 그림 7에 나타내었다. 스펙트럼에서 점선으로 표시한 것은 식 (10)으로부터 구한 고조파성분의 이론적인 값이며 시뮬레이션을 통해 계산된 값과 대체로 잘 일치하고 있다.

여기서 문제가 되는 것은 3차, 5차 등 저차고조파성분의 출현이다. 일반적으로 저차의 고조파성분은 제거하기가 어려우며 특히 UPS와 같이 출력파형이 시스템의 성능을 크게 좌우하는 경우에 출력단 여파기의 크기를 키워야 하는 부담을 주게 된다. 차단 주파수가 낮은 여파기는 시스템의 비용을 증가시킬 뿐 아니라 내부의 큰 전압강하를 낳고 피이드백 제어를 행할 경우 이는 다시 시스템의 응답특성을 지연시켜 안정도를 해치는 등 좋지 않은 영향을 미치게 된다.

3. 스위칭시간지연효과의 보상

이상에서 설명한 시간지연이 미치는 효과의 보상방법을 고안하는데 있어서 고려되어야 할 점은 PWM의 다양성이다. 지금까지 용도와 특성의 주안점에 따라 매우 많은 형태의 PWM제어방식이 제안되어 왔으며 그들은 각자 나름대로의 복잡도와 특유의 구현방식을 지니고 있다. 따라서 보상을 위한 방법은 이러한 제어방식들에 적합하면서도 구현이 용이하여야 한다. 이러한 점에 입각하여 본 논문에서는 두 가지의 보상회로를 제안하였다. 스위칭시간지연의 효과가 출력전류의 방향과 밀접한 관련을 맺고 있음에 주목하여 두 방식 모두 출력전류의 피이드백에 기본을 두고 있다.

3.1 방식 Ⅰ-변조파형의 변형

정현파 PWM의 개념을 구현하는 가장 보편적이면서도 간단한 방법은 출력파형의 기준이 되는 변조파와 반송파를 직접 비교하여 스위칭신호를 발생시키는 것이다. 이 경우에는 변조파의 모양을 적절히 변형시킴으로써 시간지연의 영향을 효과적으로 보상할 수 있다. 앞서 그림 3에서 보았듯이 시간지연은 출력파형에 구형파의 전압을 중첩시키는 효과를 주게 되며 이는 양과 음의 두 방향 모두에서 전류를 감소시키는 방향으로 작용한다. 따라서 이를 보상하기 위해서는 전류의 흐름을 돕는 방향으로 전압파형을 개선하여 줄 필요가 있다.

인버터의 출력파형은 변조파형을 추종한다. 따라서 원래의 변조파에 그림 3(b)의 구형파를 뒤집은 모양의 파형을 더하여 주면 이것으로 시간지연의 효과를 상쇄시킬 수 있다. 그림 8에 이를 위한 회로도의 일예를 보였다. 맨 왼편의 비교기는 전류의 방향을 검출하여 전류와 동일한 주파수의 구형파를 발생한다. 다음 단의 증폭기를 통해 이 구형파를 적절한 크기로 조절한 뒤 가산회로에서 변조파에 중첩시킴으로써 개선된 형태의 변조파형을 얻는다. 즉 전류가 부하 쪽으로 흘러갈 때는 변조파를 증가시키고 반대로 흐를 때는 감소시키며 이것과 반송파를 비교, 최종적인 PWM신호를 발생시킨다.

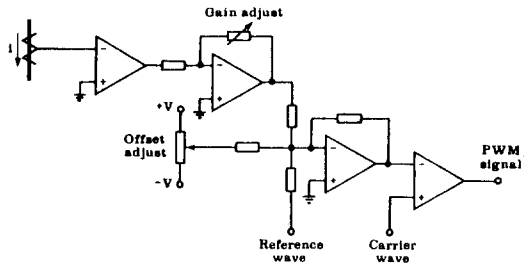

그림 8 변조파의 변형에 의한 시간지연효과의 보상회로

Fig. 8 Time delay compensation circuit with modification of reference waveform

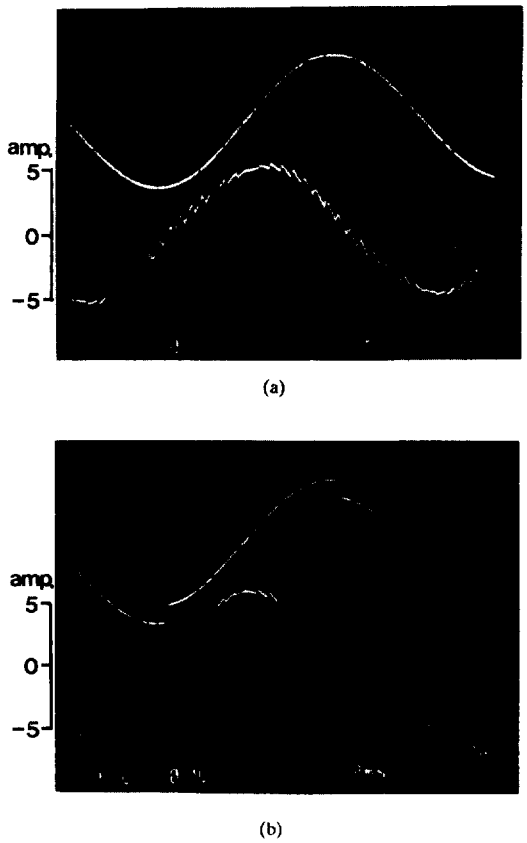

그림 9 방식 Ⅰ에 의한 (a) 보상 전과 (b) 보상 후의 기준전압(위)와 출력전류(아래)의 파형

Fig. 9 Reference (upper traces) and output current (lower traces) waveforms (a) before and (b) after compensation (Method Ⅰ)

그림 8에서 두 개의 조절하여야 할 변수가 있는데 구형파증폭기의 이득과 가산기의 오프셋이다. 이득은 스위칭지연시간이 크고 스위칭주파수가 높을수록 큰 값으로 조정하여야 한다. 교류전동기의 가변전압 가변주파수(VVVF)제어에서 흔히 볼 수 있듯이 스위칭주파수가 몇 단계로 나뉘어서 바뀌는 경우에는 증폭기의 이득도 여러 단계로 바꿀

수 있어야 할 것이다. 한편 오프셋 조정은 인버터 출력전압의 변동이 양의 방향과 음의 방향으로 꼭 같은 양만큼씩 일어난다고는 볼 수 없으므로 이들 간의 균형을 맞추어 주기 위해 필요하다.

그림 9는 이 방식을 단상 인버터에 적용하기 전과 적용한 후의 파형을 비교하여 보여주고 있다. 각 경우에 변조파와 출력전류의 파형이 함께 나타나 있는데 보상 전의 왜곡되어 있는 전류파형이 보상후에는 현저히 개선되었음을 볼 수 있다.

그림 8의 회로는 기존의 정현파 PWM회로에 약간의 개선을 가함으로써 손쉽게 구현할 수 있으며 3상 인버터에 대해서도 같은 회로를 각 상에 적용하여 같은 효과를 거둘 수 있다. 이 방식이 정현파 PWM에만 적용된다는 제한이 있기는 하지만 정현파 PWM의 원리에 기본을 두고 있기만 하다면 마이크로프로세서 등에 의해 제어되는 디지탈 PWM방식에 있어서도 소프트웨어에 간단한 수정을 가함으로써 동일한 개념을 적용하는 것이 가능하다.

3.2 방식 Ⅱ-논리조합회로에 의한 보상

정현파 PWM이 스위칭시점을 운전 중 그때그때 결정하는 온라인(on-line)방식이라면 특정고조파성분의 제거를 위한 최적 PWM방식[3] 등은 오프라인(off-line)방식이라 할 수 있다. 후자의 경우에서는 스위칭패턴을 미리 계산하여 마이크로프로세서의 메모리 등에 저장해 두었다가 사용하므로 변조파의 개념이 존재하지 않는다. 따라서 위의 보상방법은 적용할 수 없으며 그 대신 제어회로에서 출력되는 스위칭신호를 직접변경시킴으로써 시간지연의 효과를 상쇄시키는 방안이 마련되어야 한다.

앞서 소자의 구동신호와 출력파형과의 관계를 보인 그림 2를 자세히 보면 전류가 양일 때 출력전압은 구동신호 중 B_1의 파형을 추종함을 볼 수 있다. 반대로 전류가 음일 경우에는 B_2의 파형을 뒤집은 모양으로 출력전압이 나타난다. 즉 전류의 방향에 따라 두 개의 구동신호 중 하나의 신호에 의해서만이 출력파형이 좌우된다. 이러한 특성을 이용, 어느 한쪽의 구동신호를 원래의 PWM구동신호와 같도록 만들어 주고 다른 쪽의 구동신호는 결정된 신호를 기준으로 해서 안전한 스위칭을 위해 충분한 시간지연이 확보되도록 조정하여 주면 출력파형이 이상적인 PWM신호를 따라가게 할 수 있다.

이 원리에 입각하여 구동신호를 조립하는 예를 그림 10에 보였다. 그림에서 맨 위의 S가 PWM

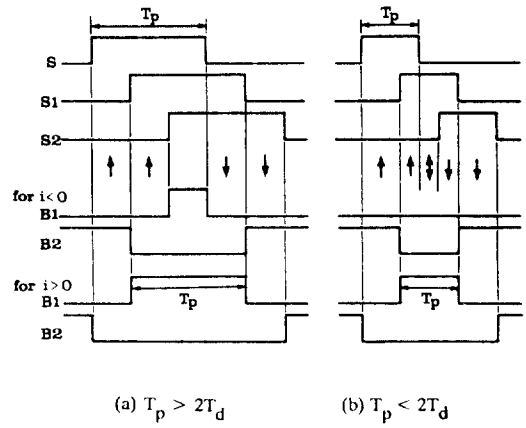

그림 10 시간지연 보상을 위한 파형의 조합회도
Fig. 10 Waveform synthesis for dead time compensation

신호의 일부라 하고 신호펄스의 길이를 T_p라 한다. 출력파형이 항상 S의 모양과 같아지게 하려면 구동신호 B_1과 B_2는 그림의 아래쪽에 $i>0$과 $i<0$의 경우에 대해 각각 나타낸 것과 같이 되어야 한다. 이러한 파형을 만들어주기 위해 S_1과 S_2로 이름붙여진 두개의 파형을 사용하는데 S_1은 원래의 신호 S를 시간지연 T_d만큼 지연시킨 것이고 S_2는 $2T_d$만큼 지연시킨 신호이다.

그림에서 보듯이 S, S_1, S_2 세개의 신호가 어떤 상태인지에 따라 여섯 개의 구간이 존재한다. 그림 10(a)에서와 같이 신호펄스의 길이가 시간지연의 두 배보다 큰 경우에는 $(S,S_1,S_2)=(000)$, (100), (110), (111), (010), (001)의 구간들이 있게 되고 그림 10(b)에서처럼 신호펄스의 길이가 그보다 작을 때는 앞의 경우에서 (111)의 상태 대신 (010)의 상태를 갖는 구간이 생기게 된다. 어떤 경우이든 이 세 신호를 적절히 논리조합함으로써 원하는 형태의 B_1과 B_2를 만들어 낼 수 있다. 물론 이 구동신호가 전류의 방향에 따라 달라져야 하므로 논리조합의 입력에는 전류의 방향을 나타내는 신호가 포함되어야 한다.

가능한 모든 경우의 조합을 고려하여 구동신호에 대한 논리식을 구해본 결과 다음의 식으로 귀착되었다.

$$B_1 = I \cdot S_1 + S \cdot S_1 \cdot S_2 \tag{11a}$$

$$B_2 = \bar{I} \cdot \bar{S_1} + \bar{S} \cdot \bar{S_1} \cdot \bar{S_2} \tag{11b}$$

여기서 I는 부울 대수로 나타낸 전류의 방향이며 $i>0$일 때 1이고 $i<0$일 때 0의 값을 갖는 것으로

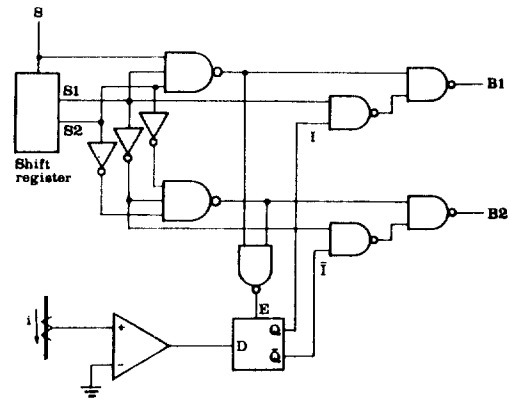

그림 11 방식 Ⅱ의 구현
Fig. 11 Realization of Method Ⅱ

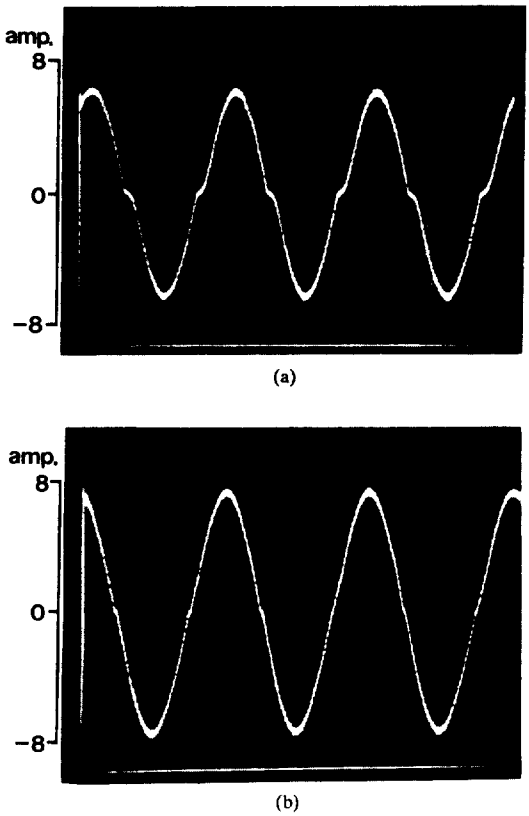

그림 12 방식 Ⅱ에 의한 (a) 보상 전과 (b) 보상 후의 전류파형
Fig. 12 Inverter output current waveforms (a) before and (b) after compensation (Method Ⅱ)

한다.

여기서 한가지 주의해야 할 점은 그림 10의 어느 구간에서는 그 구간내에서 전류의 상태가 바뀌었을 때 구동신호가 소자의 전류(轉流)에 필요한 충분한 여유시간을 제공하지 못할 수도 있다는 점이다. 이를테면 그림 10(a)의 $(S,S_1,S_2)=(110)$의 구간에서 전류의 방향이 처음에는 $i<0$이다가 중간에 $i>0$로 바뀌는 경우를 생각해 보자. 그 구간의 앞부분에서는 $i<0$에 해당하는 구동신호가 나타나다가 전류의 방향이 바뀌는 순간 $i>0$에 대한 구동신호가 이어지게 될 것이다. 그 결과 구간의 시작점에서 B_2가 1에서 0으로 변화한 뒤 충분한 시간, 즉 T_d가 경과되기 전에 B_1이 0에서 1로 바뀌므로 문제가 발생할 수 있다. 따라서 이 구간중에는 전류가 음에서 양으로 방향을 바꾸는 것이 금지되어야 하며 이를 위쪽을 가리키는 화살표로 표시하였다. 마찬가지로 화살표가 표시된 구간들에서는 모두 그 방향으로의 전류의 방향전환이 금지되어야 함을 의미한다.

실제로는 어느 특정한 시점에서 전류의 방향이 바뀌는 것을 인위적으로 막을 수는 없다. 대신에 전류의 방향을 나타내는 신호 I의 상태가 바뀌는 것을 필요한 만큼 지연시키는 것은 가능하다. 그런데 $(S,S_1,S_2)=(000)$과 (111)의 상태를 갖는 구간에서는 어느 쪽으로 전류의 방향이 바뀌드라도 문제가 없으므로 이 두 경우에만 I의 상태가 전환되는 것이 가능하도록 하여주면 된다.

이러한 점을 고려하여 식 (11)을 구현한 회로를 그림 11에 보였다. 여기서 D플립플롭은 전류방향을 나타내는 신호를 래치시켜 적절한 시점에서만 상태의 절환이 되도록 하는 역할을 한다. S_1과 S_2 신호는 시프트레지스터를 사용하여 만들어 주도록 하였으나 ROM과 같은 기억소자에 PWM신호를 저장하여 사용할 경우에는 인접 비트에 이들 파형을 같이 기억시켜 놓는 방법도 생각할 수 있다. 그림 11의 회로는 단 몇 개의 게이트로 용이하게 구현될 수 있으며 나아가 별도의 시간지연회로를 사용하지 않아도 되는 잇점을 지니고 있다.

그림 12는 이 방법을 약 2.5kHz의 스위칭주파수를 갖는 인버터에 적용한 결과이다. 그림 12(a)의 보상 전 파형에서 전류의 영점통과 부근의 파형이 현저히 왜곡되어 있음을 볼 수 있는데 이것이 그림 12(b)의 보상후 파형에서는 거의 나타나지 않고 있다. 이와 함께 전류의 크기도 증가하였는데 이는 물론 앞서 설명한 기본파 전압의 크기가 감소하는 효과가 제거되었기 때문이다.

4. 결 론

PWM인버터에서 스위칭시간의 지연은 기본파전압의 크기 감소와 파형의 왜곡, 특히 저차 고조파의 발생이라는 좋지 않은 영향을 미친다. 이 영향은 출력전류의 방향과 관련지어져 나타난다. 본 연구에서는 매 펄스당 시간지연의 효과를 전체적으로 평균하여 나타냄으로써 간단한 형태로 수식화시켜 표현할 수 있음을 보였고 여기서 얻어진 해석적 결과가 타당함을 컴퓨터 시뮬레이션을 통해 확인하였다.

시간지연의 효과를 보상하기 위한 두 가지의 방법, 즉 변조파형을 변형시키는 방법과 논리회로로 스위칭 신호를 직접 변형시키는 방법이 제안되었다. 두 가지 다 전류의 궤환을 사용하며 전자는 정현파 PWM방식에 적합하고 후자는 기억소자 등을 사용하는 오프라인 제어에 적합하다. 물론 논리회로에 의한 방식을 정현파 PWM에 적용하여도 무방하다.

본 논문에서 제시한 보상방법은 구현이 용이하고 기존의 회로에 약간의 개선을 가함으로써 쉽게 적용할 수 있다. 실험을 통하여 두 방식 모두 스위칭 시간지연의 영향을 보상하는 데에 효과가 있음을 확인하였다.

본 연구는 한국과학재단의 지원 아래 목적기초연구과제의 일부로 수행되었음

참 고 문 헌

[1] R.L. Bonkowski, "A technique for increasing power transistor switching frequency," *IEEE Trans. on Industry Applications*, vol. IA-22, no. 2, pp. 240~243, March/April, 1986.

[2] A. Schonung and H. Stemmler, "Static frequency changers with subharmonic control in conjunction with reversible variable speed a. c. drives," *Brown-Bovery Review*, vol. 51, pp. 555~577, Aug/Sep. 1964.

[3] H.S. Patel and R.G. Hoft, "Generalized techniques of harmonic elimination and voltage control in thyristor inverters: part I-harmonic elimination," *IEEE Trans. on Industry Applications*, vol. IA-9, pp. 310~317, May/June 1973.