

위상제어정류기의 직접 디지털제어

Direct Digital Control of the Phase-Controlled Rectifier

宋 義 鎬* · 權 鳳 煥**
(Eui-Ho Song · Bong-Hwan Kwon)

요 약

6-펄스 위상제어정류기를 사용한 전류원의 직접 디지털 제어방식이 제시된다. 제안된 디지털 위상 추적 점호방식은 입력전원의 위상정보없이 출력전압과 입력명령의 오차 전압으로 직접 점호펄스를 발생시킨다. 따라서 위상검출용 변압기와 필터 및 제로크로싱 검출기가 필요없게 된다. 동기현상의 모델과 해석이 제시된다. 또한 제안된 소프트웨어 동기 알고리즘은 룩업테이블을 사용하지 않으며, 빠른 동특성을 가지고 시스템을 실시간으로 제어한다. 본 논문에서는 단일칩 마이크로프로세서 8097 BH를 사용하여 최소의 하드웨어 구조로서 위상제어정류기의 직접 디지털제어를 실현하였다. 또한 전류제어를 위해 시간비중성능지수를 사용한 최적 디지털 IPM제어기법이 제시된다.

Abstract- A direct digital control technique of a current source using the phase-controlled rectifier is presented. A digital firing technique without sensing the line voltage is proposed. This scheme generates firing pulses directly from error signal between command and output voltage. Thus the phase detection transformers, filters and zero-crossing detector are unnecessary. The synchronism is modeled and analyzed. Also a software synchronization algorithm is presented without a lookup table and controls the system in real time with fast dynamic characteristics. Using the single-chip microprocessor 8097BH, the direct digital control is implemented with minimal hardware structure. Using the time-weighted performance index, the optimal discrete IPM control technique is also proposed to control the current of the PCR.

1. 서 론

싸리스터를 사용한 위상제어정류기(Phase-

*正 會 員 : 浦項工大 大學院 電子電氣工學科 博士
過程

**正 會 員 : 浦項工大 電子電氣工學科 助教授 · 工博
接受日字 : 1990年 5月 18日
1次修正 : 1990年 11月 5日

Controlled Rectifier : PCR)는 현재 산업계에서 가장 널리 사용되고 있는 AC-DC전력변환 방식이다. 산업전자회로의 디지털화 추세는 컨버터 분야에서 예외가 아니며 산업계에서 많은 부분을 차지하는 DC모터의 정밀제어는 산업의 고도화에 필수적이 되고 있다. 현대적 DC모터의 전형적인 특징은 높은 전력 밀도와 낮은 아마츄어 인덕턴스를 가지

며, 이러한 DC모터의 정밀제어를 위해서는 보다 우수한 성능을 가진 전류제어기가 필요하다. 또한 PCR을 사용한 정밀 전류원은 DC모터 외에 정밀 자속제어 분야등에 직접적용 될 수 있다.

지난 수년간에 걸쳐 컨버터 제어회로의 설계에 관한 많은 논문이 발표 되었으나 [1~7], 기존의 디지털 PCR에 관한 논문은 대부분 위상검출용 변압기로부터 입력전원의 파형을 검출하여, 출력점 호신호와 입력전원의 위상을 동기시키는 cosine-crossing 방식이나 또는 PLL(Phase-Locked Loop)방식을 사용하였으며 [2~5]. 이로 인해 위상검출용 변압기와 필터 및 제로크로싱 검출기(zero-crossing detector)등 여분의 하드웨어가 필요하게 되었다. 또한 코사인 파형과의 비교를 위해 룩업테이블(lookup table)이 필요하며 결국 ROM크기의 확장을 초래했다.

VLSI회로의 가격이 점점 떨어짐으로서 제어회로에서 강력한 마이크로프로세서의 사용이 점차 확대 되고 있다. 마이크로프로세서의 사용은 시스템의 융통성과 신뢰성을 향상시키며 특히, 단일 칩 마이크로프로세서를 사용하면 고신뢰도를 얻을 수 있을 뿐만 아니라 제품이 소형화되고 경량화되며 가격이 저렴해진다.

본 논문에서는 그림 1과 같이 단일 칩 마이크로프로세서 8097BH를 사용한 위상제어 정류기의 직접 디지털 제어기법이 제시된다. 제안된 디지털 위상추적 점호방식(digital phase-locked firing scheme)은 입력전원의 파형을 검출하지 않고 직

접 출력전압과 입력명령의 오차전압으로 점호펄스를 발생시키므로 최소의 하드웨어 구조로서 시스템을 구현하게 된다. 또한 제안된 점호방식에 의해 발생하는 점호펄스는 룩업 테이블없이 실시간으로 제어되며 빠른 동특성을 나타낸다.

시스템의 전체제어루프는 내부전압제어루프와 외부전류제어루프로 나누어지고, 전압제어루프에서는 디지털 위상추적 점호방식에 따른 PCR의 모델링과 해석이 다루어진다. 전류제어루프는 시간비중 성능지수를 최소화하는 최적 디지털 IPM(integral, proportional and measurable variable feedback)제어방식을 사용하여 설계된다[8]. 또한 전체시스템 제어를 위한 소프트웨어 알고리즘과 실험결과가 제시된다.

2. 위상제어정류기의 내부전압제어루프

Cosine wave crossing점호방식과 PLL을 이용한 위상제어정류기의 점호방식은 입력전원과 점호펄스를 동기시키기 위해 입력전원의 위상정보를 필요로 하며 이로 인해 전체시스템의 부피가 증가하고 비경제적이다. 반면 본 논문에서 제시하는 위상추적 점호방식은 임출력간의 오차전압에 적당한 이득을 가하여 싸리스터를 켜줄 시간간격을 결정한다. 이러한 시간간격으로 인터럽트를 발생시키며, 매 인터럽트 발생시 연속적으로 싸리스터를 점호하여 점호펄스와 입력전원을 자동적으로 동기시키므로. 동기를 위해 입력전원의 위상정보를 필요로 하지 않는다. 이러한 점호펄스와 입력전원과의 자동적 동기현상은 위상제어정류기 자체의 주파수와 位相각(점호각)사이의 가상적인 적분기능

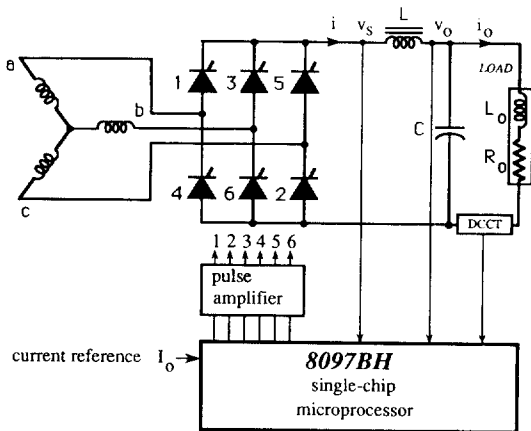


그림 1 전류원용 디지털 위상제어정류기의 시스템 구성도.

Fig. 1 System configuration of a current source using the digital PCR.

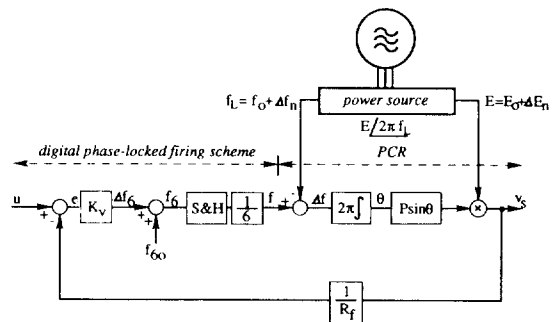


그림 2 위상제어정류기와 디지털 위상추적 점호방식의 모델.

Fig. 2 Model of the PCR and digital phase-locked firing scheme.

에 의해 빠른 동특성을 가지고 이루어진다.

내부전압제어루프는 외부전류제어루프에 비해 빠른 동특성을 가지며, 본 절에서는 내부전압제어 루프를 형성하는 디지털 위상추적 점호방식에 대해 설명한다. 마이크로프로세서와 싸리스터블럭으로 구성된 전압제어루프의 모델이 그림 2에 제시되어 있다. 여기서 K_V 는 V-F 변환이득을 나타내고, S&H(Sample and Holder)의 지연시간은 인터럽트 시간간격을 나타내며 $1/f_\sigma$ 로서 지연시간은 변한다. 이때 f_σ 는 정상상태의 선로 주파수 f_0 의 6 배를 나타낸다. $2\pi f$ 은 주파수와 위상각 사이의 적분 관계를 나타내는 가상적인 적분기를 표시한다. 입력전원은 선간전압의 크기 E 와 주파수 f_L 로 규정되며 Δf_m 과 ΔE_m 은 주파수와 전압의 변동분을 지시한다. 이때 위상제어정류기의 평균출력전압은 다음과 같다.

$$V_{avg} = EP \sin \theta \quad (1)$$

단, P 는 $(M/\pi)\sin(\pi/M)$ 이며 M 은 펄스수 6을 나타낸다.

내부루프의 동작을 설명하기 위해 오차전압 $e=0$ 로 두고 정상상태 동작을 살펴보자. 이때 $f_\sigma = f_{\sigma 0} = 360\text{Hz}$ 가 되고 S&H의 지연시간은 $1/f_{\sigma 0}$ 초가 된다. 마이크로프로세서의 출력단자 6개중 한 단자의 주파수 f 는 60Hz 로서 전원주파수 f_L 의 변동이 없다면 오차주파수 $\Delta f = 0$ 가 되어 위상각 θ 는 일정한 상태를 유지하게 되고 평균출력전압 $V_{avg} = EP \sin \theta$ 의 직류값을 유지한다. 부하의 변동이나 입력명령 u 의 변동으로 인해 오차전압 e 가 발생하면 주파수 중분 Δf_σ 를 변동시켜 새로운 f_σ 를 형성한다. S&H의 지연시간이 끝나는 순간 즉, 인터럽트가 발생하면 지연시간 $1/f_\sigma$ 에 해당하는 값으로 다음 인터럽트 시간이 결정되고 보정된 위상각에서 싸리스터를 점호한다. S&H에 의한 지연시간을 무시하고 위상추적 현상에 의해 출력전압이 입력전압을 추적해나가는 방식을 살펴보자. 이때 싸리스터의 점호주파수는 f 는

$$f = \frac{f_{\sigma 0} + \Delta f_\sigma}{6} \quad (2)$$

으로 되며 전원주파수 $f_L = f_0 = f_{\sigma 0}/6$ 일때 위상각은 다음과 같다.

$$\begin{aligned} \theta(t) &= \theta_0 + 2\pi \int_0^t \Delta f(\tau) d\tau \\ &= \theta_0 + \frac{2\pi K_V}{6} \int_0^t e(\tau) d\tau \end{aligned} \quad (3)$$

두번째항은 빠른 동특성을 가진 내부루프의 작용에 의해 0으로 수렴하게 되며 결론적으로 출력전압 V_σ 의 평균값은 입력명령 u 를 추적한다.

3. 시스템모델 및 제어기설계

3.1 시스템모델

출력전류제어를 위한 외부루프의 모델이 그림 4에 나타나 있다. 전체시스템을 나타내는 그림 1을 함께 고려하자. PCR출력전류 i 는 연속이며 시스템은 유도성부하를 가졌다고 가정한다. 내부루프는 PCR의 출력전압제어가 목적이며 외부루프는 출력전류제어가 목적이다. 외부루프의 동특성은

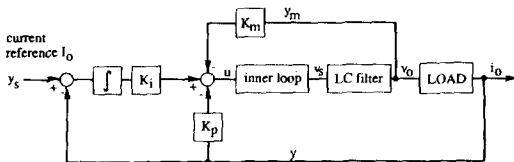


그림 3 디지털 IPM 외부전류제어루프의 구조.
Fig. 3 Configuration of the digital IPM outer current control loop.

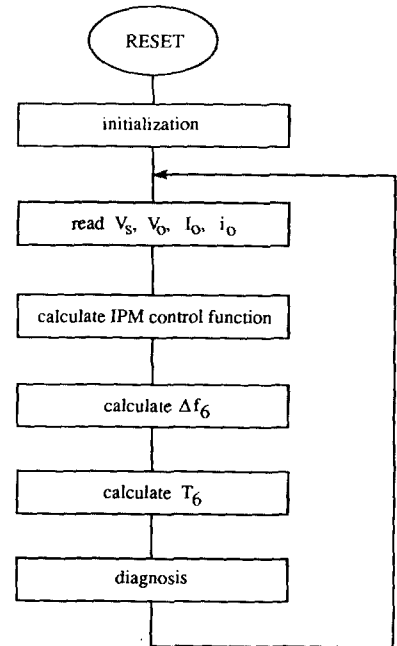


그림 4 주루틴.
Fig. 4 Main routine.

LC필터의 크기에 의해 좌우되며 출력단에서 양호한 직류파형을 얻기 위해 대체로 큰 LC값을 사용하므로 외부루프의 동특성은 내부루프의 동특성보다 훨씬 느리게 되고 전체시스템의 동특성은 외부루프에 의해 결정된다. 그러므로 출력전류제어를 위해 외부루프를 설계할때 내부루프의 동특성을 무시할 수 있다.

부하전류 $i_0(=y)$ 의 평균값 $I_0(=y_s)$ 가 계단과임력(step input)의 형태로 외부루프의 전류입력명령(current reference)에 가해지면, 부하전류는 정상상태에서 오차없이 입력전류를 추적해야 하며, 동시에 응답특성은 오우버슈트(overshoot)와 settling time이 적어야 한다. 이러한 요구사항을 잘 만족하며 간단한 구조를 가진 제어기로서 디지털적분비례추정(IPM) 제어기를 사용한다. 이때 내부루프의 제어입력 u 는 다음과 같이 주어진다.

$$\begin{aligned} u(k) &= -K_i z(k) - K_p y(k) - K_m y_m(k) \\ u_s &= -K_i z_s - K_p y_s - K_m y_{ms} \end{aligned} \quad (4)$$

여기서

$$\begin{aligned} z(k) &= z(k-1) + T \cdot \{y(k-1) - y_s\} \\ z(-1) &= 0, y(-1) - y_s = 0 \end{aligned} \quad (5)$$

이고, T 는 샘플시간간격을 나타내며, 부하전류 $y(k)$ 가 입력명령 y_s 를 따라가도록 한다. 이랫첨자 s 는 정상상태를 나타낸다. 인덕터부하를 고려하여 상태변수벡터를 다음과 같이 선택한다.

$$x(k) = \begin{bmatrix} v_0(k) \\ i_0(k) \\ i_l(k) \end{bmatrix} \quad (6)$$

이때, 상태방정식은 다음과 같이 얻어진다.

$$\begin{aligned} x(k+1) &= A_1 x(k) + B u(k) \\ y(k) &= C_0 x(k) \\ y_m(k) &= C_m x(k) \end{aligned} \quad (7)$$

여기서,

$$\begin{aligned} A &= \exp(G \cdot T) \\ B &= \int_0^T \exp(G \cdot \xi) d\xi \cdot H \\ C_0 &= [0 \quad 1 \quad 0] \\ C_m &= [1 \quad 0 \quad 0] \end{aligned}$$

단,

$$G = \begin{bmatrix} 0 & -1/C & 1/C \\ 1/L & -R_0/L & 0 \\ -1/L & 0 & 0 \end{bmatrix}, \quad H = \begin{bmatrix} 0 \\ 0 \\ R_f/L \end{bmatrix}$$

이다. 여기서 R_f 는 내부루프의 이득을 나타내고

R_0 와 L_0 는 유도성 부하의 직렬저항 및 인덕턴스이며 L 과 C 는 2차저역통과 필터단을 구성한다.

3.2 최적제어 이득 결정

정상상태에서 상태변수의 오차값이 0이 되도록 하기위해 다음과 같이 오차변수(error variables)를 정의한다.

$$\begin{aligned} \Delta x(k) &= x(k) - x_s, \Delta u(k) = u(k) - u_s \\ \Delta y(k) &= y(k) - y_s, \Delta y_m(k) = y_m(k) - y_{ms} \\ \Delta z(k) &= z(k) - z_s \end{aligned} \quad (8)$$

이때, 식(7)은

$$\begin{aligned} \Delta x(k+1) &= A \Delta x(k) + B \Delta u(k), \\ \Delta x(0) &= -x_s \\ \Delta y(k) &= C_0 \Delta x(k) \\ \Delta y_m(k) &= C_m \Delta x(k) \\ \Delta z(k+1) &= \Delta z(k) + T \cdot C_0 \Delta x(k), \\ \Delta z(0) &= -z_s \end{aligned} \quad (9)$$

가되며, 여기서 $\Delta z(k)$ 와 $\Delta x(k)$ 를 사용하여 새로운 상태변수벡터 $w(k)$ 를 다음과 같이 정의하면

$$w(k) = \begin{bmatrix} \Delta z(k) \\ \Delta x(k) \end{bmatrix} \quad (10)$$

상태방정식은 다음과 같이 된다.

$$w(k+1) = F w(k), w(0) = \begin{bmatrix} -z_s \\ -x_s \end{bmatrix} \quad (11)$$

단,

$$\begin{aligned} F &= \bar{A} - \bar{B} \bar{K} \bar{C} \\ \bar{A} &= \begin{bmatrix} I & T \cdot C_0 \\ 0_{3 \times 1} & A \end{bmatrix}, \bar{B} = \begin{bmatrix} 0 \\ B \end{bmatrix} \\ \bar{K} &= [K, K_p, K_m] \\ \bar{C} &= \begin{bmatrix} I & 0_{1 \times 3} \\ 0 & C_0 \\ 0 & C_m \end{bmatrix} \end{aligned}$$

이때 $w[k]$ 의 초기조건은 다음과 같다.

$$\begin{bmatrix} x_s \\ u_s \end{bmatrix} = \begin{bmatrix} A - I_n & B \\ C_0 & 0 \end{bmatrix}^{-1} \begin{bmatrix} 0 \\ y_s \end{bmatrix} \quad (12)$$

$$w(0) = \begin{bmatrix} (1/K_i)(u_s + K_p y_s + K_m y_{ms}) \\ -x_s \end{bmatrix} \quad (13)$$

최적제어 이득을 얻기위해 다음과 같은 성능지수를 사용하자.

$$J = \sum_{k=0}^{\infty} \{k^N \Delta y^T(k) q \Delta y(k) + \Delta u^T(k) r \Delta u(k)\} \quad (14)$$

여기서 $q \geq 0, r > 0$ 이며, 이러한 시간비중 성능지수 (time-weighted performance index)는 과도상태의 출력오차를 적게하여 입력의 크기를 제한하는 형태로 되어 있으며 과도 상태의 지속되는 출력오차에 대해서 보다 중요시하는 특징이 있고, 시간비중의 정도를 나타내는 N 의 증가에 따라 출력응답 특성은 보다 감쇠(damping)가 커진다. 여기서 제어기의 설계는 시간비중성능지수를 최소화하는 제어기의 상수이득 K_i, K_p, K_m 을 찾는 것이다. 상태벡터 $w(k)$ 를 사용하면 성능지수 (14)는 다음과 같이 표시된다.

$$J = \sum_{k=0}^{\infty} w^T(k)(k^N \bar{Q} + \bar{R})w(k) \quad (15)$$

여기서 \bar{Q} 는 positive semidefinite, \bar{R} 은 positive definite하며 다음과 같다.

$$\bar{Q} = \begin{bmatrix} 0 & 0_{1 \times 3} \\ 0_{3 \times 1} & C_0^T q C_0 \end{bmatrix}, \bar{R} = \bar{C}^T \bar{R}^r r \bar{K} \bar{C}$$

이제, [8]의 방법을 사용하면 디지털 IPM 제어이득이 성능지수 (15)에 대하여 최적이 되기 위한 필요조건은 다음과 같이 주어진다.

$$\begin{aligned} \frac{dJ}{dK} &= 2R\bar{K}\bar{C}L_{N+1}\bar{C}^T \\ &- 2\bar{B}^T \left(\sum_{k=1}^{N+1} P_k F L_{i+r} \sum_{r=1}^i \sum_{r=1}^i \right. \\ &\quad \left. N-i+r C_r P_{i+1-r} F L_{i+1} \right) \bar{C}^T \\ &- (2/K_i) [1, 0_{1 \times 3}] P_{N+1} \\ &\quad \begin{bmatrix} z_s \lambda_s^T C^T, z_s z_s^T, z_s \lambda_s^T C_m^T \\ x_s \lambda_s^T C^T, x_s z_s^T, x_s \lambda_s^T C_m^T \end{bmatrix} \\ &= 0 \end{aligned} \quad (16)$$

여기서 P_i 및 L_i 는 다음과 같은 순환방정식 (recursive equation)을 만족한다.

$$F^T P_i F - P_i = -\bar{Q} \quad (17-a)$$

$$F^T P_{i+1} F - P_{i+1} = - \sum_{r=1}^i N-i+r C_r F^T P_{i+1-r} F \quad (i=1, \dots, N) \quad (17-b)$$

$$F^T P_{N+1} F - P_{N+1} = - \sum_{r=1}^N F^T P_{N+1-r} F - \bar{R} \quad (17-c)$$

$$F L_j F^T - L_j = - \sum_{r=0}^{N-j} N_{j+1-j} C_r F L_{N+1-r} F^T \quad (j=1, \dots, N) \quad (18-a)$$

$$F L_{N+1} F^T - L_{N+1} = -w(0)w^T(0) \quad (18-b)$$

최적제어이득을 사용하였을 때 성능지수 J 는 다음과 같다.

$$J = w^T(0)P_{N+1}w(0) \quad (19)$$

4. 소프트웨어 알고리즘

단일칩 마이크로프로세서 8097BH를 사용함으로써 최소의 하드웨어 구조와 낮은 비용으로 디지털 위상제어정류기를 구현할 수 있으며, 급속한 VLSI제작 기술의 발전은 단일칩 마이크로프로세서를 보다 나은 성능과 보다 저렴한 가격으로 보급할 것이다.

디지털 위상제어정류기의 기능은 크게 진단기능과 제어기능으로 나눌 수 있다. 진단기능에서는 과전류와 과열등의 신호를 부하로부터 검출하여 시스템의 보호기능과 모니터링을 한다. 제어기능에서는 외부루프에서 결정된값을 내부루프에서 처리하여 연속적인 출력점호신호를 발생시키는 인터럽트단의 입력을 제공한다. 디지털 점호방식에서는 인터럽트 사이클에서 점호펄스를 제어할 수 있으므로 아날로그 점호방식에 비해 응답특성이 1펄스 만큼 느리게 된다.

4.1 주루틴

시스템의 제어와 진단을 담당하는 주 루틴이 그림 5에 나타나 있다. 주 루틴에서는 시스템의 리셋이후 초기화 루틴을 수행한뒤 주 루프를 실행한다. 주 루프에서 먼저 외부루프와 내부루프를 형성하는 입력정보를 읽는다. 외부루프의 입력정보에 IPM제어기의 최적제어이득을 곱하여 내부전압 제어루프의 입력 u 를 구한다음 $1/R_r$ 의 이득으로

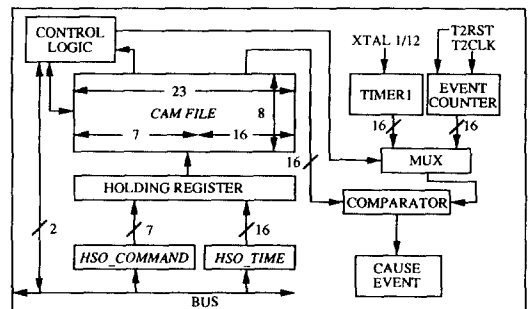


그림 5 High Speed Output unit의 구조.
Fig. 5 Configuration of the High Speed Output unit.

제한된 PCR의 출력전압 v_s 와 u 의 오차 e 에 내부 루프이득 K_o 를 곱해서 주파수증분 Δf_o 를 구한다. 정상상태의 인터럽트 주파수 360Hz와 주파수증분 Δf_o 를 더해 역수를 취하여 인터럽트 시간간격 T_o 를 구한다. 시스템진단을 마친뒤 다시 입력정보를 읽는 주 루프를 형성한다.

4.2 인터럽트 루틴

주 루프에서 계산된 정보를 이용해 연속적인 점호펄스를 발생시키는 인터럽트 루틴은 빠르고 효과적인 제어를 위해 단일 칩 마이크로프로세서 8079BH에 내장된 HSO(High Speed Output)를 사용한다. 그림 6과 그림 7에 HSO의 구조와 인터럽트 루틴이 각각 나타나 있다. HSO는 타이머와 CAM(Content Addressable Memory)파일로 구성된다. CAM파일은 작업명령(HSO-COMMAND)과 명령이 실행될 시간(HSO-TIME)을 8쌍 까지 저장할 수 있으며, 타이머의 시간이 CAM파일에 저장된 시간과 일치하는 순간 저장된 명령이 실행된다. 인터럽트 루틴의 시작과 동시에 CAM 파일 속에 저장 되어있던 직전 인터럽트 과정에서 결정된 싸리스터를 켜워, 주 루틴에서 구한 T_o 를 이용

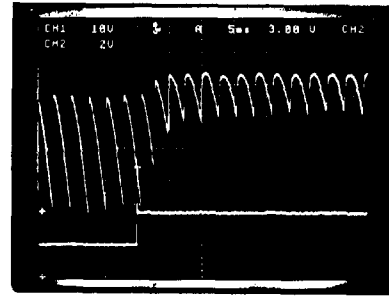


그림 7 내부전압제어루프의 과도특성.
Fig. 7 Transient response of the inner voltage control loop.

해서 다음 인터럽트 시간을 결정하여 인터럽트 명령과 발생시간을 CAM파일에 저장한다. 인터럽트 루틴의 시작과 동시에 켜진 싸리스터의 점호신호가 꺼질 시간을 결정하고 또한 다음 인터럽트 발생시에 켜질 싸리스터를 결정한다. 결정된 싸리스터와 ON/OFF시간을 CAM파일 속에 저장하고 인터럽트 루틴을 빠져 나온다.

5. 실험결과

식 (14)에서 비중인자(weighting factor) q 와 r 을 다음과 같이 정의한다.

$$q = (1/t_r)^N = (1/0.02)^N, r = 10$$

여기서 t_r 은 예상되는 상승시간(rise time) 뒤에 계속되는 출력오차에 대해 상대적으로 더 큰 비중을 고려한 것이며, r 은 제어입력 u 가 적당한 범위에 들어가도록 선택된다. 시스템 파라미터(parameters)는 다음과 같다.

(내부전압제어루프) $E = 50[V]$, $P = 3/\pi$, $R_f = 10$, $K_v = 72$

(LC필터) $L = 2.5180[mH]$, $C = 20000[\mu F]$

(부하) $L_o = 2.5657[mH]$, $R_o = 1[\Omega]$

그림 1의 시스템에서 내부 전압제어루프에 대한 실험이 이루어졌으며, 계단파 전압명령 20[V]-40[V]의 과도 응답특성이 그림 7에 나타나 있다. 예상대로 내부 전압제어 루프의 다이내믹스는 현저하게 빠르며, 외부 전류제어루프에서 무시 할 수 있다.

전류제어기의 설계시 다음 성능지수가 사용된다.

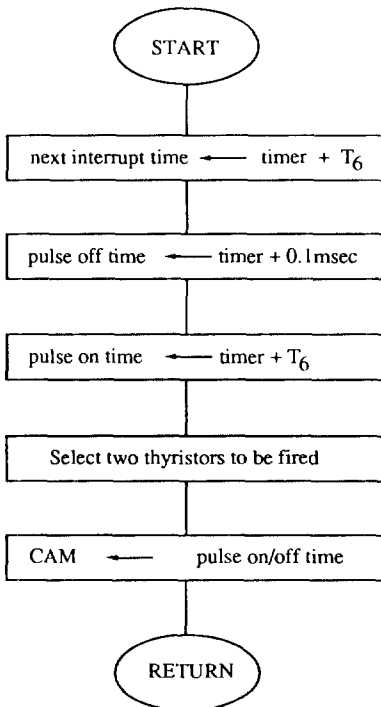


그림 6 인터럽트 루틴.
Fig. 6 Interrupt routine.

Ⅱ 1 디지털 IPM 전류제어기의 최적제어이득과 과도성능

Table 1 Optimal control gains and transient performance for the discrete IPM current controller.
($k_r=7$: about 20[msec], $r=10$)

time index N	optimal control gains			settling time [msec]	percent maximum overshoot [%]
	K_i	K_p	K_m		
0	129.20659	-1.15835	1.90664	32.0	18.515
2	48.00361	-0.46753	0.82185	33.6	5.531
5	32.83186	-0.36636	0.63655	17.9	3.272

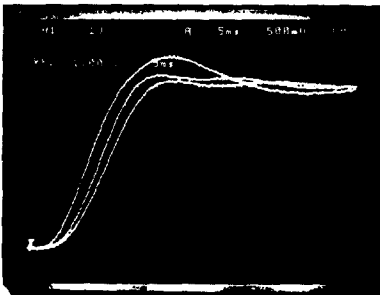


그림 8 부하전류 $i_0(t)$ 의 과도응답,
Fig. 8 Transient responses of the load current $i_0(t)$

$$J = \sum_{k=0}^{\infty} \{ (k/k_r)^N \Delta y^2(k) + r \Delta u^2(k) \} \quad (20)$$

이때 \bar{Q} 는 diag. (0, 0, 0, $1/k_r^N$)이다. 이러한 식에서 k_r 은 주어진 시간 k_r 이후에 지속되는 출력 오차에 상대적으로 큰 비중을 가한다. 실제 IPM 이득을 구할때, 비중인자 N 은 적절한 감쇠를 주도록 선정되며 r 은 외부루프의 케환에서 결정된 최대 입력전압 범위를 초과하지 않도록 조절된다. 제안된 알고리즘으로 부터 sampling time 2778 μ sec에서 N 이 0, 2, 5에 대한 최적 IPM 제어이득이 표1에 나타나있다. 시간 비중 성능지수 ($N=5$)에 대한 출력의 5% settling time은 진동성분 (oscillatory response)을 포함하는 기존 2차 성능지수 ($N=0$)보다 우수하다. 전류제어루프를 포함한 전체 시스템에서 계단파 입력전류명령 30[A]에 대한 실험결과가 그림 8에 나타나있다.

6. 결론

본 논문에서는 최소의 하드웨어 구조를 가진 위상제어정류기를 제안하였으며, 이러한 위상제어

정류기를 사용한 전류원의 직접 디지털제어 기법을 제안하였다. 제안된 위상추적 점호방식은 입력 전원의 위상정보없이 직접 점호펄스를 입력주파수와 동기시킬 수 있다. 또한 제안된 소프트웨어 알고리즘은 빠른 개루프(open loop) 제어특성을 가지면서 실시간 제어가 가능하다.

전류원의 설계를 위하여 시간비중성능지수를 사용한 최적 디지털 IPM 제어기법을 제시하였으며 또한 실험결과가 제시되었다.

참 고 문 헌

[1] J.D. Ainsworth, "The phase-locked oscillator - A new control system for controlled static converters," *IEEE Trans. Power. App. Syst.*, vol. PAS-87, pp. 859~865, Mar. 1968.

[2] S. B. Dewan and William G. Dunford, "A microprocessor-based controller for a three-phase controlled rectifier bridge," *IEEE Trans. Ind. Appl.*, vol. IA-19, pp. 113~119, Jan./Feb. 1983.

[3] A. Mirbod and A. El-Amawy, "A general-purpose microprocessor-based control circuit for a three-phase controlled rectifier bridge," *IEEE Trans. Ind. Electron.*, vol. IE-33, pp. 310-317, Aug. 1986.

[4] A. El-Amawy and A. Mirbod, "An efficient software-controlled PLL for low-frequency applications," *IEEE Trans. Ind. Electron.*, vol. 35, pp. 341~343 Mar. 1988.

[5] J.L. Duarte, J.F. Aubry, and C. Iung, "Current and speed digital control of commutationless dc drives," *IEEE Trans. Ind. Electron.*, vol. 36, pp. 480~484, Nov. 1989.

[6] Nisit K. De and Satyabroto Sinha, "Mi-

- crocomputer as a programmable controller for state feedback control of a dc motor employing thyristor amplifier," *IEEE Trans. Ind. Appl.*, vol. IA-21, pp. 571~579, May/June 1985.
- [7] Fang L. Luo and Roland J. Hill. "Fast response and optimum regulation in digitally controlled thyristor converters," *IEEE Trans. Ind. Appl.*, vol. IA-22, pp. 10-17, Jan./Fed. 1986.
- [8] B.H. Kwon., M.J. Yoon. and Z.N. Bien, "Optimal constant feedback with time-multiplied performance index for discrete-time linear systems," *IEEE Trans. Automat. Contr.*, vol. AC-30, pp. 497~499, May 1985.
- [9] B.K. Bose, *Power Electronics and AC Drivers*. Englewood Cliffs, N.J. : Prentice-Hall, 1986.
- [10] J.L. Kuester and J.H. Mize, *Optimization Technique with Fortran*. New York : MacGraw-Hill, 1974.
- [11] E.H. Song and B.H. Kwon. "A current source using the 12-pulse phase-controlled rectifier," *KIEE Trans.*, vol. 39, pp. 545~556, June 1990.
- [12] *Intel Embedded Controller Handbook*, Intel Corp., 1987.