

전자·전기분야 특허출원 공고안내 (제72회)

(참고자료 : 「특허공보」, 특허청발행)

공고번호	발행 호수	발명의명칭	출원번호	출원인	
				국명	성명 또는 명칭
89-4381	1680	발광 다이오드 구동 집적회로	87-5521	한국	삼성전자(주)
4404	1681	마이크로 컴퓨터	84-4104	일본	후지쓰 가부시끼 가이샤
4438	1682	중간조 화면정보의 부호화 전송방식	85-2588	일본	가부시끼 가이샤 도오시바
4454	1683	논리회로	85-1065	일본	후지쓰 가부시끼 가이샤
4472	1684	CMOS 집적회로	85-281	일본	마쯔시다 덴기 가부시끼 가이샤
4551	1687	인쇄회로 기판 착탈 시스템 및 방법	85-266	일본	후지쓰 가부시끼 가이샤
4654	1691	비교기 회로	84-8424	일본	후지쓰 가부시끼 가이샤
4675	1692	ECL 게이트 어레이	84-7548	일본	후지쓰 가부시끼 가이샤

발명의 상세한 설명

4381) 발광 다이오드 구동 집적회로

본 발명은 발광 다이오드를 직렬방식으로 구동하는 것과 발광 다이오드가 신호의 크기에 따라 서서히 변화하는 현상을 제거하는 회로를 집적화 한 것에 관한 것이다.

종래의 발광 다이오드 구동회로에 있어서는 발광 다이오드를 병렬로 구동하는 시스템으로 되어있어 전력소모가 중요시 되는 기기에서 발광 다이오드의 갯수에 제한을 받게되며 발광 다이오드의 갯수에 비례하여 전류가 증가하게 되어 있다. 또 발광 다이오드가 온(ON)되는 경우에 신호의 크기에 따라서 그 밝기가 서서히 증가하게 되는 문제가 있었다.

이에 본 발명에서는 상기한 문제점들을 해결하기 위하여 안출한 것으로서, 직렬방식으로 발광 다이오드를 구동하는 회로 및 시스템과 컴퓨터의 비이상적인 특성을 보완하여 스위칭이 이상적으로 이루어질 수 있는 회로를 집적화된 형태로 제공하는데 목적을 두고 있다.

4404) 마이크로 컴퓨터

본 발명은 리셋트 명령으로 동작하는 마이크로 컴퓨터, 특히 전원 레벨이 상승할 때 뿐만 아니라

하강하는 동안에도 리셋트 동작을 효율적으로 수행할 수 있는 마이크로 컴퓨터에 관한 것이다.

마이크로 컴퓨터(이하 컴퓨터라 칭함)가 소망의 작업(job) 수행을 개시할 경우 전원이 처음으로 인가될 때 특히 전원이 상승하는 동안에 일반적으로 리셋트 동작을 필요로 한다. 이런 동작은 컴퓨터를 초기화시킨다.

이런 리셋트 동작을 수행하기 위하여 컴퓨터는 통상적으로 외부 리셋트 단자를 구비하고 있다. CR (capacitor-resistor) 회로 등과 같은 외부 리셋트 회로는 외부 리셋트 단자와 연결된 단자에 접속된다.

최근의 경향은 전원이 차단될 때, 특히 전원 레벨이 하강하는 동안에 유사한 리셋트 동작을 실행하기 위한 것이다.

오동작은 전원 레벨이 하강하는 동안 특히 전원 레벨이 컴퓨터의 허용된 하한치 예컨대 4.5v (5v-0.5v) 이하로 떨어질 때 흔히 발생한다.

특이한 경우 컴퓨터는 전혀 다른 루틴(routine)으로 점프(jump)하거나 제어를 벗어날 수도 있다.

중전기술은 전원 레벨의 상승과 하강을 위하여 리셋트 동작을 위한 종래의 부가적 외부 리셋트 회로들을 사용해 왔다. 즉 컴퓨터에 종래의 부가적 회로들이 관련단자에 장착되었다. 현재 사용하는 외부

리세트 회로는 컴퓨터와 크기가 거의 동일하다. 따라서 컴퓨터의 크기를 증가시킨다. 극소형 시스템 예컨대 전자 카메라 시스템 등에서 그런 넓은 공간을 사용할 수 없다.

본 발명의 목적은 부가적인 외부 리세트 회로를 사용하지 않고 전원(power)레벨이 상승하고 하강하는 동안에 리세트 동작을 수행할 수 있는 마이크로 컴퓨터를 제공하는데 있다. 상기 목적은 종래의 전원차단(power-off)명령의 발생과 근접한 타이밍, 즉 전원차단 명령의 발생의 전후에 내부 리세트 명령을 발생시키는 수단을 컴퓨터에 도입함으로써 이루어진다. 통상적인 외부 리세트 신호가 컴퓨터에 공급될 때에도 전원차단 명령신호와 다른 출력신호를 그대로 유지시키기 위하여 상기 리세트 명령을 발생시키기 위한 수단과 협력하는 또 다른 수단을 채용함이 바람직하다.

4438) 중간조 화면정보의 부호화 전송방식

본 발명은 중간조 화면정보(中間調 畫面情報)에 대하여 그 용장도(用長度)를 억압한 부호로 변화시켜 전송하는 중간조 화면정보의 부호화 전송방식을 개선시킨 것에 관한 것이다.

근래에는 아날로그 형태의 화면신호를 중간조의 화면정보를 포함한 형태의 디지털 신호로 변환시키는 방법으로서 디저(dither)법이 주로 사용되고 있다. 상기 디저법은 중간조 화면성분은 포함하는 아날로그 신호를 디지털화 하는 과정에서, 랜덤(RANDOM) 또는 유사 랜덤의 함수에 의해 디지털을 판정하는 임계치를 변동시켜 입력화상의 농도에 대한 국소적 평균치에 대응하는 수의 휘점을 발생시키는 방법으로서, 예컨대 화상을 M(화소점)×N(주사선)으로 블록화 시킨 다음 이들 매 블록마다 각각의 화소에 서로다른 디지털 판정 레벨을 할당하여 상기 디지털 판정 레벨로 아날로그 화면신호를 디지털화 하므로써 휘점을 조직적으로 화상공간에 배치시켜 화상의 중간조를 표현한다.

4454) 논리회로

본 발명은 접합형 또는 쇼트키 베리어 게이트형 전계효과 트랜지스터(FET)에 의해 형성되는 인버터 회로와 같은 논리회로에 관한 것이다.

최근에 실리콘(Si)반도체 기판 대신에 갈륨 아세나이드(GaAs)를 이용하는 직접회로의 사용이 그들의 고속응답 특성으로 인해 널리 확산되고 있다. 그러나, GaAs기판의 사용은 여러가지 문제점을 유발시킨다. 예를 들어, MOS형 FET들의 제조가 어려우므로 결국 MOS FET들을 접합형이나, 쇼트키 베리어 게이트형 FET들로 대체해야만된다. MOS FET들을 현재 종래의 Si 기판에 광범위하게 사용된다. 왜냐하면, 이는 고양형 FET를 쉽게 제조할 수 있기 때문이다.

통상적으로, 공핍형이나 고양형 FET들은 논리 회로에서 광범위하게 사용되는 인버터 회로들에서 부하저항들로서 사용되나 고양형 FET는 주로 구동기 트랜지스터로서 더 사용된다. 접합형 FET는 보통 공핍형이다. 그러나, 접합형 FET는 그내의 불순물의 총량을 감소시켜 줌으로서 고양형 FET(엄격히 말하여 상시 오프형 FET)로 변환될 수 있다.

접합형 FET를 사용하는 논리회로의 설계나 제조시에 몇 가지 문제점들이 야기된다. 예를 들어(1) FET들의 임계전압($\pm 0.01V$)를 엄격히 제어할 필요가 있다. (2)논리진폭을 증가시킬 수 없다. 왜냐하면 장벽(built-in) 전압(GaAs) 쇼트키형 접합에서(0.7V) 보다 더 큰 손방향 전압이 게이트 접합에 인가될 수 없기 때문이다. 그러나, 접합형 FET의 사용은 다음과 같은 장점을 갖고 있다.

(1)논리진폭이 작기 때문에 전력소비가 작고 동작속도가 빠르게 되고, (2)반도체기판으로서 Si 이외의 재료를 사용하여 초고속 IC를 얻을 수 있다.

그러나, 이후 상세히 보이는 바와 같이, 접합형 FET에 의해 형성된 인버터 회로에서는 출력 레벨이 전원전압에 달려있고 입력과 출력간의 논리 레벨들이 조절될 때 전원전압을 증가시킬 수 없다. 그러므로, MOS FET와 동일한 특성을 얻을 수 없다.

본 발명의 목적은 상술한 단점들을 제거할 수 있는 접합형이나 쇼트키 베리어 게이트형 FET들에 의해 형성된 논리회로를 제공하는 데 있다.

본 발명의 또다른 목적은 MOS FET가 부하 FET의 게이트 전압범위를 제한시켜 사용되는 것과 동일한 특성을 갖는 논리회로를 제공하는데 있다.

본 발명의 또 다른 목적은 메모리셀 트랜지스터들을 파괴시키지 않는 비트라인 풀업회로(bit line pull-up circuit)를 갖는 메모리 회로를 제공하는데 있다.

4472) CMOS 집적회로

본 발명은 상보형금속산화물 반도체(CMOS) 집적회로에 관한 것으로, 특히 래치업 효과가 발생하지 않을 뿐만 아니라 고밀도 및 고집적화가 가능한 CMOS 집적회로에 관한 것이다.

근년에 들어, 집적회로는 밀도, 집적도 및 성능면에서 진보를 거듭해왔다. 이러한 진보발전을 가속화하기 위해서는, 집적회로를 구성하는 소자와 소자들간의 층을 미세화 할 필요가 있다. 즉, 소자 및 소자층의 크기를 감소시켜야 하는 것이다.

일반적으로 CMOS 집적회로는 동일한 반도체기판상에 형성된 P채널 및 N채널형 MOS트랜지스터로 구성된다. 이러한 구조 때문에 CMOS 집적회로 내에는 PNP형과 NPN형의 기생적 양극 트랜지스터를 형성시킨다. 기생적 양극 트랜지스터는 기생적 PNPN 구조, 즉 다이리스터 구조를 취한다. 이와 같은 CMOS 집적회로에 있어서는, 외부 노이즈나 전원회로상에서의 급격한 전압변화로 인하여 반도체기판에 전자 또는 홀이 발생한다.

전자 또는 홀은 다이리스터 구조의 기생적 양극 트랜지스터로 흘러가게 되고, 기생적 양극 트랜지스터는 통전된다. 그 결과, 다이리스터가 동작하고, 과도한 이상전류가 다이리스터를 통하여 흐르게 되어 CMOS 집적회로가 파괴되는 경우가 있다. 이 현상을 이른바 “래치업 효과”라 한다.

래치업 효과를 방지하기 위해서는, 통상적으로 가이드 밴드라 불리는 불순물확산층을 가이드 밴드가 MOS 트랜지스터를 둘러쌀 수 있도록 P채널형 MOS 트랜지스터간의 층에 형성시킨다. 그리하여 가이드 밴드는 P채널형 MOS 트랜지스터와 N채널형 MOS 트랜지스터간의 층을 전기적으로 분리하여 래치업 효과를 방지하게 된다.

그러나 가이드 밴드를 형성시키는 것은 CMOS 집적회로의 크기 또는 치수를 증가시키게 되어 CMOS 집적회로를 고밀도·고집적화하는데 지장을 가져온다.

따라서, 본 발명의 목적은 고밀도·고집적화가 가능할 뿐만 아니라 가이드 밴드를 사용하지 않더라도 래치업 효과가 발생하지 않는 CMOS 집적회로를 제공하는 것이다.

4551) 인쇄회로 기판 착탈 시스템 및 방법

본 발명은 인쇄배선판상에 전자부품들을 장치하기 위한 삽입기나 전자부품들이 설치된 인쇄회로기판의 회로기능을 검사하기 위한 검사기와 같은 처리장치로 인쇄회로기판들을 이송시키기 위한 착탈 시스템 및 방법에 관한 것이다.

본 명세서에서 “인쇄회로기판”은 전기 또는 전자부품들이 장치될 인쇄배선판과 전기 또는 전자부품들이 회로형성을 위해 이미 장치된 인쇄회로기판들을 말한다.

인쇄회로기판의 제조시에 인쇄회로기판들은 취급을 용이하게 하고 기판들을 보호할 수 있도록 한 공정으로부터 다음 공정으로 이송시키기 위한 매가진 속에 내장된다.

몇가지 공정에서, 착탈 시스템은 처리장치로 공급하기 위한 상가로부터 인쇄회로기판들을 꺼내며, 인쇄회로기판들이 처리된후 그 기판들은 그 장치로부터 다시 꺼내어 착탈 시스템에 의해 동일한 또는 다른 매가진 속에 넣는다.

인쇄회로기판 착탈 시스템에는 두 종류가 있다. 하나는 처리장치로부터 뽑아낸 인쇄회로기판이 새로운 매가진으로 이송되는 통과형이고, 다른 하나는 처리장치로부터 뽑아낸 인쇄회로기판이 원래의 매가진 속으로 되돌아가는 복귀형이다.

복귀형은 시스템의 설치공간면에서 통과형보다 좋다.

왜냐하면 복귀형은 장치에 의해 처리될 인쇄회로기판들을 넣어두는 매가진들을 축적시키기 위한 공간 이외에도 처리장치로부터 배출되는 인쇄회로기판들을 넣기 위한 텅빈 매가진들을 축적시키기 위한 공간이 필요하기 때문이다.

종래 기술에 의한 복귀형 착탈 시스템은 매가진 축적기 유니트와 착탈 유니트를 포함하고 있는데 매가진 축적기 유니트에서 다수의 매가진들은 콘베어 유니트상에 배열되며, 각 매가진속에 내장된 인쇄회로기판들은 착탈 유니트에 의해 하나씩 일련으로

처리장치로 공급되며 또한 처리후 각 매가진으로 복귀된다.

그러나, 종래의 복귀형 착탈 시스템은 구성이 복잡하고 인쇄회로기판의 처리장치로의 공급속도가 낮다.

또한 종래 시스템의 착탈 유니트는 매가진 축적기 유니트의 배열순서에 의해 순서적으로 매가진들을 처리한다.

따라서 자동으로 그 순서를 바꿀 수 없다. 그러므로 만일 처리장치에 의해 처리될 인쇄회로기판과 다른 것들을 내장하고 있는 매가진이 축적기 유니트내의 매가진들에 부주의로 섞여있을 경우 조작자는 시스템을 정지시키고 처리장치의 배열을 바꿔줌으로써 다른 매가진이 처리될 수 있고 또는 그것이 착탈 유니트에 도달할때 그 매가진을 제거할 수 있다. 그 시스템이 자동제어에 의해 작동될때 처리장치는 보통 그러한 매가진이 착탈 유니트에 도달할때 자동으로 정지하도록 설계되어 있다.

최근에 널리 증가추세에 있는 제조시간 단축에 있어서는 검사장치가 여러가지 검사들을 수행할 수 있어야만 한다.

인쇄회로 패턴이 바뀔 때마다 새로운 검사단계들과 기구들이 그 검사장치에 세트되어야만 한다.

말할 것도 없이 동일한 회로 패턴을 갖는 인쇄회로기판들을 계속하여 검사하는 것이 가장 좋다. 그러므로, 동일한 형의 인쇄회로기판을 포함하는 매가진들을 일련으로 배열하는 것이 바람직하다. 그러나 지금까지, 상이한 패턴들을 갖는 인쇄회로기판을 포함하는 매가진들은 착탈 시스템의 축적기 유니트로 무질서하게 공급되었다. 따라서 동일한 매가진들이 연속하여 검사장치로 공급되도록 축적기 유니트내의 매가진들을 그룹화할 수 있도록 하는 것이 바람직하다.

그러므로 본 발명의 목적은 구조가 간단하고 처리장치와 축적장치 사이에서 인쇄회로기판들을 효율적으로 이송시킬 수 있는 인쇄회로기판 착탈 시스템을 제공하는데 있다.

또 다른 목적은 처리장치가 동일한 처리동작을 연속적으로 수행할 수 있도록 축적장치내의 매가진들을 그룹으로 하도록 매가진의 순서를 바꿀 수 있는 인쇄회로기판 착탈 시스템 및 방법을 제공하는데 있다.

다.

본 발명에 의하면, 인쇄회로기판 처리부분과, 다수의 인쇄회로기판들을 내장하는 다수의 매가진들이 콘베어 통로상에 배치되는 축적부와, 그리고 축적부와 인쇄회로기판 처리부내의 매가진들간에 인쇄회로기판들을 이송시키기 위한 착탈부를 포함하는 인쇄회로기판 착탈 시스템이 구비된다.

축적부의 콘베어 통로는 착탈부를 바이패스 시켜 그룹형성 작용을 하는 바이패스 통로를 포함하고 있다.

본 발명의 양호한 실시 예는 인쇄회로기판 이송수단이 축적수단의 일단에 구비되어 있고 외부 시스템들로부터 또는 외부 시스템들로 연결되는 매가진 이송수단이 축적수단의 타단에 구비되어 있는 인쇄회로기판 착탈 시스템이다.

4654) 비교기 회로

본 발명은 두 입력신호들의 레벨을 비교하기 위한 비교기 회로에 관한 것으로 특히, 고응답속도 및 정밀성으로 동작하는 비교기 회로에 관한 것이다.

최근 수년동안 각종의 비교기회로들은 예를 들어 A-D(아날로그-디지털) 변환기나 메모리 장치의 판독 및 기입회로 등과 같은 장비내에 기성회로들로서 각종 제어장비속에 광범위하게 사용되어 왔다. CMOS 변전기들이나 TTL IC들과 같은 논리 IC들로 구성된 형의 비교기회로나 차동증폭기들로 구성된 아날로그형의 비교기회로들이 있다. 아날로그형 비교기에는 가장 최근에 개발된 것으로 한 칩에 집적회로를 구성하여 경비를 절감시킨 차동연산증폭기(이후 간단히 연산증폭기라 칭함)가 내포되어 있다.

그러므로 본 발명의 목적은 오프셋 전압과 무관하고, 자체발전으로부터 보호될 때조차 고속응답속도로 동작하는 비교기회로를 제공하는데 있다.

본 발명의 또다른 목적은 아주 작은 입력신호를 검출할 수 있는 비교기회로를 제공하는데 있다.

상술한 바와 같은 목적들은 반전입력 및 비반전입력을 갖는 연산증폭기와, 연산증폭기의 출력과 반전입력간에 연결된 제1스위칭 수단과, 입력들 중 하나에 연결되는 오프셋 전압 보상 캐패시터와, 제2스위칭 수단과 그리고 제2스위칭 수단을 통하

여 연산증폭기에 연결되는 위상보상 캐패시터를 갖는 비교기회로를 구성함으로써 달성될 수 있다. 제 1 및 제 2 스위칭 수단은 서로 동시에 온 오프로 동작한다.

4675) ECL 게이트 어레이

본 발명은 에미터 결합논리(ECL)게이트 어레이 특히, 각 기본셀이 논리 스윙을 변경시키지 않고서 향상된 잡음 마아진을 가지는 ECL 게이트 어레이에 관한 것이다.

잡음 마아진 또는 동작속도를 향상시킴으로써 ECL 게이트 어레이의 성능을 향상시키기 위한 여러 접근이 이루어져 왔으나, 이러한 접근은 ECL 게이트 어레이에서 발견된 모든 문제를 해결하지 못했다.

종래의 ECL 게이트 어레이에서, 각 기본셀의 하이 논리 레벨과 로우 논리 레벨을 결정하기 위한 저항은 ECL 게이트 어레이중의 약간의 기본셀에서 저하된 잡음마아진에 대한 문제를 발생시키는 고정 저항치를 갖고 있다. 예를들어, 기본 셀이 전력 공급 페드로부터 너무 멀리 배열된 경우, 기본 셀에 인가된 전력 공급전압은 전력공급선의 길이 때문에 하강한다. 그러므로, 이러한 기본 셀의 하이 논리 레벨과 로우 논리 레벨 둘다는 낮춰지고, 이러한 낮춰진 하이 논리 레벨은 통상적인 로우 논리 레벨로서 다음단의 기본 셀에 의해 잘못 검파될 수 있다.

더우기, 출력단에서 전압의 상승시간을 줄이기 위해 기본 셀이 평행으로 연결된 2개의 출력 트랜지스터를 가질 경우, 하이 및 로우 출력 논리 레벨은 도면을 참조로 나중에 상세히 설명되듯이 상승되며, 이와 같이 상승된 로우 논리 레벨은 하이 논리 레벨로서 다음단의 기본 셀에 의해 잘못 검파될 수 있

다.

더우기, 기본 셀이 출력단에서 전압의 하강시간을 줄이기 위해 평행으로 연결된 2개의 출력 저항을 가질 경우, 하이 및 로우 출력 논리레벨은 나중에 더 상세히 설명되듯이 낮춰지며, 이와같이 낮춰진 하이 논리 레벨은 로우 논리 레벨로서 잘못 검파될 수 있다.

더우기, ECL 게이트 어레이가 순차 회로를 포함할 경우, 이전단의 기본 셀의 출력 레벨은 순차회로의 내부상태가 순간적으로 선행하는 입력값에 의존하므로 특히 향상된 잡음 마아진을 갖게 된다. 그러므로, 상기 언급된 이전단의 기본 셀의 출력 논리 레벨을 변경시킬 필요가 있다. 그러나, 종래의 ECL 게이트 어레이에서, 잔존하는 기본 셀의 출력 논리 레벨을 변경시키지 않고서 상기 언급한 이전단의 기본 셀만의 출력 논리 레벨을 변경시키는 것은 불가능하였다.

일반적으로, 높은 스위칭 동작을 수행할 경우, 로우 논리 레벨과 하이 논리 레벨 사이의 논리 스윙은 더욱 더 감소되며, 따라서 상기 언급한 오류 검파는 더 심각하게 된다.

또 다른 종래의 ECL 게이트 어레이(발명자 하라유타카 등과 출원인 하따찌 사에 의해 출원되어 1978년 3월 31일에 공개된 일본공개 특허공보(고까이) No. 53-60554에서 발표된 것)에서, 큰 논리 스윙과 작은 논리 스윙간의 스위칭 가능한 기본 셀이 발표되었다.

따라서, 본 발명의 목적은 출력 논리 레벨의 논리 스윙을 감소시키거나 증가시키지 않고서 기본 셀의 원해진 설계 정보와 일치해서 각 기본 셀이 원해진 출력 논리 레벨을 제공할 수 있는 향상된 ECL 게이트 어레이를 제공하는 것이다.

