

論文 90-27-11-8

# C54구조의 $TiSi_2$ 와 As 이온 주입된 다결정 Si 계에서 고온 열처리에 의한 표면상태 거칠어짐과 TiAs 침전물 형성에 관한 연구

(Investigation of TiAs Precipitate Formation and Morphology Degradation between  $TiSi_2$  with C54 Structure and Poly Silicon Doped with Arsenic)

朴滢浩\*, 趙庚翼\*, 李熙泰\*, 成明模\*\*, 李瑞煥\*, 權五準\*, 南基守\*

(Hyung Ho Park, Kyoung Ik Cho, Hee Tae Lee, Myung Mo Sung, Sang Hwan Lee, Oh Joon Kwon, and Kee Soo Nam)

## 要 約

비로소 높게 이온주입된 다결정 실리콘에 대한 C54 구조를 갖는  $TiSi_2$ 의 열적 안정성과  $TiSi_2+As \rightarrow TiAs+2Si$ 의 TiAs 석출물 형성반응이 다결정 실리콘 박막의 표면 상태 거칠어짐에 미치는 영향을 살펴보았다.

## Abstract

Thermal stability of  $TiSi_2$  with C54 structure and morphology degradation of poly silicon layer resulted from the formation of TiAs precipitate through the reaction between  $TiSi_2$  and arsenic ion implanted in poly silicon have been studied.

## I. 서 론

실리사이드의 좋은 전기 전도도와 높은 열적 안정성으로부터 이들 실리사이드를 VLSI 소자제조의 접촉물질(contacts)이나 상호 연결물질(interconnecting materials)로 사용하고자 하는 연구가 많이 진행되어 왔다.<sup>[1-4]</sup> 접촉물질로의 응용에서는 전류가 실리콘/실리사이드 계면을 통해 실리사이드 층으로 흐르기 때문에 실리콘/실리사이드의 접촉저항(contact resistance), 장벽높이(barrier height) 등이 매우 중

요한 전기적 특성이 되고, 상호연결 물질의 경우 전자이동 등이 중요한 변수가 된다.

Ti 실리사이드는 다른 실리사이드와 비교하여 낮은 전기저항(상온에서  $10-20\mu\Omega\text{cm}$ )과 낮은 형성온도( $500^\circ\text{C}$ ) 및 열적, 화학적으로 안정하다는 장점을 지니고 있어 이러한 응용에 적합하다 할 수 있다.<sup>[5]</sup> 실리사이드의 접촉물질로의 사용은 트랜지스터의 게이트, 소스나 드레인 영역에 선택적으로 금속을 증착, 기판 실리콘과 반응시켜 실리사이드를 형성하게 하는 자기정렬 실리사이드화 과정<sup>[1]</sup>(self-aligned silicidation)을 통하거나 금속과 실리콘을 원하는 실리사이드 조성으로 동시에 증착, 열처리함으로써 실리사이드를 형성시키기도 한다.<sup>[6]</sup> 이러한 실리사이드의 형성은 고농도로 이온주입된 실리콘 기판위에서 일어나는 과정이므로 특히 자기 정렬 실리사이드의

\*正會員, 韓國電子通信研究所 半導體研究團  
(Semiconductor Technology Division, ETRI)

\*\*正會員, 韓國化學研究所, 無機材料研究部  
(Inorganic Materials Division, KRICT)

接受日字: 1990年 7月 13日

경우, 실리사이드의 보다 일반적인 활용은 이온주입 도판트와 금속 혹은 실리사이드 간의 반응에 관한 보다 많은 이해를 필요로 한다. 이는 접촉된 실리콘/실리사이드 계면을 통한 도판트의 확산이 실리콘 내의 도판트 농도 변화를 초래, MOS 소자의 경우 flat-band voltage shift를 야기하거나 접촉저항을 증가시키기 때문이다. Ti 실리사이드화 과정에 관한 연구는 B, As 이온이 고농도로 주입된 실리콘 기판 위에 Ti 금속을 증착시켜 주입된 이온이 실리사이드화 과정에 미치는 영향<sup>7,8)</sup>이나, 이온 주입된 다결정 실리콘/실리사이드 혹은 다결정 실리콘/이온 주입된 실리사이드 계에서 주입된 이온의 거동에 관해 진행되었다.<sup>9-11)</sup> 위 연구중 특히 R. Beyers 등<sup>9)</sup>은 As 이온 주입된 다결정 실리콘과 실리사이드의 계면에서 As와 Ti의 화합물인 TiAs 침전물의 존재를 확인, 계면에서의 접촉저항의 감소를 명확히 설명할 수 있었다. 이후 이러한 도판트와 실리사이드의 상호반응에 의한 침전물 형성과정에 관해 연구가 진행되었으나, 이러한 일련의 시도는 모두 고농도로 이온주입된 다결정 실리콘 위에 금속이나 금속, 실리콘을 증착하여 열처리 과정을 통해 실리사이드화 하거나 실리콘 기판위에 실리사이드를 형성, 이온 주입하여 도판트와 실리사이드의 거동을 살핀 것으로 전자의 경우 실리사이드화하는 과정에서 금속의 도판트와의 반응가능성이, 후자의 경우에는 고에너지에 의한 이온주입이 실리사이드의 안정성에 미치는 영향이 고려 되어져야 하는 것이다.

본 연구에서는 다결정 실리콘에 높게 이온주입된 도판트에 대한 실리사이드의 열적 안정성 및 화합물 합성가능성을 살펴보기 위해 Ti 실리사이드를 형성시키고 그 위에 다결정 실리콘을 증착한 후 As 이온을 주입시킴으로써 C54 구조를 갖는 안정한 TiSi<sub>2</sub>와 다결정 실리콘에 이온주입된 As와의 열적 반응을 살펴보았으며, TiSi<sub>2</sub>+As→TiAs+2Si 반응에 의한 TiAs 화합물 형성시 수반될 부피팽창에 기인하는 박막의 형태변화를 관찰하였다.

## II. 실험

비저항 40-60Ωcm의 실리콘(100) p형 웨이퍼를 표준세척법으로 세척한 후 925℃, 산소분위기의 고온 확산로에서 약 300nm의 실리콘 산화층을 형성시켰다. 이 산화층의 형성은 이온주입된 As의 기판으로의 확산을 방지하기 위함이다.<sup>12)</sup> 이 실리콘 산화층위에 100nm 두께의 Ti 실리사이드 박막을 아르곤 분위기에서 마그네트론 스퍼터링 방식으로 증착하고

850℃ 질소 분위기에서 1분간 급속 열처리하여 C54 구조를 갖는 TiSi<sub>2</sub>상을 형성시켰다. 이 TiSi<sub>2</sub> 상의 형성은 X선 회절에 의해 확인하였다. 이후 이 Ti 실리사이드 위에 저압화학 증착법(LPCVD)에 의해 625℃에서 증착한 200nm의 다결정 실리콘에 140KeV의 에너지로 As 이온을 3E16/cm<sup>2</sup> 주입한 후 이온주입 열처리없이 420℃에서 저온 실리콘 산화막을 증착시켰다. 이 과정은 주입된 이온의 균질화 열처리(homogenizing heat treatment)에 따른 As 이온의 외부로의 확산 이탈을 방지하기 위함이다. 이렇게 처리된 시편을 900℃에서 10분, 30분 및 60분간 각각 열처리 함으로써 C54 구조를 갖는 TiSi<sub>2</sub>와 이온주입된 As의 시간에 따른 반응 및 상태변화를 XRD, SEM, AES 등의 분석기를 사용 연구하였다. 그림 1에 제작된 시료의 단면을 도시하였다.

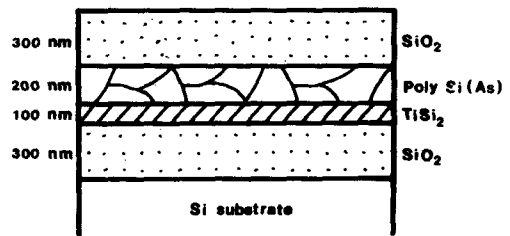


그림 1. 제작 시편의 단면 설명도  
Fig. 1. Schematic diagram of sample structure.

## III. 실험 결과 및 토의

850℃에서 1분간 급속 열처리한 Ti 실리사이드의 C54 구조를 갖는 TiSi<sub>2</sub> 상의 형성은 XRD 측정으로 확인하였다. 그림 2는 900℃에서 60분간 최종 열처리한 후 buffered HF 용액에서 표면의 실리콘 산화막을 제거한 시편의 XRD 결과이다. C54 구조를 갖는 TiSi<sub>2</sub> 회절선과 TiAs의 (102), (103) 회절선이 관찰됨을 알 수 있다. 이는 900K에서 TiSi<sub>2</sub>와 다결정 실리콘에 이온주입된 As의 TiAs와 Si로의 반응시 Gibbs 에너지 변화가 -54,000J이 되며 Ti-As계에서 존재하는 Ti, As, TiAs와 TiAs<sub>2</sub>중 TiAs의 형성이 실험적 관찰결과 가장 운동학적으로 우선한다는 K. Maex 등<sup>13)</sup>의 결과와도 잘 일치함을 알 수 있다. 900℃에서 10분간 열처리한 시편에서는 오직 C54구조를 갖는 TiSi<sub>2</sub>상의 회절선만이 관찰되었으며 30분간 열처리한 시편의 경우에는 TiAs상의 존재를 X선회절 분석으로 확인할 수 없었다.

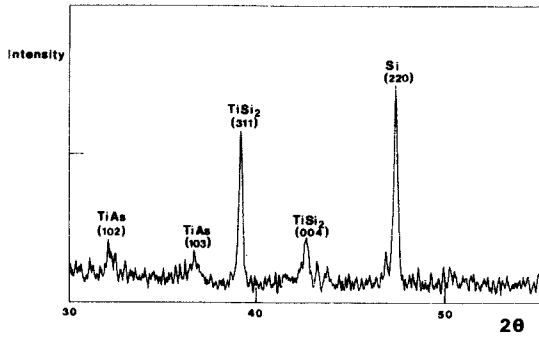
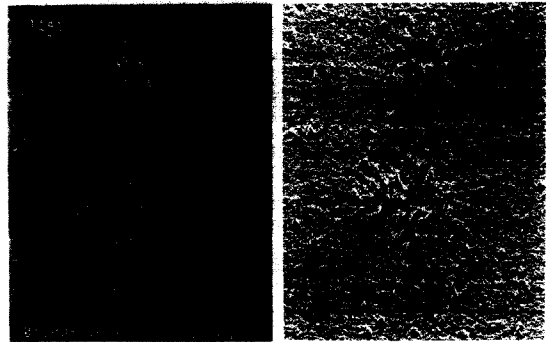


그림 2. 900°C, 60분간 열처리한 시편의 X선 회절 스펙트럼

Fig. 2. X-ray diffraction spectra of 60 min-annealed sample at 900°C.

TiAs 침전물이 형성됨으로 해서 실리사이드와 실리콘 계면에서의 도판트 농도를 감소시키고 또한 높은 접촉저항을 야기하는 것이 V.Probst<sup>11)</sup> 등에 의해 밝혀진 바 있다. 본 실험에서도 TiAs 형성에 의한 전기적 특성 변화를 살펴보기 위해 buffered HF 용액으로 표면 실리콘 산화막을 제거시킨 시편들의 면저항을 4 point probe를 사용, 측정하였다. 900°C, 10분간 열처리한 시편의 경우  $2.4 \pm 0.3$ , 30분간 열처리한 경우는  $3.7 \pm 0.5$ , 60분간 열처리한 시편에서는  $4.7 \pm 0.3 \Omega/\text{sq}$ 의 값들을 얻을 수 있었다. 10분간 열처리와 비교 30분, 60분 열처리의 면저항 값이 순차적으로 증가함으로부터 비록 30분 열처리 시편의 경우 X선 회절에 의해 TiAs 상의 존재가 확인되지 않았으나 소량 존재함을 예견할 수 있었으며, 60분 시편의 경우는 X선 회절의 결과와 면저항의 높은 증가가 잘 일치하는 것임을 알 수 있다.

그림 3 (a)는 900°C에서 60분간 열처리한 시료를 산화막을 제거한 상태에서 찍은 평면 SEM 사진이다. 다결정 실리콘 표면의 morphology degradation에 의해 돌출형의 불룩한 각형(그림 3(b))이 나타남을 알 수 있다. 이 각형은 10분간 열처리한 시편에서는 전혀 나타나지 않으며 30분간 열처리한 시편에서는 그림 3(c)에서와 같이 구형의 돌출 모양으로 나타난다. 이 표면 morphology degradation에는 2가지의 사항을 고려해 볼 수 있을 것이다. 첫째로 실리콘/실리사이드 박막의 고온 열처리를 통한 실리콘의 SPE 성장에 의한 morphology degradation이다. 이 현상은 실리콘/실리사이드 층상구조 시스템에서 잘 알려진, 실리사이드 층을 통한 실리콘의 수송현상으로 Ti 실리사이드의 경우 850°C 이상에서 위 현상에



(a) (b)



(c)

그림 3. 시편의 평면을 관찰한 SEM 사진  
(a) 900°C, 60분간 열처리한 시편  
(b) 900°C, 60분간 열처리한 시편  
(c) 900°C, 30분간 열처리한 시편

Fig. 3. Planar image of Scanning Electron Microscope.

(a) 60 min-annealed sample at 900°C,  
(b) 60 min-annealed sample at 900°C,  
(c) 30 min-annealed sample at 900°C.

의해 다결정 실리콘 층의 표면이 거칠어지고 층 두께의 변화가 일어남이 보고되어 있다.<sup>12)</sup> 둘째로 고려되어야 하는 것은 TiAs 형성에 의해 실리사이드를 형성하는 실리콘 원자의 방출(부피 팽창)에 기인하는 표면형태의 변형일 것이다. TiAs 형성에 관한 반응 즉,  $\text{TiSi}_2 + \text{As} \rightarrow \text{TiAs} + 2\text{Si}$ 에서 본 반응에 참여하는 이온주입된 As 원자가 모두 다결정 실리콘 격자내의 실리콘 원자위치에 치환되어 들어있다고 가정을 할 때(부피 팽창 최소화 경우), 위 반응에 의한 TiAs와 Si 상의 형성은 TiAs 형성 영역에서 실리사이드로부터 분해되는 실리콘 원자의 재배열에 의해 16% 이상의 부피 팽창을 수반하게 된다. 앞에서 언급한 바와 같이 본 실험은 As 이온주입 완료후 분포 안정

화를 위한 열처리를 하지않고 다결정 실리콘 층위에 실리콘 산화막을 증착 시킨 뒤, TiAs 형성 형성반응을 위한 고온 열처리를 행한 형태이므로 극한의 경우, 즉 이온주입된 As 모두가 다결정 실리콘의 격자간 원자위치에 분포되어있다고 가정시, 위 반응은 76%의 부피 팽창을 야기하게 되는 것이다. 따라서 이온 주입된 As의 상태에 따라 TiAs 침전물 형성반응에 기인하는 부피 팽창은 16~76%의 값을 갖게 된다.

이러한 SPE 현상 혹은 TiAs 형성 반응에 따르는 박막의 부피 팽창에 의한 다결정 실리콘 층의 두께 변화와 morphology degradation을 확인하기 위하여 열처리한 시편의 단면을 SEM으로 관찰하였다. 그림 4(a)는 900°C에서 10분간 열처리한 시편의 단면 사진이다. 사진의 아랫부분에 실리콘 기판(A)이 나타나 있으며 buffered HF 용액 사용으로 인해 실리콘 산화층과 TiSi<sub>2</sub> 층이 단면에서 내부로 일정부분 부식처리되어 빈 공간으로 검게 나타나며(B) 그 위로 실리콘 다결정 층(C)이 존재함을 알 수 있다. 그림으로부터 10분간의 열처리 조건에서는 SPE 현상이나 TiAs 형성에 따른 부피팽창에 의한 다결정 실리콘 층의 두께 변화가 거의 존재하지 않음을 알 수 있으며 그림 4(b)에 단면과 평면이 모두 나타난 사진에서 평면역시 매우 고온 상태임을 알 수 있다. 위

결과는 TiAs 침전물의 형성이 확인되지 않은 앞의 X선 회절 결과 및 면저항의 측정결과와도 잘 일치한다.

그림 5(a)는 900°C에서 30분간 열처리한 시편의 단면 사진이다. 단면 부위의 선택은 구형의 볼록 돌출부의 단면이 나타나도록 하였다. 그림 5(b)는 (a)를 정면이 아닌 경사각에서 본 사진이다. 표면의 구형 돌출부위가 아래로도 잘 발달되어 있음을 알 수 있으며 표면에 돌출부가 존재하지 않는 평평한 곳은 다결정 실리콘 층의 두께가 균일하게 유지되고 있음을 알 수 있다. 이 다결정 실리콘 층의 부분적 두께 변화의 원인을 알아보기 위해 많은 변화가 관찰되는 60분 열처리 시편을 SEM으로 관찰하였다. 그림 6(a)에 시편의 단면사진을, (b)에는 약간 경사를 주어 평면이 함께 나타난 사진을 나타내었다.

즉 그림 6(a)는 그림 3(a)의 돌출부의 단면을 나타낸다. 위 사진으로 부터 60분 열처리한 경우는 30분간의 열처리와 비교, 다결정 실리콘 층의 두께 변화가 격심하게 일어났음을 알 수 있다. 허나 이렇게 큰 변화가 있음에도 불구하고 시편 표면에서 돌출부가 존재하지 않는 부위의 단면을 관찰한 결과 (그림 6(c) 참조) BHF 용액으로 제거된 TiSi<sub>2</sub> 층과 다결정 실리콘 층의 계면이 매끄러우며 실리콘 층의 두께는 균일하게 유지되고 있음을 알 수 있다. 따라서

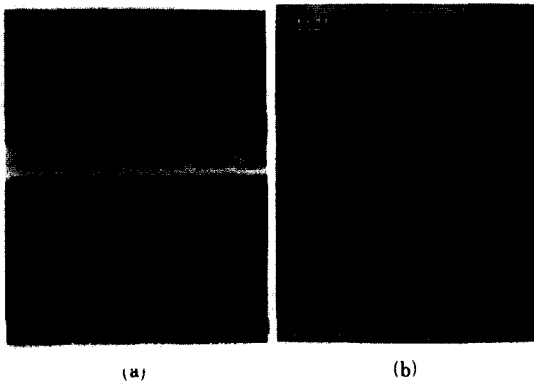


그림 4. 900°C, 10분간 열처리한 시편의 SEM 사진 (A;실리콘 기판, B;제거된 SiO<sub>2</sub>와 TiSi<sub>2</sub>층, C;다결정 실리콘 층)

(a) 시편의 단면 (b) 시편의 단면과 평면

Fig. 4. SEM image of 10 min-annealed sample at 900°C.

(A;Si substrate, B;removed SiO<sub>2</sub> and TiSi<sub>2</sub> layer, C;poly silicon layer)

(a) cross-sectional image,

(b) planar and cross-sectional image.

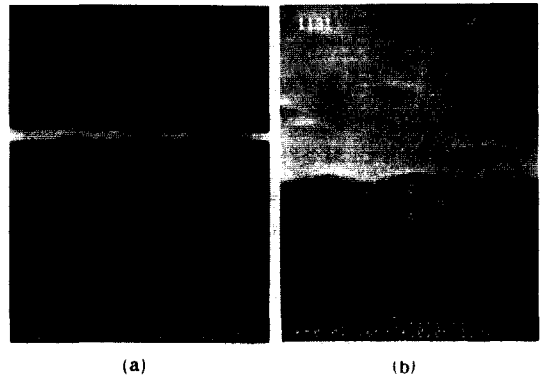


그림 5. 900°C, 30분간 열처리한 시편의 SEM 사진 (A;실리콘 기판, B;제거된 SiO<sub>2</sub>와 TiSi<sub>2</sub>층, C;다결정 실리콘 층)

(a) 시편의 단면 (b) 시편의 단면과 평면

Fig. 5. SEM image of 30 min-annealed sample at 900°C ,

(A;Si substrate, B;removed SiO<sub>2</sub> and TiSi<sub>2</sub> layer, C;poly silicon layer)

(a) cross-sectional image,

(b) planar and cross-sectional image.



(a) (b)



(c)

그림 6. 900°C, 60분간 열처리한 시편의 SEM 사진 (A;실리콘 기판,B;제거된 SiO<sub>2</sub>와 TiSi<sub>2</sub>층,C;다결정 실리콘 층)

- (a) 돌출부를 포함하는 시편의 단면
- (b) 돌출부를 포함하는 시편의 단면과 평면
- (c) 돌출부를 포함하지 않는 시편의 단면

Fig. 6. SEM image of 60 min-annealed sample at 900°C.

(A;Si substrate, B;removed SiO<sub>2</sub> and TiSi<sub>2</sub> layer, C;poly silicon layer)

- (a) cross-sectional image of protrusion area,
- (b) planar and cross-sectional image of protrusion area,
- (c) cross-sectional image of area free from protrusion.

관찰된 다결정 실리콘 층의 두께 변화와 표면 상태의 거칠어짐(돌출부 형성)은 900°C의 열처리 조건으로 일어날 수 있는 SPE 현상에 기인하는 것이 아님을 알 수 있다. 이는 SPE 현상이 특정지역에서 국부적으로 일어나는 현상이 아니며 또한 실리사이드 층을 통한 수직이동이므로 다결정 실리콘 층의 국부적인 과도한 두께증가는 관찰될 수 없기 때문이다. 따라서 이러한 국부적인 두께증가의 원인이 될 수 있는 TiSi<sub>2</sub>/다결정 실리콘 계면에서의 TiAs 형성

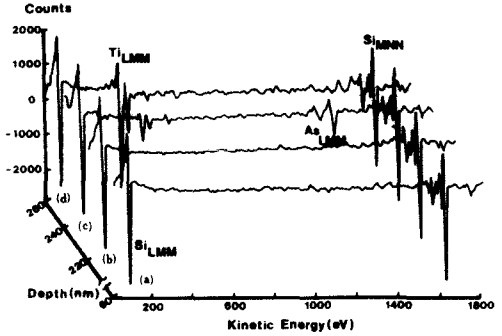


그림 7. 900°C, 60분간 열처리한 시편의 돌출부분에 대한 깊이에 따른 AES 분석

(a) 다결정 실리콘 층 60nm 에칭후의 AES 스펙트럼

(b) 220nm 에칭후의 AES 스펙트럼

(c) 240nm 에칭후의 AES 스펙트럼

(d) 260nm 에칭후의 AES 스펙트럼

Fig. 7. Point analysis by Auger Electron Spectroscopy for protrusion area of 60 min-annealed sample at 900°C with depth (a) AES spectrum after 60nm etching of poly silicon layer.

(b) AES spectrum after 220nm etching,

(c) AES spectrum after 240nm etching,

(d) AES spectrum after 260nm etching.

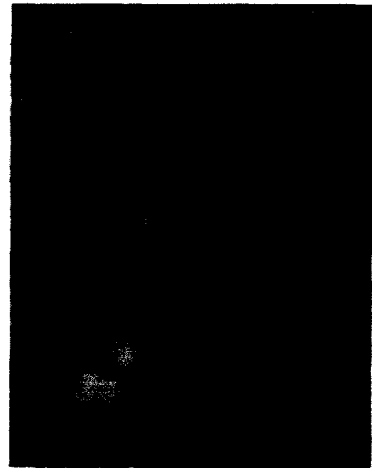


그림 8. 900°C, 60분간 열처리한 시편의 SEM 사진

Fig. 8. Planar SEM image of 60 min-annealed sample at 900°C.

을 확인하고자 900°C에서 60분간 열처리한 시편의 돌출부와 돌출부가 존재하지 않는 영역을 이온 빔으로 에칭하여 AES로 관찰하였다. 그림7은 돌출부를

엣칭하여 AES로 관찰한 결과이다. 실리콘 산화막 제거 후 240nm 정도 엣칭시  $As_{LMM}$  피크와  $Ti_{LMM}$  피크가 잘 나타남을 알 수 있으며 이  $As_{LMM}$  피크는 260nm 이상 엣칭시에는 더이상 관찰되지 않고 오직  $Si_{LMM}$ ,  $Si_{MNN}$ 과  $Ti_{LMM}$  피크만이 관찰됨을 알 수 있다. 돌출부가 존재하지 않는 평면부에서는 깊이에 따른 엣칭을 통하여 As의 존재를 확인할 수 없었다. 이로부터 As는 다결정 실리콘의 돌출부 아래의 실리콘/ $TiSi_2$  계면에 위치하며 TiAs 형태로 (그림 2 참조) 존재함을 알 수 있다. R. Beyers 등<sup>[9]</sup>이나 K. Maex 등<sup>[11]</sup>도 다결정 실리콘과  $TiSi_2$  계면에서의 TiAs 형성을 확인한 바 있다. 부피팽창, 즉 돌출부의 형성을 동반하는 TiAs의 형성과정은 900°C에서 60분간 열처리한 시편의 평면 SEM 사진인 그림 8로부터 아래와 같이 추론되어질 수 있다. 다결정 실리콘과  $TiSi_2$  계면을 따라 확산이동하는 이온주입된 As는  $TiSi_2$  입계들이 만나는 곳 (grain boundary intersection)에서 고정, 이후에 확산되어 오는 As원자들이 모이게 된다. 이 grain boundary intersection 부분에서의 As 농도가 평균 As 원자 농도보다 높아지게 되고 결국 TiAs 형성의 임계농도를 넘어 TiAs 핵이 생성, 성장하여 침전물을 형성하고(그림 3(c) 참조), 그림 8의 과정을 거쳐 그림 3(a)와 같은 거대한 돌출부의 형성을 야기한다. 즉 침전물 형성시  $TiSi_2 + As \rightarrow TiAs + 2Si$ 의 반응에 의해 생성되는 실리콘이 다결정 실리콘 계면에서 결정화하면서 표면상태의 거칠어짐과 돌출부의 형성을 유발하는 것이다.

#### IV. 결 론

X선 회절 측정과 면저항 측정을 통하여 본 실험 시편의 경우 900°C, 30분 이상의 열처리에서  $TiSi_2 + As \rightarrow TiAs + 2Si$  반응을 통해 TiAs 침전물을 형성함을 알았으며, AES 분석을 통해 이 침전물은  $TiSi_2$ 와 다결정 실리콘의 계면에서 생성됨을 알았다. 또한 시료 단면의 SEM 관찰을 통해 TiAs 형성에 수반되어 생성되는 실리콘의 재배열(부피팽창)에 의해, TiAs 침전물 윗 부분의 다결정 실리콘 층이 두께 증가를 일으키며 표면상태 거칠어짐을 야기함을 알 수 있었다.

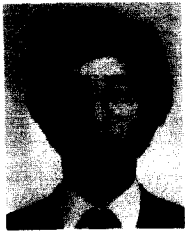
#### 감사의 글

본 실험의 진행에 많은 도움을 주신 한국전자통신연구소 공정 장비운용실의 장기호 씨와 한국과학기술원의 권정락 씨에게 깊은 감사의 마음을 전하는 바입니다.

#### 参 考 文 献

- [1] T. Shibata, K. Heida, M. Sato, M. Konaka et al. *IEEE Trans. Electron Devices*, ED-29, p. 531, 1982.
- [2] C.M. Osburn, M.Y. Tsai, S. Roberts, C.J. Lucchese et al. *Proc. Int. Symp. VLSI Sci. Technol* 1st, p. 213, 1982.
- [3] H. Okabayashi, E. Nagasawa and M. Morimoto *IEEE IEDM, Tech. Dig.*, p. 556 1982.
- [4] C.K. Lau, Y.C. See, D.B. Scott, J.M. Bridges et al., *IEEE IEDM, Tech. Dig.*, p. 714, 1982.
- [5] S.P. Muraka *Silicide for VLSI Applications*, Academic Press, New York, 1983.
- [6] J.W. Lee, S.H. Lee and O.J. Kwon *J. of ETRI*, 43, p. 50, 1990.
- [7] T.P. Chow, W. Katz, R. Goehner and G. Smith *J. Electrochem. Soc.*, 132(8), p. 1914 1985.
- [8] A.A. Pasa, J.P. de Souza, I.J.R. Baumvol and F.L. Freire Jr. *J. Appl. Phys.*, 61(3), p. 1228, 1987.
- [9] R. Beyers, D. Columan and P. Merchant *J. Appl. Phys.*, 61(11), p. 5110, 1987.
- [10] V. Probst, H. Schaber, P. Lippens, L. Van den hove et al. *Appl. Phys. Lett.*, 52(21), p. 1803, 1988.
- [11] K. Maex, G. Ghosh, L. Delaey, V. Probst et al. *J. Mater. Res.*, 4(5), p. 1209, 1989.
- [12] M.A. Nicolet and S.S. Lau *VLSI Electronics Microstructure Science*, edited by N.G. Einspruch, Academic Press, New York, vol. 6, chap. 6, 1983.

著 者 紹 介



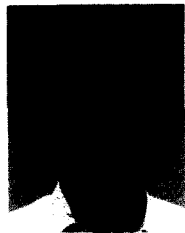
朴 濼 浩 (正會員)

1958年 9月 21日生. 1981年 2月 한양대학교 금속공학과 졸업. 1984年 2月 한국과학기술원 재료공학과 공학석사 학위 취득. 1988年 7月 프랑스 보르도 I대학 재료과학 박사학위 취득. 1989年 9月 프랑스 보르도 CNRS 고체화학 연구소 연구원. 1989年 11月~현재 한국전자통신연구소 물성분석 연구실 선임연구원. 주관심분야는 표면물성 및 미세구조 연구 등임.



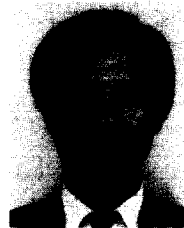
李 瑞 煥 (正會員)

1958年 1月 5日生. 1981年 2月 경북대학교 전자공학과 졸업. 1987年 2月 경북대학교 전자공학과 공학석사학위 취득. 1987年~현재 한국전자통신연구소 물성분석 연구실 근무. 주관심분야는 반도체 재료 및 물성분석 분야 등임.



趙 庚 翼 (正會員)

1955年 8月 24日生. 1979年 2月 울산공과대학 졸업. 1981年 2月 한국과학기술원 재료공학과 공학석사학위 취득. 1985年~현재 한국과학기술원 재료공학과 박사과정 재학중. 1981年~현재 한국전자통신연구소 물성분석 연구실 선임 연구원. 주관심분야는 hetero-epitaxy 및 material characterization 등임.



權 五 準 (正會員)

1951年 7月 18日生. 1977年 2月 경북대학교 전자공학과 학사. 1981年 3月 한국전자기술연구소 선임연구원 웨이퍼 가공실장. 1986年 4月 한국전자통신연구소 반도체 사업단 생산부장. 1989년 2月 경북대학교 산업대학원 반도체공학 석사학위 취득. 1986年 5月~현재 한국전자통신연구소 물성분석 연구실장. 주관심분야는 반도체 재료의 물성분석 등임.



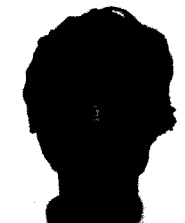
李 熙 泰 (正會員)

1956年 7月 10日生. 1978年 국립중앙직훈 공업전자과(전문과정) 졸업. 1981年 7月~현재 한국전자통신연구소 물성분석연구실 근무. 반도체 바이폴라 공정개발 사업에 참여. 주관심분야는 반도체 공정 및 재료의 구조분석 등임.



南 基 守 (正會員)

1952年 4月 11日生. 1974年 2月 경북대 물리학과 학사. 1979年~1985年 한국전자기술연구소. 1986年 2月 한국과학기술원 물리학과 석사학위 취득. 1985年~현재 한국전자통신연구소 공정 연구실장. 1986年 7月~1987年 6月 일본동경대학교 전자공학과 연구원. 주관심분야는 반도체 소자의 단위 공정 연구 등임.



成 明 樸 (正會員)

1963年 11月 8日生. 1986年 2月 서울대학교 자연대 화학과 졸업. 1986年~현재 한국화학연구소 무기재료 4실 연구원. 주관심분야는 surface science, chemical vapor deposition 등임.