

論文 90-27-11-7

LDD MOSFET의 기생저항에 대한 간단한 모형

(A Simple Model for Parasitic Resistances of LDD MOSFETS)

李精一*, 尹慶植**, 李明福*, 姜光男*

(Jung Il Lee, Kyung Sik Yoon, Myoung Bok Lee, and Kwang Nham Kang)

要 約

본 논문에서는 LDD (lightly doped drain) 구조를 갖는 짧은 채널 MOSFET에서의 기생저항의 게이트 전압 의존도에 대한 모형을 제시하였다. 게이트 전극 밑에 위치한 LDD 영역에서는 게이트 전압에 의해 준 이차원적인 축적층(quasi two-dimensional accumulation layer)이 형성된다. 소오스 측 LDD 기생저항을 축적층의 저항과 벌크 LDD 저항의 병렬 연결로 취급하였으며 벌크 LDD 저항은 채널의 반전층 끝으로부터 n^+ 영역의 경계까지의 퍼짐 저항으로 근사하였다. 그리고 접합에서의 도우핑 농도 구배가 LDD 저항에 미치는 영향이 토의하였다. 본 모형의 결과로 선형 영역에서는 LDD 저항이 게이트 전압의 증가에 따라 감소하고, 포화영역에서는 채널과 LDD에서 속도포화를 고려한 결과, 게이트 전압에 대해 준 일차적으로 증가하는 것으로 나타나 발표된 실험결과들과 일치하였다.

Abstract

In this paper, a simple model is presented for the gate-voltage dependence of the parasitic resistance in MOSFETs with the lightly-doped drain (LDD) structure. At the LDD region located under the gate electrode, an accumulation layer is formed due to the gate voltage. The parasitic resistance of the source side LDD in the channel is treated as a parallel combination of the resistance of the accumulation layer and that of the bulk LDD, which is approximated as a spreading resistance from the end of the channel inversion layer to the n^+ /LDD junction boundary. Also the effects of doping gradients at the junction are discussed. As result of the model, the LDD resistance decreases with increasing the gate voltage at the linear regime, and increase quasi-linearly with the gate voltage at the saturation regime, considering the velocity saturation both in the channel and in the LDD region. The results are in good agreement with experimental data reported by others.

*正會員, 韓國科學技術研究院, 光電子研究室
(Optical Electronics Lab, KIST)

**正會員, 高麗大學校 情報工學科
(Dept. of Information Engineering, Korea Univ.)

接受日字: 1990年 2月 16日

I. 서 론

LDD (lightly doped drain) 구조는 짧은 채널 소자에
서 발생하는 고전계 효과를 둔화시키기 위하여 도입
되었다.⁽¹⁾ 채널영역과 n^+ 소오스/드레인과의 사이에

삽입된 n⁻영역(LDD)은 채널에 생기는 고전계를 일부 흡수함으로써 고전계 효과로 인한 문턱점들을 보완할 수 있다. 그 결과 LDD 구조의 MOSFET은 재래식 구조의 MOSFET 보다 높은 항복전압, 낮은 기판 및 게이트전류 등을 나타내게 되었다. 그러나 LDD에서의 높은 저항은 소자 성능을 저하시키며 소자 해석을 어렵게 한다. 또한 LDD 저항은 게이트 전압의 증가에 따라 선형영역에서는 감소하고^[2,3,4] 포화영역에서는 증가^[5,6]하는 것으로 알려져 있다. 선형영역에서의 모형은 게이트 전압에 의한 LDD 표면에서의 축적층 형성을 고려하여^[7]게이트 전압의 증가에 따른 LDD 저항의 감소를 잘 설명하고 있다. 포화영역에서 LDD 저항이 게이트 전압과 함께 증가하는 것은 채널과 LDD에서 캐리어의 속도 포화때문일 것으로^[8] 추정되고 있으나 캐리어 농도에 대한 고찰이 부족하여 완전한 모형을 세우지 못하였다.

최근에 LDD 표면에서의 축적층형성과, 포화영역에서 속도 포화를 모두 고려한 모형이 제시되었다.^[7] 본고에서는 참고문헌^[7]에서 제시된 모형을 보완하여, 채널의 반전층 두께가 게이트 전압에 의존함을 LDD 저항의 모형에 포함시켰으며, n⁺/n⁻, n⁻/p접합에서의 도우핑 농도 구배가 LDD 저항에 미치는 영향을 논의하였다.

II. 선형영역

1. 축적층(accumulation layer)의 형성

그림 1에 보인바와 같이 n⁻로 표시된 LDD 영역은 측면 확산으로 게이트 밑으로 확장되며 측면간극자(sidewall spacer)의 두께가 n⁺ 영역의 측면 확산길이와 비슷하면 LDD 영역은 완전히 게이트 밑에 위치하여 채널영역과 마찬가지로 게이트 전계의 영향을 받게 된다. LDD 영역의 캐리어 농도는 재래식의 n⁺ 영역 소오스/드레인의 농도보다 10²-10³배 적으므로 LDD의 표면에는 게이트 전계에 의해 준 이차원적인 축적층이 형성된다. 이 축적층의 캐리어 농도는 인가된 게이트 전압에 선형적으로 비례하여, 이때 문턱전압은 게이트와 LDD간의 flat band 전압이므로 채널영역에서와는 달리 무시할 수 있다. 축적층에서의 표면 이동도 μ_s는 채널에서와 같이 다음과 같은 게이트 전압 의존도를 갖게 된다.

$$\mu_s = \frac{\mu_{s0}}{(1 + \theta V_g)} \quad (1)$$

여기서 μ_{s0}는 저전계이동도, θ는 감쇠계수, V_g는 게이트 전압이다. 캐리어 농도와 이동도로부터 축적층의 저항 R_{2D} 다음과 같이 표시할 수 있다.

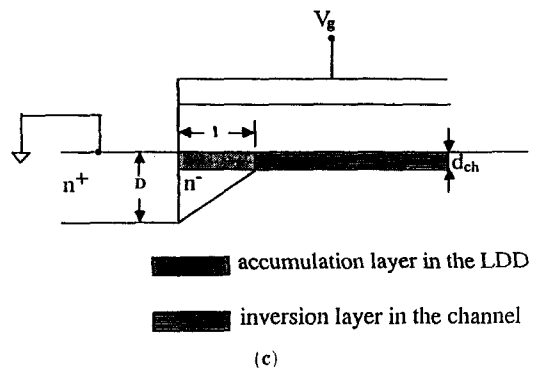
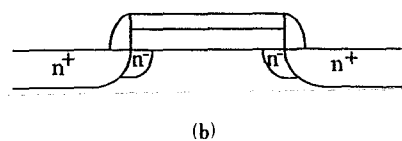
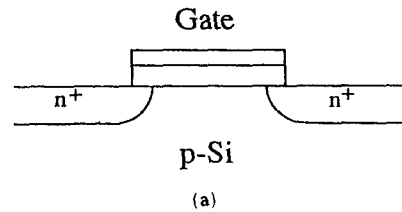


그림 1. (a) 재래식 구조와 (b) LDD 구조의 MOSFET 개략적 단면도. LDD 구조의 MOSFET에서 (c) 소오스 측의 LDD구조 개략도와 (d) 이의 등가회로

Fig. 1. Schematic cross-sectional view of a typical MOSFET with, (a) the conventional and, (b) the LDD structure, (c) Schematic cross-sectional view of the source side LDD and, (d) its equivalent circuit.

$$R_{2D} = \frac{1}{\gamma} \left[\frac{1}{V_g} + \theta \right] \quad (2)$$

여기서 $\gamma \equiv WC_{ox}\mu_{s0}/l$ 이며 l은 LDD의 길이, W는

채널 너비, C_{ox} 는 산화막의 단위면적당 정전용량이다.

2. 벌크 LDD

표면을 제외한 대부분의 벌크에서는 band bending이 일어나지 않으므로 벌크에서 캐리어 농도나 이동도는 게이트 전계의 영향을 받지 않는다. n^+ 영역과 채널 사이에 위치한 벌크 LDD(n^- 영역)의 저항은 그림 1(c)와 같이 사다리꼴의 퍼짐저항으로 단순화시킬 수 있으며 이때 그 저항은 다음과 같이 표시할 수 있다.

$$R_{3D} = \frac{1}{W} \int_0^L \frac{\rho_{ox}}{d_{ch} + (D - d_{ch}) \frac{x}{L}} dx = f \frac{l}{WD} \frac{1}{qn_b \mu_b} \quad (3)$$

여기서 D 는 n^-/n^+ 접합깊이, d_{ch} 는 채널의 반전층 두께이며, ρ 는 비저항으로 $\rho = 1/qn_b \mu_b$ 이고 n_b 와 μ_b 는 각각 벌크에서의 캐리어 농도와 이동도이다. 기하인자 f 는 다음과 같이 주어진다.

$$f = \left[1 - \frac{d_{ch}}{D} \right]^{-1} \ln \frac{D}{d_{ch}} \quad (4)$$

그런데 채널의 반전층 두께인 d_{ch} 는 고전적 취급에서보다 양자역학적 취급에서 더 크며 상온에서 (300K) 그림 2와 같이 게이트 전압에 의존하여 변화한다.^[8] 여기서 d_{ch} 는 V_g 에 대해 지수적인 감소를 보이는데 ($d_{ch} \propto V_g^{-c}$), 그 지수 c 는 온도에 따라 증가하여 300K에서 약 0.5의 값을 갖는다. 주어진 V_g 구간(1V-7V)에서 d_{ch} 는 20nm ($V_g=1V$)에서 6nm ($V_g=7V$)로 V_g 가 증가함에 따라 감소한다.

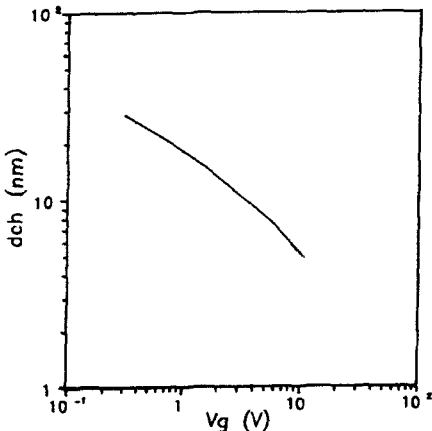


그림 2. 채널에서의 반전층 두께 대 게이트 전압^[8]
Fig. 2. Gate-voltage dependence of the thickness of inversion layer at the channel^[8]

3. LDD저항

소오스 측 LDD 영역의 기생저항 R_s 은 이상에서 구한 축적층의 저항 R_{2D} 와 벌크 LDD의 저항 R_{3D} 의 병렬 연결(그림1)로 모형화 할 수 있으며 다음과 같이 표시할 수 있다.

$$R_s^{-1} = R_{2D}^{-1} + R_{3D}^{-1} \quad (5)$$

그림 3에 위에서 구한 R_{2D} , R_{3D} 및 R_s 의 게이트 전압에 따른 변화가 실선으로 나타나 있다. 이때 사용한 변수는 국내에서 제작하는 4M DRAM에서의 LDD MOSFET 시험패턴에 쓰이는 대표적인 값들을 취하였으며 아래와 같다.

$$l = 0.15 \mu m, W = 15 \mu m, t_{ox} = 20 nm, \mu_{so} = 500 cm^2/Vsec, \\ D = 0.35 \mu m, n_b = 1 \times 10^{17} / cm^3, \mu_b = 800 cm^2/Vsec, \\ \theta = 0.1/V$$

최근 개발된 단순한 추출방법^[9]으로 이 소자들의 소오스저항을 측정된 결과가 그림 3에 점선으로 표시되어 있으며 실선으로 표시된 계산 결과와 같은 경향의 게이트 전압의존도를 보이고 있다. 약 25Ω에 이르는 일정한 차이는 주로 금속/ n^+ 간의 접촉저항을 위시하여 도선, n^+ 등의 저항으로 사료되며 제 4절에서 논의될 도우핑 농도 구배의 영향도 포함되어 있을 것으로 판단된다.

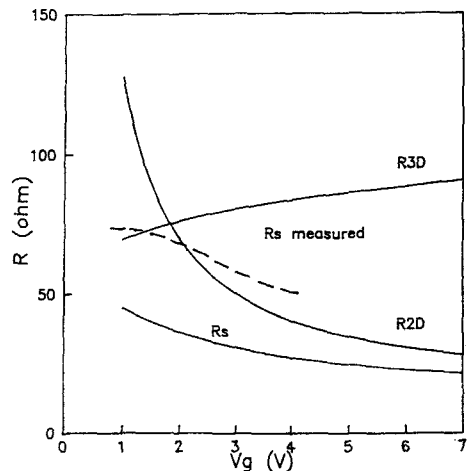


그림 3. R_{2D} , R_{3D} 및 R_s 대 게이트 전압(선형 영역) 점선은 측정된 소오스저항
Fig. 3. R_{2D} , R_{3D} , and R_s vs. the gate voltage (linear regime) Measured R_s is indicated in dashed line.

III. 포화영역

드레인 전류의 포화현상은 긴 채널의 경우에는 pinch off 때문에 일어나지만 짧은 채널의 경우 높은 수평전계로 인한 캐리어의 속도 포화가 먼저 일어나 드레인 전류의 포화를 가져온다. LDD에서도 포화영역에서는 채널에 버금가는 높은 수평전계가 형성되므로 캐리어의 속도 포화가 고려되어야 한다. 따라서 포화영역에서의 소오스 저항 R_{ss} 을 얻기 위하여는 식(1)와 (4)에서 캐리어의 표면에서 이동도 $\mu_{s,b}$, 벌크 LDD에서의 이동도 μ_b 는 다음과 같이 각각 포화영역에서의 표면이동도 μ_{ss} 와 벌크이동도 μ_{bs} 로 교체되어야 한다.^[5]

$$\mu_{ss,bs} = \frac{\mu_{s,b}}{\left[1 + \frac{E_x}{E_c}\right]} \quad (6)$$

여기서 수평전계는 $E_x = I_{ds}R_{ss}/l$ 로 주어지며 E_c 는 속도 포화 발생의 임계 전계이다. 소오스-드레인간 포화전류 I_{ds} 는 채널에서 속도포화가 일어났을 때 다음과 같이 주어진다.^[10]

$$I_{ds} = WC_{ox}(V_g - V_t - I_{ds}R_{ss})v_s \quad (7)$$

위 식에서 보인대로 소오스 기생저항에 의한 전압 강하는 결과적으로 채널에 인가되는 게이트 전압을 감소시킨다. 이처럼 수평전계는 수직전계는 서로 연계되어 있으므로 식(2)-(7)을 연계시켜 풀면 다음과 같이 R_{ss} 에 대한 이차식을 얻을 수 있으며 이 이차식의 근중 물리적으로 의미가 있는 근을 취하여 R_{ss} 의 V_g 의존도를 구할 수 있다.

$$\frac{WC_{ox}v_s}{R_s}R_{ss}^2 + \left[\frac{1}{R_s} - WC_{ox}v_s \left(1 + \frac{(V_g - V_t)}{IE_c} \right) \right] R_{ss} - 1 = 0 \quad (8)$$

벌크 LDD의 저항 R_{2D} 를 무시할 경우, 즉 R_{2D} 만을 고려하여 포화영역에서의 축적층 저항 R_{2Ds} 를 구하면 다음과 같다.

$$R_{2Ds} = \frac{1}{2\gamma} \left\{ \frac{\theta}{IE_c} V_g + \theta \left[1 - \frac{V_t}{IE_c} \right] + \frac{1}{V_g} \left[1 - \frac{V_t}{IE_c} \right] + \left[\left(\frac{\theta}{IE_c} V_g + \left(\theta + \frac{1}{V_g} \right) \left[1 - \frac{V_t}{IE_c} \right] \right)^2 + \frac{4(1 + \theta V_g)\gamma}{WC_{ox}v_s V_g} \right]^{1/2} \right\} \quad (9)$$

위 식에서 V_g 의 1차항의 계수는 θ/IE_c 가 되어 결국 표면이동도의 감쇄계수 θ 와 속도 포화의 임계전계 E_c 의 중요성을 알 수 있다.

그림 4에서 실선으로 표시된 것이 본 모형에서

계산한 R_{2Ds} 와 R_{ss} 로서 V_g 의 함수로 나타나 있다. 사용된 파라미터들은 $E_1 = 13KV/cm, v_s = 6.5 \times 10^6 cm/sec, V_t = 0.7V$ 이었고 나머지는 그림 3의 계산에 쓰인 것과 같다. 같은 제원에서 추출한 R_{ss} ^[6]가 점선으로 나타나 있다. 측정치가 본 모형의 계산치보다 크게 나타나는 것은 앞서 제 2 절 선형영역에서와 마찬가지로 주로 금속/ n^+ 의 접촉저항을 위시한 도선 및 n^+ 저항 때문이며 다음 절에서 고려할 도우핑 농도 구배의 영향도 포함된 때문으로 사료된다.

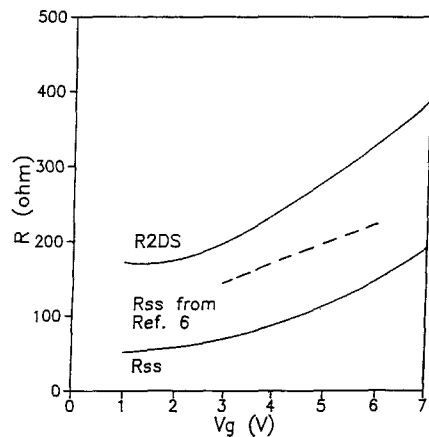


그림 4. R_{2Ds} 및 R_{ss} 대 게이트 전압(포화영역). [6]에서 구한 R_{ss} 가 점선으로 표시되어 있다
Fig. 4. R_{2Ds} and R_{ss} vs. the gate voltage (saturation regime). R_{ss} obtained in [6] is indicated in the dashed line.

IV. 도우핑 농도 구배의 영향

앞서 구한 R_s 및 R_{ss} 는 채널과 LDD, LDD와 n^+ 영역 접합의 도우핑 농도 구배가 아주 급격한 것으로 가정된 모형에서 얻어진 것이다. 실제 소자 제조시 접합에서의 도우핑 농도구배는 불가피한 것으로 이러한 구배가 LDD 저항에 미치는 영향을 고려하여야 한다.^[11] 먼저 LDD와 n^+ 영역 접합에서의 농도 구배는, 접합이 게이트 전극과 중첩되어 게이트 전계의 영향권 안에 있을때, LDD 길이 l 을 변화시킨다. l 의 변화는 벌크 LDD 저항보다는 축적층 저항에 직접적으로 영향을 미친다. 축적층의 길이 l 은 채널과 LDD 접합으로부터 LDD와 n^+ 영역 접합에서 도우핑 농도와 축적층의 캐리어 농도가 같게되는 지점으로 즉 $n_s(V_g) = n_b(x)_{dc}(V_g)$ 인 지점으로 주어지므로

게이트 전압의 증가에 따라 축적층의 길이 l 은 증가하게 된다(그림5). 접합에서의 도우핑 농도 변화는 다음과 같이 지수적으로 근사할 수 있으므로

$$n_b(x) = n_b(0)e^{-Kx} \quad (10)$$

축적층 길이 증가 l 은 아래와 같이 주어진다.

$$\Delta l = \frac{1}{K} \ln \frac{n_b(V_{g2})}{n_b(V_{g1})} \quad (11)$$

여기서 지수 K 의 대표값 $2.0 \times 10^6 / \text{cm}$ 을 사용하여 주어진 게이트 전압구간(1V-7V)에서의 변화를 보면 축적층의 길이 l 은 서서히 증가하여 7V에서 약 10%의 증가를 보임을 알 수 있다. 즉 농도구배를 고려하면 R_{2D} 는 게이트 전압이 증가함에 따라 그림 3의 R_{2D} 보다 약간씩 큰 값을 나타내게 된다. 벌크 LDD의 저항은 증가한 LDD의 길이보다 훨씬 급격히 증가하는 n_b 로 인하여 그 변화가 무시할만 하다. 따라서 전체 LDD 저항의 게이트 전압 의존 경향은 영향을 받지 않는다. 채널과 LDD 접합에서의 농도 구배는 축적층 저항에는 상관이 없으며 벌크 LDD 저항을 증가시킴으로 전체 LDD 저항 R_s 와 R_{ss} 를 그림 3과 4의 R_{2D} , R_{2Ds} 에 근접시키는 효과를 초래한다. 따라서 그림 3과 4의 R_s , R_{ss} 는 매우 급격한 농도 구배인 경우를 R_{2D} 및 R_{2Ds} 는 매우 완만한 농도 구배인 경우를 나타내어, 실제 소자들에서의 LDD저항-전압 특성곡선의 경계가 된다.

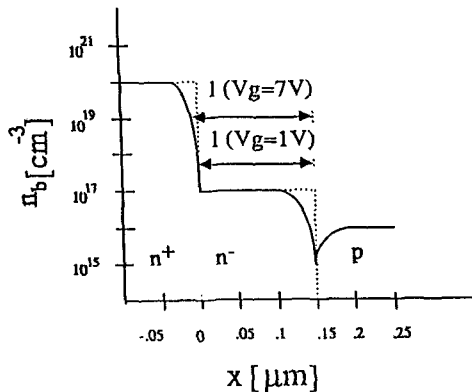


그림 5. 접합에서의 도우핑 농도구배와 LDD길이의 게이트 전압에 따른 변화(점선은 도우핑 농도 구배가 매우 급격한 경우를 나타냄).

Fig. 5. Doping gradients at the junctions and the change of LDD length at different gate voltages. (the dashed line indicates abrupt doping gradients)

V. 결 론

본고에서는 LDD MOSFET의 기생저항 즉 소오스 측 LDD 저항의 게이트 전압 의존도에 대한 모형을 세움에 있어서 LDD 표면에 형성되는 축적층의 저항과 벌크LDD 저항의 병렬 연결로 취급하였다. 축적층의 저항은 주로 게이트 전압에 선형적으로 비례하는 캐리어 농도와 감소하는 표면이동도를 통하여 게이트 전압에 의존하고 벌크LDD 저항은 게이트 전압의 증가에 따라 지수적으로 감소하는 채널 두께를 통하여 게이트 전압에 의존한다. 전체 LDD 저항은 선형영역에서 게이트 전압의 증가에 따라 감소한다. 포화영역에서는 채널과 LDD에서 캐리어의 속도 포화가 일어나는 것을 고려한 결과 게이트 전압에 준 일차적으로 비례하는 LDD 저항을 얻을 수 있었다. 이때 일차항의 비례 상수는 표면이동도의 감소계수에 비례하고 속도포화의 임계전계에 반비례하는 것으로 나타나 표면이동도의 게이트 전압 증가에 따른 감소가 중요함을 알았다. 도우핑 농도 구배의 영향은 LDD의 길이와 벌크LDD 저항에 나타나나 전체적인 경향에는 큰 변화를 주지 않는다. 본 모형의 결과로 도우핑 농도 구배가 아주 급격한 경우의 LDD 저항을 계산하였으며 농도 구배가 매우 완만한 경우 LDD 저항은 축적층 저항으로 대표될 수 있음을 알았다. 본 모형은 LDD MOSFET의 설계 및 해석에 유용하게 쓰일 것으로 기대된다.

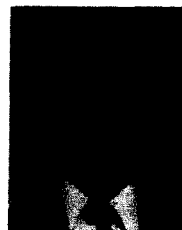
參 考 文 獻

- [1] D.A. Baglee, C. Duvvury, M.S. Smayling and M.P. Duane, "Lightly doped drain transistors for advanced VLSI circuits," *IEEE Trans. Electron Devices*, vol. ED-32, no. 5, pp. 896, 1985.
- [2] G.J. Hu, C. Chang, and Y.-T. Chia, "Gate-voltage dependent effective channel length and series resistance of LDD MOSFETs," *IEEE Trans. Electron Devices*, vol. ED-34, no. 12, pp. 2469-2475, 1987.
- [3] G.-S. Huang and C.-Y. Wu, "An analytic I-V model for lightly doped drain (LDD) MOSFET devices," *IEEE Trans. Electron Devices*, vol. ED-34, no. 6, pp. 1311-1321, 1987.
- [4] B. Ricco, L. Selmi and E. Sangiorgi, "A Novel method to determine the source and drain resistances of individual MOSFETs," *IEDM 1988*, pp. 122-125. and "Parameter extraction from I-V characteristics of single

- MOSFET's," *IEEE Trans. Electron Devices*, vol. 36, no. 6, pp. 1094-1101, 1989.
- [5] R.K. Reich, D.-H. Ju, and A.M. Secela, "Velocity saturation limitations of lightly doped drain transistors," *IEEE Trans. Electron Devices*, vol. 35, no. 4, pp. 444-449, 1988.
- [6] M.B. Lee, Y.J. Lee, J.I. Lee and K.N. Kang "Reduction of saturated transconductance LDD (Lightly Doped Drain) MOSFETs," *Technical Digest, ICVC'89*, Seoul, Korea, pp. 434-437, 1989.
- [7] 강광남 외, "짧은 채널 LDD MOSFET에서 게이트 전압에 의존하는 기생 저항," 1989년도 대한전자공학회 추계종합학술대회 논문집 제 12권 제 2호 645-647쪽, 1989.
- [8] F. Stern, "Self-consistent results for n-type Si inversion layers," *Phys. Rev. B*, vol. 5, no. 12, pp. 4891-4899, 1972.
- [9] 이명복, 이정일, 강광남, 윤경식, "MOSFET에서 게이트 전압에 의존하는 소오스/드레인 저항을 추출하는 간단한 방법," 1990년도 대한전자공학회 하계종합학술대회 논문집 제13권 제 1호 307-310쪽, 1990.
- J.I. Lee, M.B. Lee and K.N. KANG, "Gate-voltage dependent parasitic resistance of LDD MOSFETs," *presented at Seoul-ISPISA 90*, Yonsei U. Aug. 20, 1990.
- [10] S.M. Sze, *Physics of Semiconductor Devices*, 2nd ed. New York; Wiley, 1981 p. 450.
- [11] 재래식 구조의 MOSFET에 대해서도 도우핑 농도 구배의 영향이 논의된 바 있다. K.K. Ng and W.T. Lynch, "Analysis of the gate-voltage-dependent series resistance of MOSFETs," *IEEE Trans. Electron Devices* vol. ED-33, no. 7, pp. 965-972, 1986.

 著 者 紹 介

- 李 精 一 (正會員) 第26卷 第5號 參照
현재 한국과학기술연구원 광
전자연구소 선임연구원
-
- 李 明 福 (正會員) 第26卷 第5號 參照
현재 한국과학기술연구원 광
전자연구소 연구원
-
- 姜 光 男 (正會員) 第26卷 第5號 參照
현재 한국과학기술연구원 광
전자 연구실장



- 尹 慶 植 (正會員)
1949年 3月 7日生. 1971年 서
울공대 전자공학사. 1977年 불란
서 Univ. Louis Pasteur de Str-
asbourg에서 D. E. A. 1978年~
1982年 한국해양연구소 해양기기
연구소 연구실장. 1988年 Univ.
of Utah에서 전자공학박사. 1988年~현재 고려대학교
정보공학과 부교수. 주관심분야는 반도체 소자의 모
델링, device simulator 개발, computer simulation,
CAD, C. G. 등임.