

論文 90-27-3-14

Pt-GaAs Schottky Barrier Diode의 Computer Simulation (Computer Simulation of Pt-GaAs Schottky Barrier Diode)

尹 賢 老*, 洪 鳳 植**

(Hyun Ro Yoon and Bong Sik Hong)

要 約

본 논문에서 유한차분법을 이용하여 Pt-GaAs Schottky Barrier Diode (SBD)를 일차원으로 simulation하였다. 반도체의 지배방정식인 포아송 방정식 (poisson equation)과 전류연속 방정식 (current continuity equation)을 이산화 시킨 다음 Newton-Raphson 방법으로 선형화시켜서 가우스 소거법으로 해가 수렴할 때까지 반복적으로 풀었다. 이 SBD의 해석에 필요한 경계조건은 열전자방출-확산이론 (thermionic emission-diffusion theory)으로부터 Schottky Barrier의 경계조건을 취하였다. 에피층을 갖는 SBD를 모델링하여 인가전압에 따른 다이오드에서의 전위와 전자의 분포를 simulation 하였다. 전위에 따라 변하는 접속층을 고려하여 실험치와 잘 일치하는 결과를 얻었다.

Abstract

In this work, one-dimensional simulation is carried out for Pt-GaAs Schottky barrier diodes with finite difference method. Shockley's semiconductor governing equations: Poisson equation and current continuity equation are discretized, and linearized by Newton-Raphson method. The linear system of equation is solved by Gaussian elimination method until convergence is achieved. The boundary condition for this equation is taken from thermionic emission-diffusion theory. Simulation is done for Pt-GaAs epitaxial-layer Schottky barrier diodes. The calculated results of electron and potential distribution are shown. Simulation results show excellent agreement with experiments.

I. 서 론

Pt-GaAs Schottky-Barrier Diode (SBD)는 빠른 스위칭능력으로 주로 초고주파 mixer에 이용되고 있다. 이 SBD의 상세한 동작을 이해하기 위하여 모델링이 필요하다. 모델링에 필요한 지배방정식은 비선형 편미분방정식으로 이것의 해를 구하기 위하여 경

계조건이 필요하다.^[1] 금속-반도체 접촉부위에서 전계, 공간전하밀도, 표면상태전하밀도 등이 경계조건이 된다. 금속-반도체 접촉장벽높이는 금속의 일함수, 반도체의 전자친화력과 접촉층에서의 전압강하에 의하여 결정된다.^[2,3] 접촉층의 표면상태 전하밀도가 아주 높지 않을때, 전위장벽의 높이는 인가된 전압의 함수로 정의된다. 이 경계조건으로 SBD의 전류 전압특성을 simulation 할 수 있다. 본 논문에서는 도우핑이 된 에피층을 갖는 Pt-GaAs SBD를 모델링하고 적합한 경계조건과 유한차분법으로 simulation을 수행하여 에피층의 두께와 전압에 따른 전계분포와 전자밀도분포를 해석하여 실험결과와 비교하고자 한다.

*正會員, 國防科學研究所
(Agency for Defence Development)

**正會員, 忠南大學校 電子工學科
(Dept. of Elec. Eng., Choongnam Nat'l Univ.)
接受日字: 1989年 10月 30日

II. 기본방정식

반도체의 지배방정식은 Poisson 방정식, 전자 전공 연속방정식, 전자 전공 전류밀도방정식과 전위를 quasi-Fermi level로 나타내는 부수식으로 구성된다. 그러나 Pt-GaAs SBD는 다수 캐리어 소자이고 일반 사용범위에서 소수 캐리어 영향은 무시할 수 있다.

따라서 다음과 같은 가정이 가능하다.

- (1) 접합공간전하영역에서 캐리어의 생성, 재결합과 누설전류는 무시.
- (2) 전류 연속방정식에서 시간에 따른 농도의 변화는 무시.
- (3) Epi층에서 Boltzman 통계식은 유효.
- (4) 소수캐리어 주입영향무시.
- (5) Einstein 관계식 유효.

본 simulation에 사용된 식은 일차원으로 다음과같이 정리할 수 있다.

Poisson 방정식

$$d^2\phi/dx^2 = -q/\epsilon_s (Nd-n) \tag{1}$$

전자전류 밀도 방정식

$$J_n = q\mu_n n E + q D_n dn/dx \tag{2}$$

전자 연속방정식

$$dJ_n/dx = 0 \tag{3}$$

여기서 $\epsilon_s, \phi, q, n, N_d, E, \mu_n, D_n$ 는 각각 반도체의 유전율, 전위, 전자의 전하량, 전자밀도, 도우핑 농도, 전계, 전자의 이동도, 전자의 확산계수이다. (2)에서 앞의 항은 전자의 드리프트를 나타내고 두번째 항은 확산을 나타낸다. 이 방정식에서 전자의 분포에 대한 정보를 얻어낼 수 있다.^[4] 전자밀도가 높지 않은 영역에서 전자의 분포는 다음 식으로 쓸 수 있다.

$$n(x) = N_a \exp(-q/kT V(x)) \tag{4}$$

k는 Boltzmann 상수이고, T는 반도체소자의 절대 온도이다. 전위분포를 알면 전자의 분포를 알 수 있다. 따라서 (4)는 simulation 결과를 검토하는 수단이 된다. 또 (2)를 확산이 무시되는 영역에서는 전자의 속도에 관한 식으로 쓸 수 있다.

$$J_n = q n V_d = q \mu_n n V_d \tag{5}$$

여기서 d는 Epi층의 두께이다. 전자의 드리프트속도 V_d 는 전압의 함수이고 $q \mu_n n/d$ 는 저항으로 표현된다. 드리프트 속도 $V_d = \mu_n E$ 이다. GaAs에서 전자이동도 μ_n 은 전계에 대하여 오버슈우트를 갖는 다음식으로 표현된다.

$$\mu_n = (\mu_0 + (E^3)/(Ecr^4))/(1 + (E^4/Ecr^4)) \tag{6}$$

μ_0 는 낮은 전계에서의 전자이동도이고 Ecr은 임계전계 값이다. 따라서 단면적이 일정할 때 Epi층의 두께가 두꺼워지면 저항성분이 커지는 결과가 된다. 전자 전류 연속방정식 (3)은 전자 농도의 시간변화율을 무시한 결과이다.

III. 전류 전압 특성곡선

이상적인 다이오드의 경우 인가된 전압에 따라 지수함수로 전류가 증가한다. 그러나 flat band 근처에서 다이오드는 전압에 따라 지수적으로 증가하지 않는다. 다이오드의 특성을 수학적 수식으로 쓰면 전류에 대한 식은

$$I = I_0 (\exp(q(V-IR_s)/n kT) - 1) \tag{7}$$

이 된다. 여기서

$$I_0 = A^{**} T^2 \exp(-\phi_b(0)/kT) \tag{8}$$

이고, A, $R_s, V, A^{**}, \phi_b(0), n$ 은 각각 소자의 접촉단면적, 직렬저항, bias전압, Modified Richardson상수, zero 바이어스 장벽높이와 이상지수이다. 낮은 바이어스 전압에서 전자 전공의 재결합 및 생성으로 I-V 특성곡선이 비이상적인 지수함수로 나타나는 경우를 제외하면 zero 바이어스 장벽높이는 실험적으로 결정할 수 있다. n은 이상적인 지수형 전류 전압 특성곡선에서 벗어나는 여러가지 효과를 포괄적으로 나타내는 수학적 파라미터이다. n에 대하여 정리하면 다음식이 된다.

$$n = (q(V-IR_s)/kT) / [\ln((I/I_0) + 1)] \tag{9}$$

이상지수 n에 대하여 전압의 함수로 전류식에서 미분항으로 표시할 수 있다.

$$n(V) = (q I/kT) dV/dI \tag{10}$$

보통은 n(V)가 1보다 약간 큰 값이 된다.

IV. 경계조건

기본방정식을 풀기 위하여 경계조건이 요구된다. 열전자방출 확산 이론에 의하여 반도체로부터 금속으로 흐르는 전자에 의한 전류밀도는 다음식으로 표현된다.^[1]

$$J_n = q V_{rn} (N_s - N_0) \tag{11}$$

V_{rn} 은 반도체 내부에서의 전자의 실효재결합 속도이고 N_s 는 반도체 표면에서의 전자의 농도이다. N_0 는 전자의 quasi-Fermi level이 금속의 Fermi-level과

평형을 이루도록 전위분포가 유지된다고 가정했을 때의 반도체 표면근처에서의 전자농도이다.

$$N_s = n_i \exp[q(\phi_s - \phi_{ns})/kT] \quad (12)$$

$$N_o = n_i \exp[q(\phi_s - \phi_m)/kT] \quad (13)$$

n_i 는 진성반도체에서 캐리어 농도이고 $\phi_m, \phi_s, \phi_{ns}$ 는 각각 금속, 반도체와 반도체 표면에서의 전위이다 전류밀도에 대하여 금속과 반도체 표면의 전위차이가 정해진다.

이 실효재결합속도는 일반적으로 반도체 캐리어의 열적속도 V_{th} 의 1/4이다. flat band 근처에서 전류밀도가 클 때는 전자의 속도분포가 Maxwell 분포로부터 hemi-Maxwell 분포로 되기때문에 실효재결합 속도를 $V_{th}/2$ 또는 이상으로 해야 한다.^[5,6]

여기서는 그림 1 과 같이 금속과 반도체의 접촉면을 고려하여 접촉층의 두께와 접촉면에서의 표면장벽높이가 변하는 모델을 채용하였다. 접촉층의 두께는 아주 얇아서 전자는 터널링으로 자유롭게 통과할 수 있으나 접촉층의 양쪽에 전위차를 갖는 경우를 가정하였다. 금속의 일함수는 인가전압과 무관하므로 그림 1에서 보는 바와 같이 $\phi_m = qVi + \chi + \phi_b(V)$ 이다.^[2] Vi 는 접촉층에서의 전압강화, χ 는 반도체의 전자친화력이고 $\phi_b(V)$ 는 전위 장벽의 높이이다.

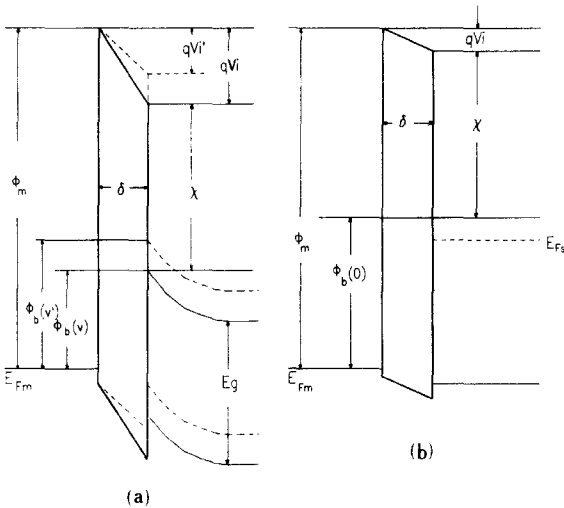


그림 1. (a) 순 바이어스 전압이 변화할 때 접촉층의 전위강화와 반도체 표면에서의 전위변화 (b) flat-band 조건인 경우

Fig. 1. (a) Energy band diagram of metal-interfacial layer-semiconductor with variation of forward bias voltage. (b) flat-band case.

$\phi_b(V)$ 가 커지면 상대적으로 qVi 는 낮아진다. Schottky 효과에 의한 전위장벽 강하량은 다른 영향보다 적어 대체로 무시할 수 있다. 그림 1에서 전위장벽 높이 $\phi_b(V)$ 는 다음식으로 주어진다.

$$\phi_b(V) = \phi_b(0) - \alpha E_{max} \quad (14)$$

여기서

$$\alpha = \delta \epsilon_s / (\alpha_s + q\delta D_s) \quad (15)$$

$$E_{max} = \sqrt{q N_d [\phi_b(0) - V - kT/q]} / \epsilon_s \quad (16)$$

이고 ϵ_i, δ, D_s 는 각각 접촉층에서의 유전율, 접촉층 두께, valance band의 상단을 넘는 에너지당 표면상태 밀도이고 E_{max} 는 반도체 표면에서의 최대전계이다. D_s 는 Pt-GaAs의 경계면에서 충분히 적은 것으로, 접촉층의 두께는 30 Å으로 가정하였다. 만약 D_s 가 10^{13} states/cm²-eV 정도를 넘으면 Fermi 준위가 $\phi_b = E_g - \phi_b$ 로 고정된다. (bardenlimit). E_g 는 band gap energy 이고 ϕ_b 는 valance band의 상단값이다.

Pt-GaAs SBD의 장벽높이는 초고진공에서 제작했을 때 0.94eV이고 화학적 에칭으로 했을 때는 0.84eV 정도이다. 여기서는 I-V 특성곡선을 연장하여 구한 결과 0.94eV로 택하였다. GaAs의 전자친화력 χ 는 4.07eV로 알려져 있다. Pt의 일함수는 광전기시험으로는 5.63eV, 열전자방출로는 5.36eV, 접촉전위법으로는 5.30eV이어서 이들의 평균 값인 5.43eV를 택하였다. 시료로 택한 다이오드는 $2.0E17$ 의 도우핑농도를 갖고 Epi층의 두께가 0.12μm 이며 단면적인 6.5μm²이다.

V. 수치해석 및 결과

반도체 소자 simulation에서 가장 어려운 문제는 연속방정식의 해를 구하는 것이다. 여기서는 일차원 해석만을 다루므로 간단한 유한차분법(FDM)을 사용한다. 기본방정식의 이산화는 다음과 같은 방법으로 시킬 수 있다. 금속과 반도체의 경계면으로부터 거리 $x_i = (i-1)h, i = 1, 2, \dots, k$ 를 mesh point라 하고, 각 mesh point x_i 에서의 전위와 전자농도를 ϕ_i, n_i 라 하고, x_i 에서 계산된 근사값 ϕ_n, n_n 의 값으로 하자. ϕ_n 는 mesh point 사이에서 piecewise linear로 확장될 수 있다. 따라서

$$\phi_n(x) = \phi_i + (x - x_i) \left(\frac{\phi_{i+1} - \phi_i}{h} \right), \quad x_i \leq x \leq x_{i+1} \quad (17)$$

이다. 먼저 연속방정식을 이산화하기 위하여 $kT/q=1$ 으로 표준화 시킨다.

$$n = n_{ie} \exp(\psi - \phi_n) = n_{ie} \eta \exp(\psi) \quad (18)$$

로 하면

$$\frac{dn}{dx} = n_{ie} \exp(\psi) \frac{d\eta}{dx} + n_{ie} \eta \exp(\psi) \frac{d\psi}{dx} = n_{ie} \exp(\psi) \frac{d\eta}{dx} + n \frac{d\psi}{dx} \quad (19)$$

이다. 여기서 ϕ_n , n_{ie} 는 각각 quasi-Fermi Potential 과 Intrinsic Carrier 농도이다. 식(19)를 전류연속방정식에 대입하고 정리하면

$$\begin{aligned} J_n &= -\mu_n [n_{ie} \exp(\psi) \frac{d\eta}{dx} + n \frac{d\psi}{dx}] + \mu_{nn} \frac{d\psi}{dx} \\ &= -\mu_n n_{ie} \exp(\psi) \frac{d\eta}{dx} \end{aligned} \quad (20a)$$

즉,

$$\mu_n(x) n_{ie} \exp[\psi_n(x)] \frac{d}{dx} \eta(\psi_n) = \text{constant} = -J_n, 0 < x < x_k \quad (20b)$$

식 (20b) 를 이산화시키기 위하여 평균이동도함수를 다음식으로 하면

$$\bar{\mu}(x) = \mu_n(x_1 + \frac{h}{2}), \quad x_1 < x < x_{i+1} \quad (21)$$

식 (20b) 는

$$\bar{\mu} n_{ie} \exp(\psi_n) \frac{d\eta_n}{dx} = \text{constant} = -J_n \quad (22)$$

이 된다. 식(22)의 양변에 $\exp(-\psi_n)/\bar{\mu} n_{ie}$ 를 곱하고 x_i 에서 x_{i+1} 까지 적분하면

$$\begin{aligned} \eta_{i+1} - \eta_i &= \int_{x_i}^{x_{i+1}} -J_n \frac{\exp(-\psi_n)}{\mu n_{ie}} dx \\ &= -\frac{J_n}{\mu_i n_{ie}} \int_{x_i}^{x_{i+1}} \exp[-\psi_i - (x-x_i) \frac{\phi_{i+1} - \phi_i}{h}] dx. \end{aligned} \quad (23a)$$

이 된다. 따라서

$$\eta_{i+1} - \eta_i = \begin{cases} -\frac{J_n}{\mu_i n_{ie}} \frac{\exp(-\psi_i) - \exp(-\psi_{i+1})}{\phi_{i+1} - \psi_i}, & \phi_{i+1} \neq \psi_i \\ -\frac{J_n}{\mu_i n_{ie}} \exp(-\psi_i), & \phi_{i+1} = \psi_i \end{cases} \quad (23b)$$

이 때 $\mu_i = \mu(x)$, $x_i < x < x_{i+1}$, J_n 는 i 에 대해 무관하므로, 식 (23b)은 η_{i+1} , η_i , η_{i-1} 에서 다음과 같이 쓸 수 있다.

$$\frac{1}{h} \left[\bar{\mu}_i A \frac{\eta_{i+1} - \eta_i}{h} - \bar{\mu}_{i-1} B \frac{\eta_i - \eta_{i-1}}{h} \right] = 0 \quad (24)$$

$$\text{이 때 } A = \frac{\phi_{i+1} - \psi_i}{\exp(-\psi_i) - \exp(-\psi_{i+1})}, \quad B = \frac{\psi_i - \phi_{i-1}}{\exp(-\psi_{i-1}) - \exp(-\psi_i)}$$

이다.

Poisson 방정식을 차등방정식으로 나타내면

$$\frac{d^2 \psi}{dx^2} = \frac{\phi_{i+1} - 2\psi_i + \phi_{i-1}}{h^2} \quad (25)$$

따라서 Poisson 방정식은 다음식과 같이 이산화시킬 수 있다.

$$\frac{\phi_{i+1} - 2\psi_i + \phi_{i-1}}{h^2} = \lambda (\bar{n}_i - N_d) \quad (26)$$

$$\text{여기서 } \lambda = \frac{q}{\epsilon_s} \frac{q}{kT} \text{이고 } (\frac{kT}{q} \approx 0.0259 \text{ volt}),$$

$$\bar{n}_i = n_{ie} \eta_i \exp(\psi_i) \text{이다.}$$

유한 요소법^[8,9]으로도 할 수 있으나 유한차분법을 채택하였다. Newton-Raphson 방법을 이용하여 선형화한 다음 각 점에서 변수, 전위 전자농도가 수렴할 때까지 반복시켜서 풀어낸다. 반도체에서의 수치해석은 Boltzmann 통계식을 적용하기 때문에 많은 계산시간과 과도한 기억용량이 요구된다. 또 높은 도우핑 농도에서는 발산하기 쉽고, 조건에 따라서 계산상의 불안정성, 오버플로우 또는 오차를 발생하는 경향이 있어 사용이 제한되고 있다.^[10,11] 계산시스템 사이즈는 Debye length 이하의 크기로 해야한다. Debye length는 다음식으로 주어진다.

$$L_b = \sqrt{\epsilon_s kT/q^2 N_d} \quad (27)$$

수치해석은 전술한 바와 같이 Newton-Raphson 방법으로 이산화 시킨다음 전위와 전자농도를 구한다. 높은 도우핑농도에서는 수렴보다는 발산하는 경향이 있다. 그림 2에 전위분포를 보였다. 인가 전압을 변화시키면서 계산하였다. 인가전압이 높아질수록 전위장벽의 높이가 낮아지는 것을 알 수 있다. 인가전압이 0.42V일 때 실제 다이오드에 흐르는 전류는 Pt-GaAs SBD가 high barrier 다이오드이기 때문에 대단히 적어 전류에 의한 효과는 무시하였다. 전압이 0.81V일 때 경계면에서의 전위는 약 5 kT/q 정도였다. 이 근처부터 전자의 드리프트에 의한 전압이 나타나 전위가 음으로 나타나는 영역이 생긴다. 캐소드쪽의 전위를 0V로 고정시키고 전위장벽에서의 전위변화를 그렸다. 그림 3에 전계분포를 보였다. 전계는 전위의 거리에 대한 미분으로 전위분포와 유사한 모양인데 특히 급속-반도체 경계면에서 높은 전계를 나타내었다.

그림 4에서는 전자의 농도를 보였다. 높은 전계에

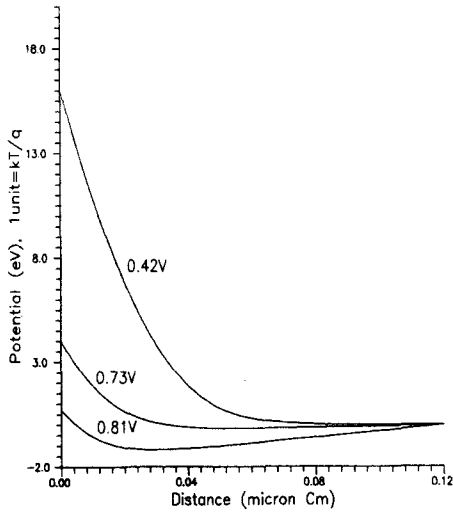


그림 2. 거리에 따른 전위분포
Fig. 2. Potential distribution versus distance from the contact.

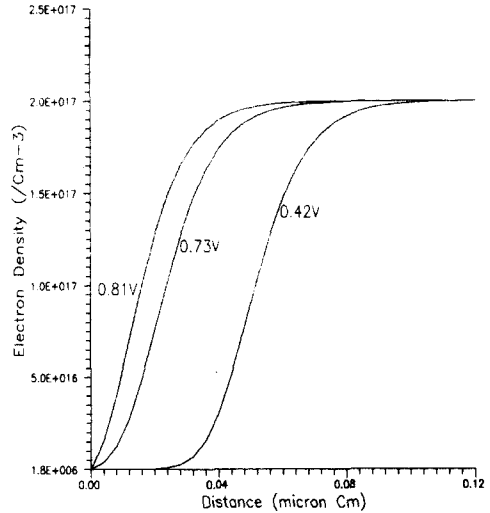


그림 4. 거리에 따른 전자 밀도분포
Fig. 4. Electron density distribution versus the distance.

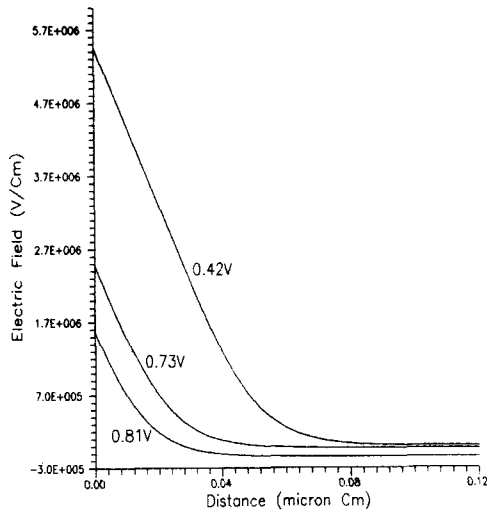


그림 3. 거리에 따른 전계분포
Fig. 3. Electric field distribution versus distance from the contact.

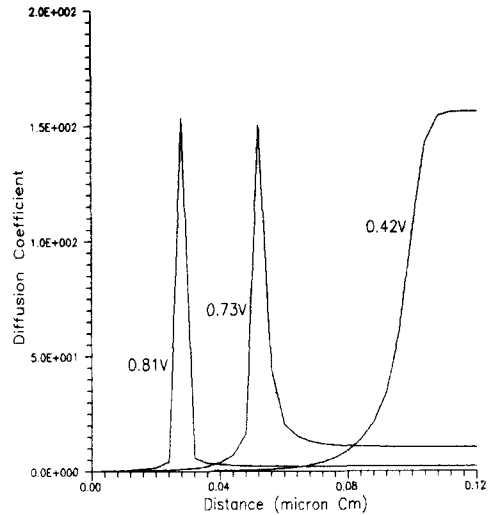


그림 5. 거리에 따른 확산계수
Fig. 5. Variation of diffusivity versus the distance.

서는 전자의 농도가 낮는데 이것은 (4)와 일치한다. 실제 계산에서는 경계면근처에서 반전층이 없다고 보고 전자의 농도를 진성반도체에서의 농도로 초기값을 택하였다. 공핍 근사식으로 그림 4의 분포가 대체로 맞다는 것을 알 수 있다. 그림 5는 위치에 따른 확산계수를 계산하였다. 전계에 따라 오버슈트트가 있는 이동도를 계산한 식(6)을 사용하였

다. (6)식은 전계에 대하여 전자의 이동도가 비선형적인 특성을 갖고있다. 특히 0.81V일 때 확산계수가 피크 값을 갖는 모양을 나타내었다. 이것보다 높은 전압에서는 Epi층의 직렬저항성분이 중요한 역할을 한다. 본 논문은 직렬저항성분이 중요하지않은 일반 사용영역을 중심으로 계산하였기 때문에 Epi층에서의 전자의 드리프트에 의한 영향이 두드러지게 나타나지 않았다. 여기서 모델로 사용한 다이오드의

I-V 특성곡선의 시험값과 simulation 결과를 그림 6에 제시하였다. 이 다이오드의 인가전압에 따른 이상지수 $n(V)$ 의 실험치와 simulation 결과를 그림 7에 보였다.

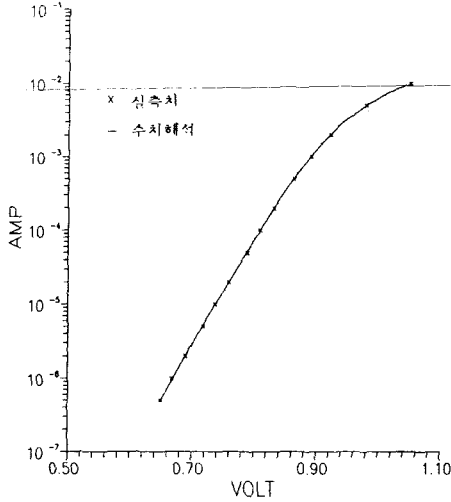


그림 6. SBD의 I-V 특성곡선의 실험치와 수치해석의 비교

Fig. 6. Experimental and numerical I-V characteristics for the diode.

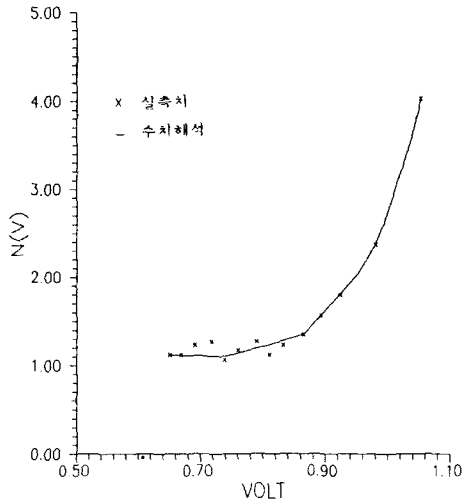


그림 7. 인가전압에 따른 이상지수 $n(V)$ 의 실험치와 수치해석의 비교

Fig. 7. Experimental and numerical value of ideality factors versus applied bias voltage.

V. 결론 및 토의

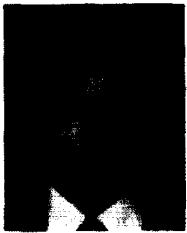
이상으로 에피-층을 갖는 Pt-GaAs SBD의 인가전압에 대한 경계면 근처에서의 전위와 전자밀도의 변화에 대하여 일차원으로 유한차분법을 이용한 simulation 결과를 보였다. 반도체내의 전계, 전자의 농도가 인가전압에 따라 다양하게 변할 경우 유한요소법이 적절하나 여기에 모델로 사용된 Pt-GaAs SBD의 경우 유한차분법이 유한요소법보다 간단하다. I-V 특성곡선과 이상지수 $n(V)$ 에서 실험결과와 잘 일치됨을 알 수 있다. 인가전압이 충분히 커서 I-V 특성곡선이 비이상적으로 나타나는 나타나는 영역에서는 수치해석을 수행하지 않았다. 이 영역에서는 열전자방출, 전계에 의한 전자방출, 터널링등이 복잡적으로 일어나고 접속층에서의 전압강하도 의문시되기 때문이다. 이 SBD는 실제 초고주파 대역에서 사용되므로 다이오드의 저항보다는 캐패시턴스가 더 중요할 것으로 예상된다. 캐패시턴스에 대한 보다 깊은 연구도 필요하다. 이와 같은 모델링과 simulation을 통하여 밀리미터파의 mixer 또는 GaAs MESFET에 대하여 소자의 설계와 소자의 특성을 예측하는데 기여할 수 있다. 또 SBD는 낮은 소수 캐리어 주입 (low minority carrier injection)의 P⁺-N 계단형 접합과 유사하기 때문에 이것의 전자 전위분포를 예측하는데 도움을 줄 수도 있다.

참고 문헌

- [1] S.M. Sze, "Physics of semiconductor devices," 2nd ed. New York: Wiley, 1981.
- [2] E.M. Rhoderick, "Metal-Semiconductor contact," Oxford: Clarendon, 1978.
- [3] H.K. Henisch, "Semiconductor contacts: an approach to ideas and models," Oxford: Clarendon, 1984.
- [4] J.G. Simmons and G.W. Taylor, "Generalized theory of conduction in schottky barrier," Solid State Electron., vol. 26 no. 7, pp. 705-709, 1983.
- [5] G. Baccarani and Mazzone, "Monte-Carlo simulation of current transport in forward-biased Schottky-barrier diodes," Electron. Lett., vol. 12, no. 2, pp. 59-60, 1976.
- [6] J.Adams and T.-W. Tang, "A revised boundary condition for the numerical simulation of schottky barrier diodes," IEEE Electron devices Lett., vol. EDL-7, no. 9, pp. 525-527 1986.
- [7] J.G. Adams et al., "Numerical analysis of GaAs epitaxial-layer schottky diodes," IEEE

- Trans. Electron Devices, vol. ED-34, no. 9, pp. 1963-1970, 1987.
- [8] C.W. Wilmsen, "Physics and chemistry of III-V compound semiconductor interfaces," New York: Plenum Press, 1985.
- [9] 손상희, 광계달외, "Control Volume Formulation method를 사용한 GaAs MESFET의 소자 해석," 전자공학회지, 제26, 제1호, pp. 48-61, 1989.
- [10] 송낙운, "유한요소법에 의한 GaAs MESFET 소자의 해석," 전자공학회지, 제25권, 제1호, pp. 33-41, 1988
- [11] S.F. Guo, "A simplified model for computer simulation of schottky barrier diodes," Solid State Electron., vol. 27, no. 6 pp. 537-543, 1984.
- [12] S. Selberherr, "Analysis and simulation of semiconductor devices," New York: Springer-Verlag/Wein, 1984.
- [13] M.S. Mock, "Analysis of mathematical models of semiconductor devices," Dublin: Boole Press, 1983.

 著 者 紹 介



尹 賢 老 (正會員)

1951年 8月 18日生. 1975年 서울대학교 전자공학과 졸업. 1985年 충남대학교 전자공학과 공학석사 취득. 현재 충남대학교 박사과정. 1975年~현재 국방과학연구소 근무. 주관심분야는 Device mode-

ling, CAD, 회로 설계 등임.

洪 鳳 植 (正會員) 第26卷 第12號 參照

현재 충남대학교 전자공학과 교수.