

P⁺ 다결정 실리콘을 사용한 SC-PMOSFET의 특성

(The Characterization of SC-PMOSFET with P⁺ Polysilicon Gates)

鄭 成 益*, 朴 鍾 泰**

(Soung Ik Jeong and Jong Tae Park)

要 約

P⁺형 다결정 실리콘 게이트와 n형 다결정 실리콘 게이트를 갖는 P채널 MOSFET를 제작하였다. 채널의 길이와 채널의 이온 주입 조건에 따라 SC-PMOSFET와 BC-PMOSFET의 transconductance 문턱전압저하 및 subthreshold 특성을 분석하였다. 측정된 소자의 특성으로 부터 SC-PMOSFET소자가 BC-PMOSFET 소자에 비하여 transconductance는 작으며 subthreshold 영역에서 누설전류도 작고 문턱 전압 저하 및 DIBL영향이 작게 일어남을 알 수 있었다.

Abstract

A study of the operation of surface and buried mode PMOSFET's is conducted. Using device with different channel length and channel implant dosage, threshold voltage lowering, transconductance and subthreshold characteristics of surface mode PMOSFET are compared with those of buried mode PMOSFET. From the results, the surface channel device were more resistant to short channel effect than the buried channel device.

I. 서 론

CMOS 기술에서 n형 다결정 실리콘 게이트를 사용한 PMOSFET는 Buried channel MOSFET(이하 BC-MOSFET로 칭함)로써 소자의 크기가 sub-micron 레벨로 scaling 됨에 따라 문턱 전압 저하 및 punch-through 등의 short channel 현상이 심각하게 일어난다.^[1] 이런 short channel 현상을 줄이기 위하여 retrograde n-well 및 shallow channel 이온주입

을 하는 연구와 n형 다결정 실리콘 대신 p⁺형 다결정 실리콘을 게이트 전극으로 사용하여 BC-MOSFET를 surface channel형 MOSFET(SC-MOSFET로 칭함)로 대체하려는 연구가 활발히 진행되고 있다.^[2-6] p⁺ 다결정 실리콘 게이트를 전극으로 사용하면 문턱 전압을 조절하기 위한 종래의 counter doping을 하지 않아도 되므로 subthreshold 영역에서의 누설전류를 줄일 수 있으며 채널 길이가 짧은 BC-MOSFET에서 심각하게 일어나는 DIBL(drain induced barrier lowering) 효과 및 전압저하를 줄일 수 있게 된다. 또한 sub-micron 레벨 소자에서 가장 큰 문제중의 하나인 hot-carrier에 의한 소자의 수명을 결정짓는 문턱전압의 변화와 transconductance의 변화도 n형 게이트 소자보다 p⁺형 게이트 소자가 적게된다.^[7-8] 그

*正會員, 金星엘렉트론研究所
(GoldStar Electron R & D)

**正會員, 仁川大學校 電子工學科
(Dept. of Elec. Eng., Incheon Univ.)

接受日字: 1989年 12月 12日

러나 다결정 실리콘을 p⁺형으로 doping하기 위하여 boron을 이온 주입하게 되는데 이때 게이트 산화층의 두께가 얇으면 쉽게 boron이 산화층으로 확산되어 실리콘 기판에 영향을 주게 되므로 소자의 불안전성이 문제가 된다.^[9-10] 이런 boron의 확산을 막기 위하여 RTA로 열처리하는 방법이 연구되고 있다.^[11]

본 연구에서는 p⁺형 다결정 실리콘 게이트를 사용한 P채널 SC-MOSFET와 n형 다결정 실리콘 게이트를 사용한 P채널 BC-MOSFET의 소자 특성을 비교분석 하고자한다. 특히 p⁺형 다결정 소자인 경우가 문턱 전압 저하, DIBL 특성등의 short channel 현상이 작게 일어남을 실험적 결과로 부터 증명하고 채널의 이온 주입 조건에 따른 소자의 특성 변화를 분석한다.

II. 소자 제작 과정

소자의 접체 제작 공정 과정은 그림1과 같다. 결정 방향이 (100)이며 비저항이 3-5Ω-cm인 N형 실리콘 기판에 dry O₂ 방법으로 1000°C에서 30분간 450 Å의 SiO₂층을 성장시킨후 문턱 전압 조절을 위한 이온 주입을 하였다. 이온 주입 조건에 따라 문턱전압과 소자의 특성을 비교 분석하기 위하여 이온주입을 하지않은 경우와 phosphorus를 에너지 40 KeV에서 dose량을 0.5E11 cm⁻² 및 1.0E11 cm⁻²로 분리하여 주입하였다. SiO₂층을 strip하고 다시 1000°C에서 120분동안에 약 800 Å의 게이트 SiO₂층을 성장시켰다. 그리고 625°C에서 LPCVD 방법으로 약 4700 Å의 다결정 실리콘을 증착한후 p⁺형으로 doping하기 위하여 boron을 이온 주입 하였다. 이때 boron의 이온 주입 조건은 에너지 60 KeV에서 dose량을 1.0E15cm⁻²로 하였으며, 이때 다결정 실리콘의 R_s는 155Ω/□이었다. 게이트 SiO₂층을 etching하고 source 및 drain을 위한 이온 주입을 40KeV에서 dose량 1.5E15 cm⁻²로 하였다. 그리고 920°C에서 15분동안 PSG를 증착하고 Si이 1%인 Al을 증착하여 전극을 형성한 결과 소오스 및 드레인의 접합 깊이는 약 0.5μm 되었다. 제작된 p⁺ 게이트와 n-게이트로된 소자의 특성을 비교 분석하기 위하여 문턱전압이 비슷한 값을 갖는 일반적인 CMOS 공정 과정으로 제작된 n 게이트로 된 p채널 MOSFET를 같이 측정하였다.

III. Simulation에 의한 소자 특성

MOSFET의 전기적 특성은 실리콘 표면의 불순물 분포에 의하여 결정되므로 P채널 BC-MOSFET와

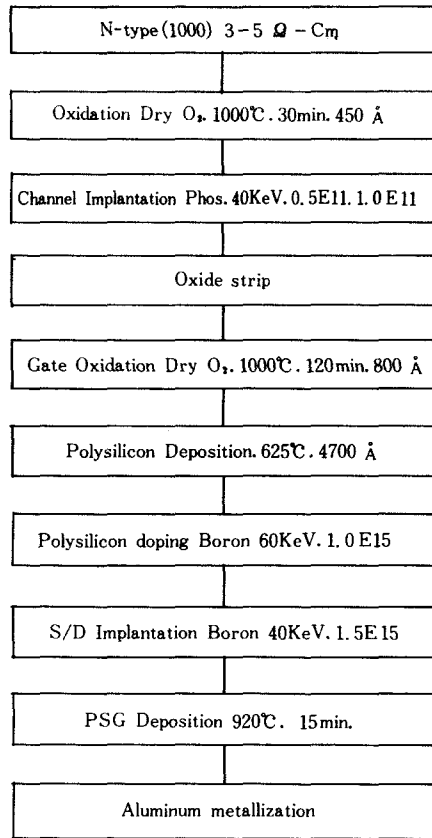
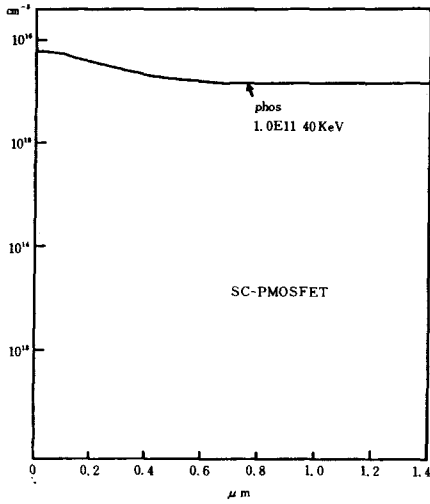


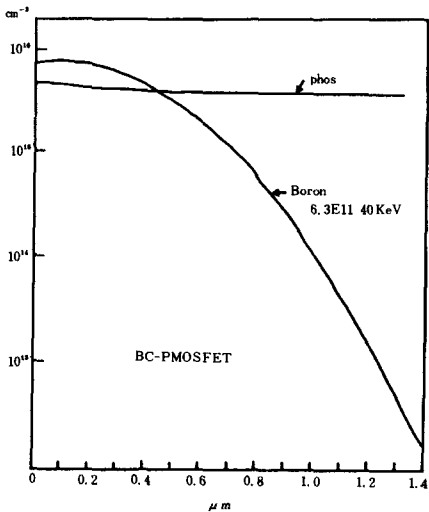
그림 1. 소자제작 공정과정
Fig. 1. Process flow of the device fabrication.

SC-MOSFET의 채널에서 불순물 분포를 SUPREM III에 의하여 구하였다. 그림2-a는 채널에 phosphorus를 1.0E11 cm⁻²로 이온 주입한 SC-MOSFET의 불순물 분포에서 마치 n형 다결정 실리콘을 게이트 전극으로 사용한 N채널 MOSFET의 채널에서 불순물 분포와 같다. 그림2-b는 문턱전압조절 및 punch-through 현상을 막기 위하여 boron을 채널에 이온 주입한 일반적인 BC-MOSFET의 불순물 분포이다. 그림2-b로 부표 표면에서 약 0.4μm된 지점에 p-n 접합이 형성됨을 알 수 있다. 그리고 2차원 simulation인 PISCES II-B로 드레인 전압이 -5.0V에서 채널길이가 2.0μm인 두 소자의 전위 분포를 구하였다. 그림3은 채널 깊이에 따른 전위 분포로서 최소 전위가 SC-MOSFET인 경우는 실리콘 표면에 위치하지만 BC-MOSFET는 표면에서 약 0.15μm 정도 떨어진 곳에 위치하는 것을 알 수 있다. 또한 드레인 전압 증가에 의한 채널 방향의 전위 변화를 관측

하기 위하여 드레인 전압이 $-0.1V$ 인 경우와 $-5.0V$ 인 경우의 채널 방향의 전위 분포를 그림 4에 나타내었다. 그림 4로부터 BC-MOSFET는 SC-MOSFET에 비하여 드레인 전압이 $-5.0V$ 로 증가 되었을 때 전위장벽의 저하가 크게 일어나는 것을 알 수 있는데 이는 BC-MOSFET가 SC-MOSFET에 비하여 DIBL 영향이 크다는 것을 의미하게 된다.



(a)



(b)

그림 2. 채널영역의 불순물 분포
Fig. 2. Impurity profile in the channel region.

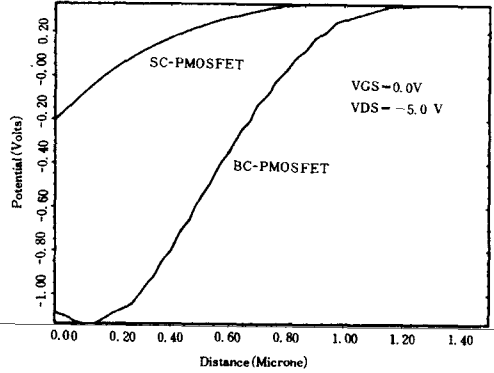


그림 3. 채널의 깊이에 따른 전위분포
Fig. 3. Potential distribution along the channel depth.

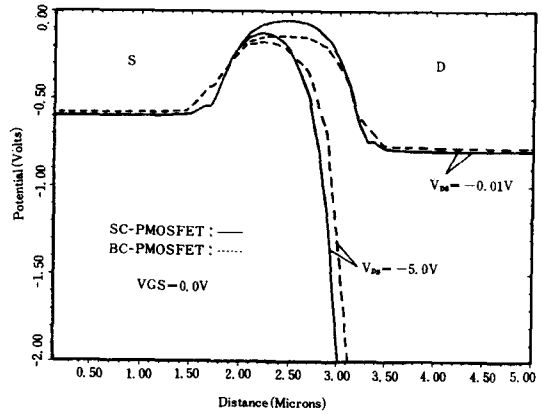


그림 4. 채널의 길이방향에 따른 전위분포
Fig. 4. Potential distribution along the channel length.

IV. 소자의 특성

1. Transconductance

SC-MOSFET와 BC-MOSFET의 전류-전압 특성을 비교하기 위하여 채널 폭이 $50\mu m$ 이고 유효채널 길이가 $4\mu m$ 이며 문턱 전압이 약 $-0.68V$ 인 두 소자를 측정하여 그림 5에 나타내었다. 그림 5로부터 BC-MOSFET의 드레인 전류가 SC-MOSFET보다 큰 것을 알 수 있는데 이것은 BC-MOSFET의 transconductance가 SC-MOSFET보다 크기 때문이다. 그림 6은 BC-MOSFET와 SC-MOSFET의 게이트 전압에 따른 transconductance의 변화를 나타낸 것이다. 그림 6과 같이 SC-MOSFET의 transconductance

값이 작은 것은 채널이 실리콘 표면에서 형성되므로 홀과 실리콘 표면의 큰 산란으로 인하여 이동도가 작아지기 때문이다. 이에 비하여 BC-MOSFET는 채널이 표면으로 부터 떨어져 있으므로 transverse electric field도 작아지게 되고 표면과의 산란이 적어 지므로 홀의 이동도가 커지기 때문에 transconductance가 크게 된다. 그리고 그림6으로 부터 게이트 전압이 증가함에 따라 SC-MOSFET의 transconductance 값은 큰 저하가 없으나 BC-MOSFET의 transconductance의 값은 저하가 크다. 이것은 BC-MOSFET에서 게이트 전압의 증가는 채널에서의 P-N접합에 역방향 전압을 증가시키는 결과가 되므로 채널 P-N접합의 공핍층 영역에 IR 전압 강하를 유발시키게 된다. 그 결과로 직렬 기생 저항이 SC-MOSFET에 비하여 크게 되기 때문이다. 또한 채널의 불순물 농도에 따른 transconductance의 변화를 측정하기 위하여 채널에 이온 주입을 하지 않은 경우와 dose 량을 $0.5E11 \text{ cm}^{-2}$, $1.0E11 \text{ cm}^{-2}$ 으로 한 소자의 전류-전압특성을 측정하여 그림7에 나타내었다. 그림7로부터 채널에 phosphorus 량이 증가할수록 드레인 전류가 작게 흐르는 것을 알 수 있는데 이것은 기판 표면의 농도 증가로 인한 이동도의 감소로 transconductance가 작기 때문이다.

2. 문턱 전압 저하현상

유효 채널 길이의 감소로 인하여 기존의 BC-MOSFET 소자는 문턱전압의 저하현상이 크게 일어나고 있으나 SC-MOSFET 소자인 경우는 문턱전압 저하 현상이 작게 일어나는 장점이 있다. 유효채널 길이의 변화에 따른 문턱전압의 저하량을 비교하기 위하여 드레인 전압이 $-0.1V$ 에서 linear extrapolation 방법으로 문턱전압을 측정하여 그림8에 나타내

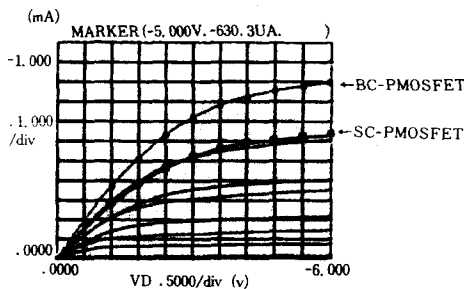


그림 5. SC-MOSFET와 BC-MOSFET의 I-V 특성
 Fig. 5. I-V characteristics of SC-MOSFET and BC-MOSFET.

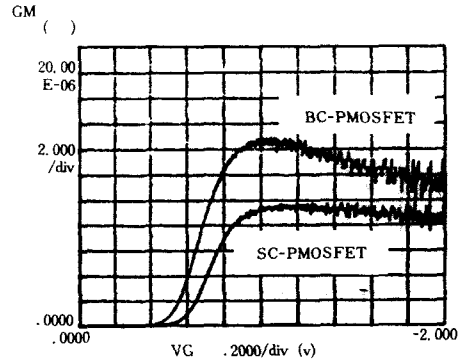


그림 6. SC-MOSFET와 BC-MOSFET의 transconductance 특성
 Fig. 6. Transconductance characteristics of SC-MOSFET and BC-MOSFET.

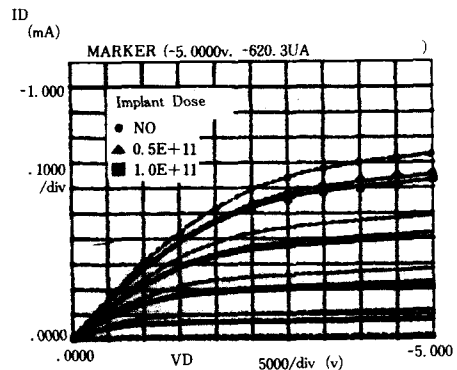


그림 7. 채널 이온주입량에 따른 SC-MOSFET의 I-V특성
 Fig. 7. I-V characteristics of SC-MOSFET with channel ion dosage.

었다. 그림8로 부터 채널 길이가 긴 경우는 BC-MOSFET와 SC-MOSFET의 문턱 전압 저하가 거의 없으나 채널 길이가 짧아지면 드레인 전압이 $-0.1V$ 인 경우 SC-MOSFET의 문턱 전압 저하(ΔV_t)는 $0.16V$ 로 BC-MOSFET의 약 $0.4V$ 에 비하여 작은 것을 알 수 있다. 그림8로 부터 SC-MOSFET가 BC-MOSFET에 비하여 short channel 현상이 적게 일어나므로 유효 채널 길이가 점차 작아지고 있는 초고집적 회로에서는 p⁺결정 실리콘 게이트를 사용하므로 문턱 전압 저하를 개선할 수 있게 된다. 채널의 phosphorus 이온 주입량에 따른 문턱전압의 저하 현상을 그림9에 나타내었다. 그림9로 부터 표면의

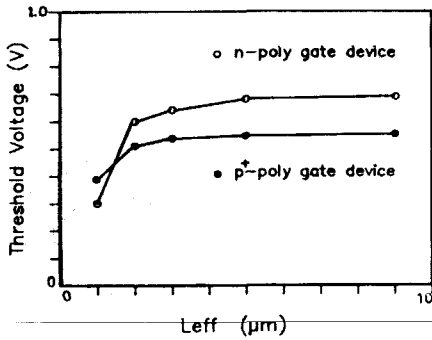


그림 8. 채널길이에 따른 문턱전압의 변화
 Fig. 8. Threshold voltage shift as a function of channel length.

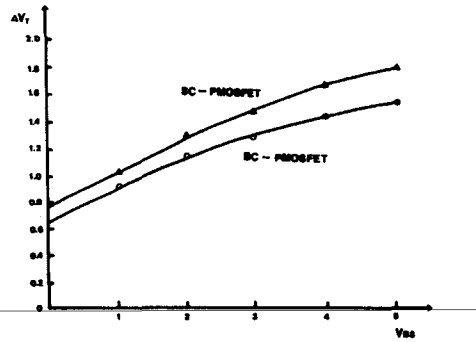


그림 10. 기판전압에 따른 문턱전압의 변화
 Fig. 10. Threshold voltage shift as a function of substrate bias voltage.

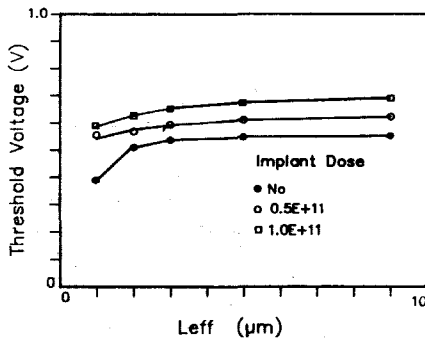


그림 9. 채널 이온주입량에 따른 문턱전압의 변화
 Fig. 9. Threshold voltage shift as a function of channel implant dosage.

불순물 농도가 높으면 문턱전압의 저하량이 감소하는 것을 알 수 있다. 즉 기판의 background doping이 많으면 short channel 현상을 줄일 수 있다는 뜻이 된다. 그런데 기판의 불순물 농도가 증가하면 기판 전압에 따른 문턱전압의 변화가 크게되어 역작용을 나타내게 된다. 그림 10은 BC-MOSFET와 SC-MOSFET의 body effect를 비교하기 위하여 채널길이가 $4\mu\text{m}$ 이고 폭이 $50\mu\text{m}$ 인 소자의 기판전압 변화에 따른 문턱 전압의 변화를 나타낸 것이다. SC-MOSFET의 문턱 전압이 BC-MOSFET의 문턱 전압에 비하여 크게 증가하는 것은 그림 3에서와 같이 BC-MOSFET인 경우 최소 전위가 표면으로부터 $0.15\mu\text{m}$ 정도 떨어져 있으므로 실제로는 더 큰 게이트 전압이 요구되기 때문이다.

3. Subthreshold 특성

유효 채널 길이가 $2.0\mu\text{m}$ 인 SC-MOSFET BC-MOSFET의 subthreshold 특성을 그림 11과 그림 12에 나타내었다. 이 때의 SC-MOSFET는 문턱 전압 조절을 위한 채널 이온 주입을 하지 않은 소자이다. 그림 12로부터 드레인 전압이 작을 때는 SC-MOSFET의 누설전류가 BC-MOSFET 보다 작으며 드레인 전압이 증가해도 누설전류가 크게 증가하지 않았으나 BC-MOSFET는 크게 증가함을 알 수 있다. BC-MOSFET의 누설전류가 큰 것은 채널이 표면으로부터 떨어져 있으므로 SC-MOSFET 보다 게이트 전압에 의하여 효율적으로 제어될 수 없기 때문이다. 또한 그림 11에서부터 SC-MOSFET는 드레인 전압이 -0.1V 에서 -5.0V 로 증가되어도 S 값은 101mV/decade 로 일정하였으나 그림 12에서 BC-MOSFET의 S 값은 -0.1V 에서 120mV/decade 가 -5.0V 에서 178mV/decade 로 증가되었음을 알 수 있다. 이렇게 드레인 전압의 증가에 따라 게이트 swing이 크게 변하는 것은 드레인 전압에 의한 전위장벽의 저하현상이 BC-MOSFET에서 더 심하게 일어남을 보여주는 것으로써 III절에서 simulation에 의한 결과와 일치한다. 그리고 채널의 불순물 농도와 채널 길이 변화에 따른 S 값의 변화를 그림 13에 나타내었다. 채널의 길이가 긴 경우는 채널 이온 주입량에 상관없이 같은 S 값을 갖으나 채널 길이가 짧은 경우는 S 값이 다른것을 알 수 있다. 또한 채널의 농도가 높을수록 S 값의 변화가 큰 것은 표면 불순물의 증가로 표면 전위를 증가시켜 DIBL 영향이 표면쪽이 아닌 bulk 쪽으로 일어나 bulk punch-through 현상을 일으키기 때문으로 생각된다.

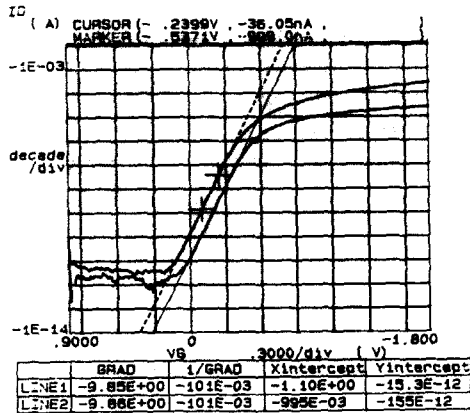


그림11. SC-MOSFET의 subthreshold특성
Fig. 11. Subthreshold characteristics of SC-MOSFET.

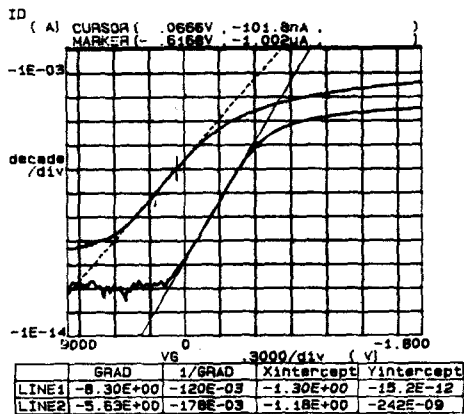


그림12. BC-MOSFET의 subthreshold특성
Fig. 12. Subthreshold characteristics of BC-MOSFET.

V. 결 론

P⁺형 다결정 실리콘 게이트를 갖는 SC-PMOSFET와 n형 다결정 실리콘 게이트를 갖는 BC-PMOSFET의 소자 특성으로부터 다음과 같은 결론을 얻을 수 있었다.

첫째, SC-PMOSFET의 transconductance가 BC-PMOSFET에 비하여 작았으나 큰 게이트 전압에서는 BC-PMOSFET의 transconductance가 크게 감소하였다.

둘째, 채널의 길이가 1 μ m인 소자에서 SC-PMOS

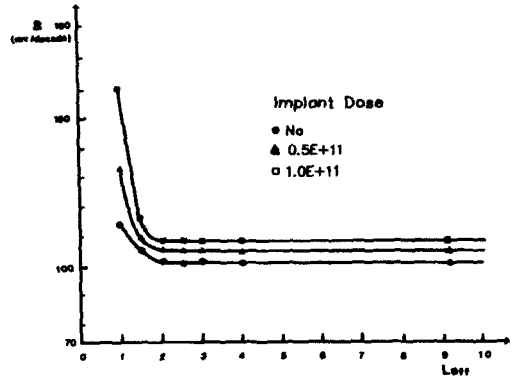


그림13. 채널길이와 채널 이온주입량에 따른 subthreshold 기울기 변화
Fig. 13. Subthreshold slope as a function of channel length and channel ion dosage.

FET의 문턱전압 저하가 0.16V로 BC-PMOSFET의 0.4V에 비하여 작았으며 body effect는 SC-PMOSFET 소자에서 더 큰 것을 알 수 있다.

셋째, subthreshold 특성으로 부터 SC-PMOSFET가 BC-PMOSFET에 비하여 누설전류가 작으며 드레인 전압에 따라 DIBL 효과가 작음을 알 수 있다.

参 考 文 献

- [1] John. J. Barnes, et al., "Short-Channel MOSFET's in the Punchthrough current mode," *IEEE Trans, Electron Devices*, vol. ED-26, no. 4, pp. 446-453, 1979.
- [2] G.J. Hu, et al., "Design Tradeoffs Between Surface and Buried-channel FET's," *IEEE Trans. Electron Device*, vol. ED-32, no. 3, pp. 584-589, 1985.
- [3] N. Kasai, et al., "0.25 μ m CMOS Technology using P+ Polysilicon gate PMOSFET's," *IDEM*, 87, pp. 367-370, 1987.
- [4] D.W. Wenocur, et al., "Fabrication and characterization of Sub-Micron Thin Gate Oxide P-channel Transistors with P+ Polysilicon Gates," *IDEM*, 85, pp. 212-215, 1985.
- [5] James R. Pfiester, et al., "A novel dual P-/P+ Poly Gate CMOS VLSI Technology," *IEEE Trans Electron Devices*, vol. ED-36, no. 6, pp. 1087-1092, 1989.
- [6] S. Nygren, et al., "Dual-Type DMOS Gate Electrode by dopant diffusion from silicide," *IEEE Trans Electron Devices*, vol. ED-36, no. 6, pp. 1088-1092, 1989.

- [7] I. Kato, et al., "Mechanism of hot electron trapping on PMOSFET with P+ Poly-silicon Gate" IEDM 88, pp. 14-17, 1988.
- [8] M.P. Brassington, et al., "The relationship between gate bias and hot-carrier induced instability in buried and surface channel PMOSFET", *IEEE Trans. Electron Devices*, vol. ED-35, no. 3, pp. 320-324, 1988.
- [9] Y. Hiruta, et al., "+BT Instability in P+ Poly Gate MOS structure," IEDM 87, pp. 578-581, 1987.
- [10] J.Y. C. Sun, et al., "Study of boron penetration through thin oxide with P+Polysilicon Gate," *1989 Symposium on VLSI Technology, Kyoto*, pp. 17-18, 1987.
- [11] H. Hayashida, et al., "Dopant redistribution in dual gate W-polycide CMOS and its improvement by RTA," *1989 Symposium on VLSI Technology, Kyoto*, pp. 29-30, 1989.

 著 者 紹 介

鄭 成 益 (正會員)

1959年 2月 1日生. 1983年 2月
 광운대학교 공과대학 전자공학과
 졸업 (B. S). 1985年 2月 연세대학
 교 대학원 전자공학과 졸업 (M. S)
 1985年 1月~1989年 7月 금성반
 도체 (주) 연구소 근무. 1989年 8
 月~현재 금성 일렉트론 (주) 반도체연구소 연구원 근
 무중. 주관심분야는 MOS 서브마이크로 디바이스 분
 석 및 최적화 등임.

朴 鍾 泰 (正會員) 第23卷 第3號 參照

현재 인천대학교 전자공학과
 조교수