

Poly-Si에 첨가한 도펀트가 Titanium Silicides 형성에 미치는 영향 II*

(Effects of Dopants Introduced into the Poly-Si on the Formation of Ti-Silicides)

柳 沈 秀*, 崔 珍 奭*, 白 壽 鉉*

(Yeon Soo Ryu, Jin Seog Choi, and Su Hyon Paek)

要 約

Si의 기판상태, 불순물의 종류와 양, 어닐링온도 등을 달리하여 Ti-silicides를 형성시켰을 때 면 저항과 두께측정, 불순물들의 분포와 미세구조 관찰을 통하여 Ti-silicides 형성반응을 조사하였다. 기판상태, 불순물의 농도, 어닐링온도가 Ti-silicides 형성에 직접적으로 영향을 미쳤다. Amorphous Si 기판상에서 Ti-silicides가 형성되었을 때 $TiSi_2/Si$ 계면편평도가 보다 향상되었다. Poly-Si내 불순물의 농도가 1×10^{16} ions/cm² 이상일 때 $TiSi_2$ 형성이 크게 억제되었고 면저항이 증가하였다. 불순물의 out-diffusion에 영향을 미치는 인자 중의 하나는 이온주입에너지에 의해 결정되는 초기 불순물의 분포였다. 이온주입 공정보다 $POCl_3$ 공정에서 불순물의 out-diffusion이 적게 나타났다.

Abstract

The formation of Ti-Silicides with the type of substrate, the species and the concentration of dopant, and the annealing temperature was investigated with sheet resistance and thickness measurement, elemental depth profiling, and microstructure. It was directly affected by the type of substrate, the species and the concentration of dopant, and the annealing temperature. For the amorphous Si substrate, the smoothness of $TiSi_2/Si$ interface was increased. Above concentration of 1×10^{16} ions/cm², the rate of $TiSi_2$ formation was decreased and the sheet resistance was increased. The initial profile of dopant according to the implantation energy was one of the factors influencing the out-diffusion of dopant. In $POCl_3$ process, this was less than in ion implantation process.

I. 서 론

MOS 소자의 Gate electrode와 Interconnection 재료로서 널리 사용되어왔던 poly-Si은 LSI에서 VLSI로 집적도가 증가함에 따라 높은 저항과 결정립도

변화로 회로의 동작속도, 최소선폭, 적층밀도 등을 제한하게 되어 이를 대신할 새로운 재료가 요구되었다.^[1] 그에 따라 Si과의 접착(adhesion) 특성이 좋고 비저항이 낮으며 고온의 반도체 공정에도 적용할 수 있는 금속실리사이드 재료가 등장하게 되었다. 그리하여 $MoSi_2$ 가 금속실리사이드 중 최초로 연구되었고 1978년, 1979년 경에 $MoSi_2, WSi_2$ 가 MOS 소자에 처음으로 사용되었다.^[2]

*正會員, 漢陽大學校 材料工學科
(Dept. of Materials Eng., Hanyang Univ.)
接受日字 : 1989年 10月 17日

현재 4M DRAM소자의 Interconnection 재료로 WSi_2 가 사용되고 있지만 16M DRAM급 이상의 소자에서는 WSi_2 보다 비저항이 낮은 새로운 실리사이드 재료개발이 필수적이다. 실리사이드 중 $TiSi_2$ 가 비저항이 가장 낮고 자연산화물을 줄일 수 있으므로 16M DRAM급 이상의 소자개발시 선결과제인 Interconnection 재료개발^[3] Salicide 공정가능성,^[4] Shallow Junction 형성^[5] 등을 해결할 가능성이 높아 현재 널리 연구되고 있다. $TiSi_2$ 를 사용한 Interconnection 재료개발 분야에서는 불순물(As, P)을 도핑한 poly-Si에 $TiSi_2$ 를 적층한 Polycide 구조^[6]가 Si gate공정의 장점을 유지하면서 낮은 비저항을 나타내므로 특히 관심이 집중되고 있다.

Single Si상에서 Ti-silicides 형성에 관한 연구는 많이 수행되었지만 poly-Si상에서 Ti-silicides 형성에 대해서는 거의 연구가 되어 있지 않았다. 본 연구에서는 polycide 공정시 접촉저항을 낮추고 전도도를 좋게 하기 위하여 첨가한 불순물들이 어닐링시 Ti-silicides 형성에 미치는 영향과 거동을 연구하고자 하였다. 그리하여 우선적으로 기판상태, 불순물의 종류와 양 불순물의 분포, 도핑공정 등을 달리한 후 Ti-silicides를 형성시켰을 때 두께와 면저항 측정, 불순물의 분포와 미세구조 관찰을 통하여 Ti-silicides 형성반응을 관찰하였다.

II. 실험 방법

실험순서를 도표로 나타내면 그림1과 같다.

Ti-silicides 박막을 형성하기 위하여 직경 125mm, 비저항 5~25 $\Omega \cdot cm$ 인 p-type(100) Si웨이프를 준비하였다. 황산과 불산용액으로 표면을 세척한 후 열적산화법에 의하여 1000Å 두께의 산화막을 성장시켰다. 그 위에 Low-pressure chemical vapor deposition(LPCVD) 방법으로 3000Å 두께의 amorphous Si, poly-Si 박막을 형성시켰다.^[7] 불순물을 도핑시에는 열적확산법인 $POCl_3$ 공정과 이온주입공정으로 달리 하였으며 기판상태의 영향을 알아보고자 도핑되지 않은 시편도 준비하였다. $POCl_3$ 공정으로 P를 도핑시에는 표면농도를 1.5×10^{18} ions/cm³, 1.8×10^{19} ions/cm³, 1.0×10^{20} ions/cm³으로 달리하였으며 표면에 형성된 P_2O_5 층은 Degradate 처리하여 제거하였다. 이온주입공정으로 As, P를 도핑시에는 주입량을 5×10^{14} ions/cm², 3×10^{15} ions/cm², 1×10^{16} ions/cm²으로 달리하여 100KeV의 에너지로 이온 주입하였으며 이 때의 주입량을 각각 5E14, 3E15, 1E16으로 표기하였다. 이온주입공정 후 발생하는 표면손상을 제거하고 불

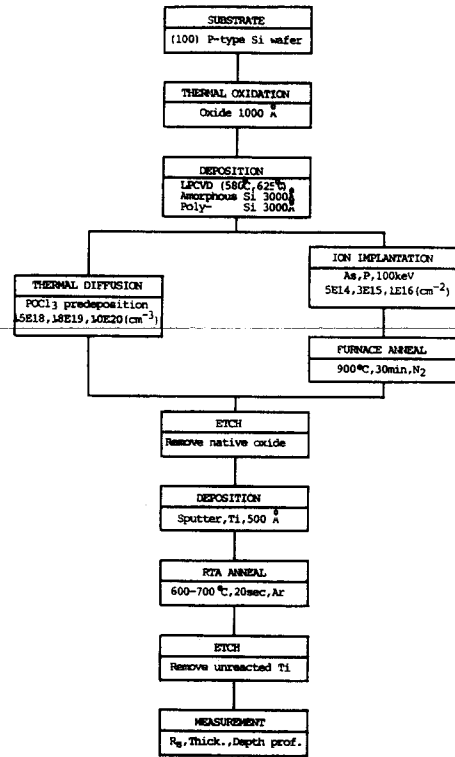


그림 1. 공정순서도
Fig. 1. Process flow chart.

순물을 활성화시켜 주기 위하여 900°C, 30분 동안 질소분위기에서 Furnace Anneal(FA)하였다. FA의 효과를 살펴보고자 FA하지 않은 시편도 준비하였다. 도핑공정 후 표면에 형성되는 자연산화막층을 100:1 HF dip 공정과 sputter etch법으로 충분히 제거한 후 sputter 법으로 500Å 두께의 Ti 박막을 증착시켰으며 이 때의 두께는 M-gauge로 확인하였다. Ti-silicides는 rapid thermal anneal(RTA)방법^[8]으로 600~700°C 온도구간, Ar분위기에서 20초동안 어닐링하여 형성시켰다. 표면에 반응하지 않고 남은 Ti은 에칭용액(NH₄OH:H₂O₂:DI water=1:2:5)으로 선택에칭하여 제거하였다.

이와같이 준비한 Ti-silicides 시편의 면저항은 4-point probe로, 두께는 포토와 에칭공정을 거쳐 square pattern을 형성한 뒤에 Si 기판과 Ti-silicides 간의 단차를 이용하여 α -step으로 측정하였다. 또한, poly-Si내 불순물의 거동은 automatic spreading resistancemeter(ASR)로, $TiSi_2/Si$ 계면의 미세구조는 scanning electron microscopy(SEM)으로 관찰하였다.

III. 결과 및 고찰

1. 기판상태의 영향

LPCVD 온도를 580°C와 625°C로 달리하여 기판상태를 amorphous Si과 poly-Si으로^[7] 하였을 때 Ti-silicides 형성반응을 조사하였다. 그림 2와 그림 3은 기판상태를 달리하였을 때 어닐링온도에 따라 형성된 Ti-silicides의 면저항과 두께를 나타낸 것이다. 700°C 이상에서는 기판상태에 무관하게 약 1Ω/□의 면저항값을 갖는 TiSi₂가 형성되었지만 700°C 이하에서는 기판상태의 차이가 나타나고 있으며 면저항값이 크게 증가하여 TiSi₂ 형성이 억제되었음을 보여 준다. 또한 700°C 이하에서는 amorphous Si기판상에 형성된 Ti-silicides가 poly-Si 기판에서 보다 면저항값이 작고 두께가 크게 나타나 Ti-silicides 형성반응이 잘 일어났음을 알 수 있다. 그런데 그림3에서 기판간의 두께 차이가 100Å 정도의 적은 차이를 보이지만 이것은 여러번의 측정에서 얻은 평균치를 표시한 값이므로 경향성을 알 수 있으며 이는 amorphous Si기판 표면의 불안정성이 Ti-Si 상호작용에 기여하였기 때문이라고 생각된다.

사진1은 amorphous Si과 poly-Si 기판상에서 Ti-silicides를 형성시켰을 때 어닐링온도에 따른 TiSi₂/Si

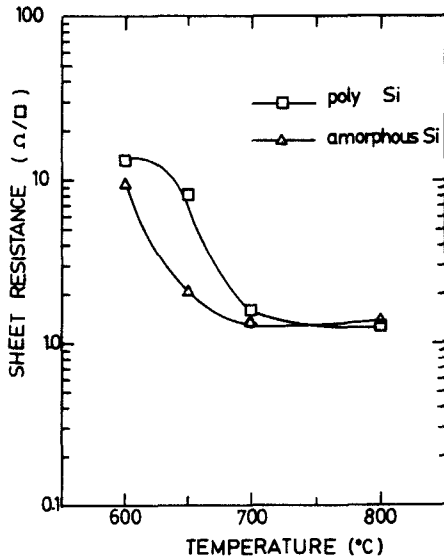


그림 2. Si기판의 종류를 달리하였을 때 어닐링온도에 따른 Ti-silicides의 면저항

Fig. 2. Sheet resistance of Ti-silicides with annealing temperatures as varying the type of silicon substrate.

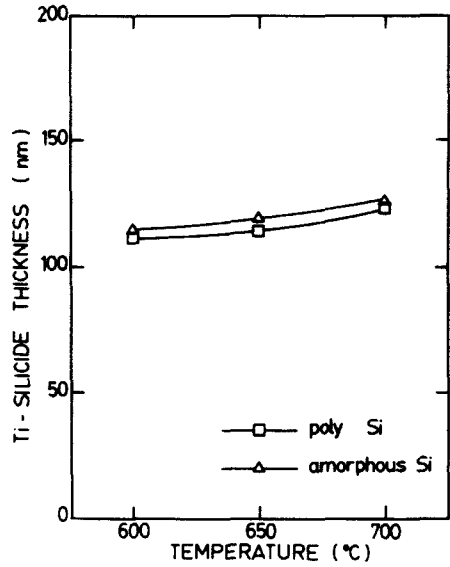
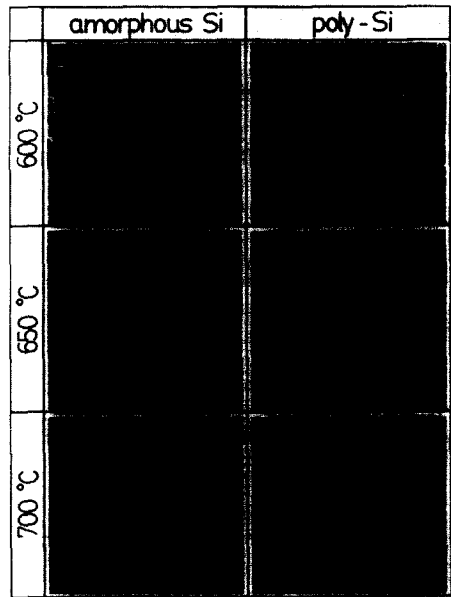


그림 3. Si기판의 종류를 달리하였을 때 어닐링온도에 따른 Ti-silicides의 두께

Fig. 3. Ti-silicides thickness with annealing temperatures as varying the type of silicon substrate.



사 진 1. Ti-silicidation 후 기판표면의 SEM사진
Photo.1. SEM observation of the substrate surface after Ti-silicidation.

계면의 미세구조를 보여주는 SEM사진이다. 이와 같이 amorphous Si 기판의 표면이 보다 편평함은 어닐링전 기판 상태가 매우 불안정하므로 어닐링시 급격히 결정화하여 columnar 성장함에 기인된다고 알려져 있다.^[11]이 또한 표면거칠기는 접합(junction) 형성시 접합누설전류(junction leakage current)를 증가시킨다^[12]고 알려져 있으므로 amorphous Si기판에서 Ti-silicides를 형성시켰을 때 전기적 특성이 우수하게 나타날 것으로 예상할 수 있다.

그림 4와 그림 5는 600°C에서 어닐링하였을 때 As과 P의 dose 양에 따라 형성된 Ti-silicides의 면저항과 두께를 나타낸 것이다. 5×10^{14} , 3×10^{15} 에서는 dose의 증가에 따른 효과는 나타나지 않지만 1×10^{16} ions/cm²에서는 면저항값의 증가와 함께 두께의 급격한 감소를 보여준다. 이러한 두께의 급격한 감소를 보여준다. 이러한 두께의 감소는 고용한계를 초과한 불순물들의 계면에서의 segregation 이나 pile-up에 의하여 Si의 확산이 방해받아서 일어난 것이라 생각되며 이러한 효과는 P에 비하여 As의 경우에서 더 크게 일어났다.

그림 6은 불순물을 주입하지 않은 경우와 As의 양을 달리하여 주입한 경우 어닐링온도에 따라 형성된 Ti-silicides의 면저항을 나타낸 것이다. As을 주입하

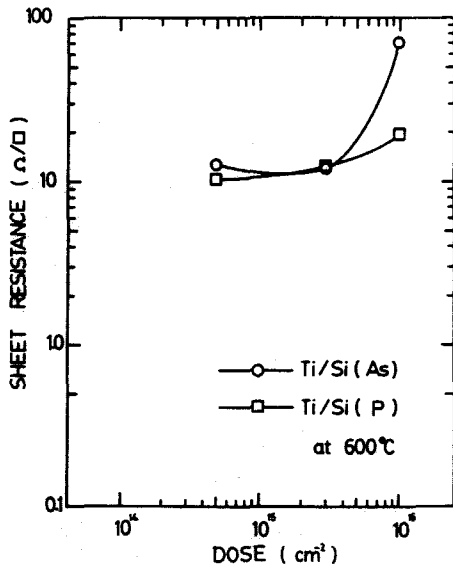


그림 4. 600°C에서 poly-Si내 불순물의 주입량에 따른 Ti-silicides의 면저항

Fig. 4. Sheet resistance of Ti-silicides with doses in poly-Si at 600°C.

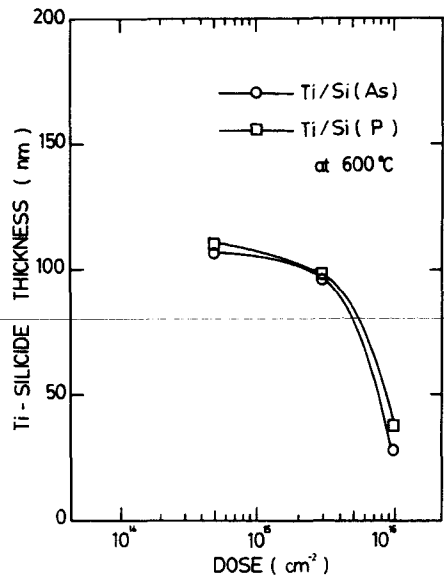


그림 5. 600°C에서 poly-Si내 불순물의 주입량에 따른 Ti-silicides의 두께

Fig. 5. Ti-silicides thickness with doses in poly-Si at 600°C.

지 않은 시편들과 3×10^{15} 시편들에서는, 600°C에 silicides의 형성이 시작되어 700°C에서는 TiSi₂ 상으로 변화가 일어났으며, 1×10^{16} 시편들에서는 600°C에서 silicides의 형성이 거의 일어나지 않았고 700°C에서도 Si의 확산방해로 인하여 안정한 TiSi₂ 상이 아닌 다른 Ti-silicides 상이 형성된 것으로 생각된다. 따라서 1×10^{16} ions/cm² 이상에서는 TiSi₂ 형성온도가 불순물농도에 의존함을 알 수 있다.

그림 7은 POCl₃ 공정으로 P를 도핑시킨 후 700°C에서 어닐링하여 Ti-silicides를 형성시켰을 때 P의 표면농도에 따라 형성된 Ti-silicides의 면저항을 나타낸 것이다. 표면농도가 1.5×10^{18} ions/cm³, 1.8×10^{19} ions/cm³에서는 면저항값이 약 1Ω/□인 TiSi₂가 형성되었지만 1.0×10^{20} ions/cm³에서는 면저항값이 현저히 증가하여 TiSi₂ 형성이 크게 억제됨을 알 수 있다.

사진 2는 POCl₃ 공정 후 어닐링하여 Ti-silicides를 형성시켰을 때 TiSi₂/Si의 계면 미세구조이다. 700°C에서 TiSi₂가 형성되었던 1.5×10^{18} ions/cm³, 1.8×10^{19} ions/cm³ 경우에는 유사한 미세구조를 나타냈지만 TiSi₂ 형성이 크게 억제되었던 1.0×10^{20} ions/cm³에서는 표면석출물이 존재하였고 이것이 Si의 확산 방해 요인으로 작용한 것으로 생각된다.

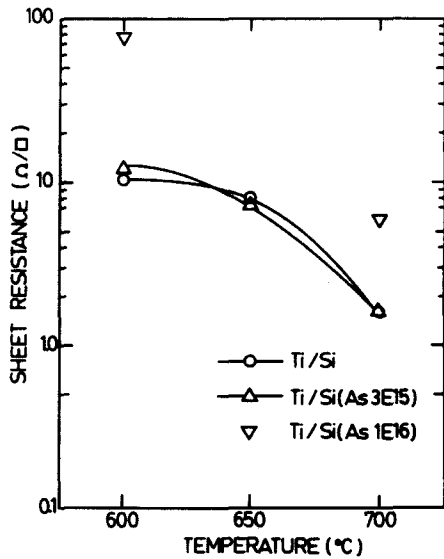


그림 6. As이온의 주입량을 달리하였을 때 어닐링 온도에 따른 Ti-silicides의 면저항

Fig. 6. Sheet resistance of Ti-silicides with annealing temperatures at various doses of arsenic.

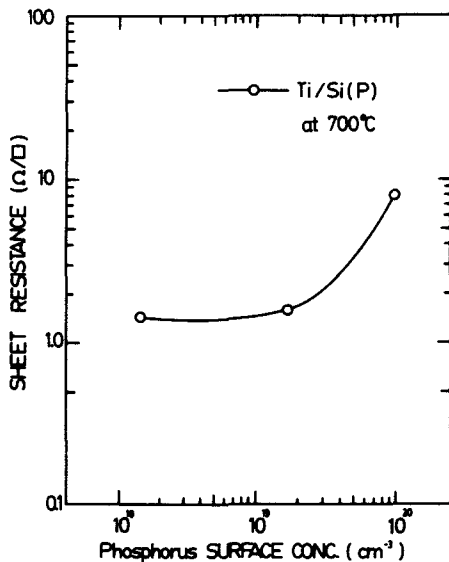
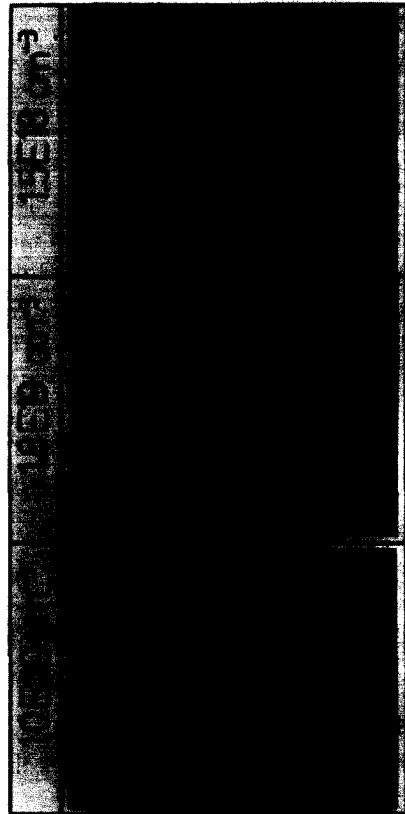


그림 7. POCl₃ 공정에서 poly-Si내 P의 표면농도에 따른 Ti-silicides의 면저항

Fig. 7. Sheet resistance of Ti-silicides with phosphorus surface concentration at 700°C, in POCl₃ process.



사 진 2. POCl₃ 공정으로 P 도핑하고 Ti-silicidation 한 후 poly-Si 표면의 SEM사진
Photo.2. SEM observation of the poly-Si surface after P doping by POCl₃ process and Ti-silicidation.

앞의 그림4~7에서 이온주입공정시 불순물의 dose 가 1×10^{16} ions/cm²(농도 단위로 환산하면 약 1.0×10^{20} ions/cm³), POCl₃ 공정시 불순물의 표면 농도가 1.0×10^{20} ions/cm³에서 Ti-silicides 형성이 크게 억제되었으며 TiSi₂ 형성온도도 700°C 이상으로 증가함을 확인하였다. 이러한 현상은 임계농도값 이상에서 TiSi₂ 형성이 크게 제어되었다는 보고^[15]와 일치하는 경향을 보여주고 있으며 이는 Si내 불순물의 용해도한계와 밀접한 관계가 있는 것으로 추측된다. 즉 Si내 As, P의 용해도한계는 900°C에서 약 1.0×10^{20} ions/cm³^[12], 700°C에서 1.0×10^{19} ions/cm³ 정도^[13]로 알려져 있으므로 700°C 이하에서 불순물의 농도가 1.0×10^{20} ions/cm³ 이상으로 증가하여 용해도한계를 넘게되면 불순물들의 계면편석,^{[14][15]} Ti내 석출상 존재^{[16][17]} 등으로 Si의 확산이 크게 방해받아 나타난 현상이라고 생각된다.

3. 불순물분포의 영향

그림8, 9는 어닐링과정에 따라 활성화된 poly-Si내 As, P의 분포를 나타낸 것이다. 900°C에서 30분동안 FA한 경우에는 불순물들이 충분히 확산하여 재배열하게 되므로 비슷한 모양으로 분포하지만 FA를 생략한 경우에는 불순물들의 분포가 이온주입에너지와 불순물의 종류에 의해 결정되는 projected range(R_p) 값에 의해 결정되게 된다. 100KeV의 에너지로 이온주입하였을 때 Si내 As의 R_p 값은 577 Å, P의 R_p 값은 1226 Å이며^[18] 이론적으로 1225 Å 두께의 $TiSi_2$ 가 형성될 때 1135 Å의 Si이 반응에 소모되므로^[19] As는 주로 $TiSi_2$ 내, P는 Si내 위치하게 된다. $TiSi_2$ 형성시 P가 주로 Si내에 분포하는 시편에서 어닐링시 out-diffusion 현상이 적게 나타나 안정한 분포를 유지함을 그림9에서 볼 수 있다. 이러한 현상은 불순물들의 out-diffusion이 초기위치에 의존한다는 주장^[20]과 일치하고 있어 projected range 값이 불순물들의 out-diffusion에 큰 영향을 미치는 인자임을 알 수 있다.

4. 도핑공정상의 차이

그림10, 11은 이온주입공정과 $POCl_3$ 공정시 어닐링

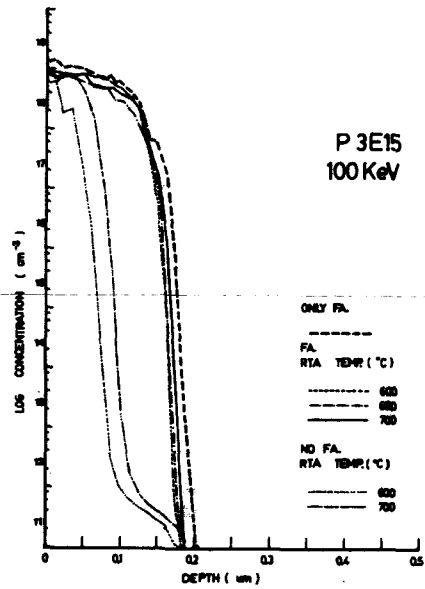


그림 9. 어닐링단계와 온도에 따른 P이온의 농도분포
Fig. 9. Concentration depth profile of active P ions with annealing steps and temperatures; P^+ 3E15 ions/cm², 100KeV.

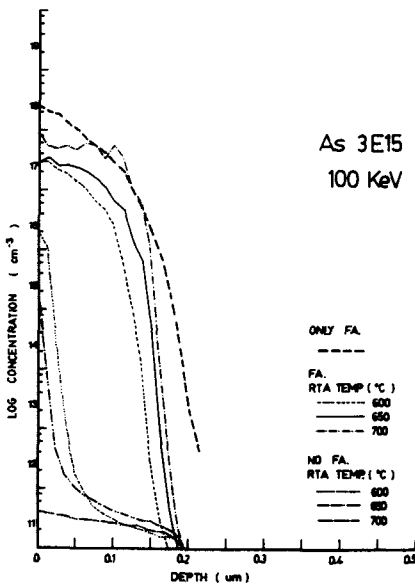


그림 8. 어닐링단계와 온도에 따른 As이온의 농도분포
Fig. 8. Concentration depth profile of active As ions with annealing steps and temperatures As^+ , 3E15 ions/cm², 100 KeV.

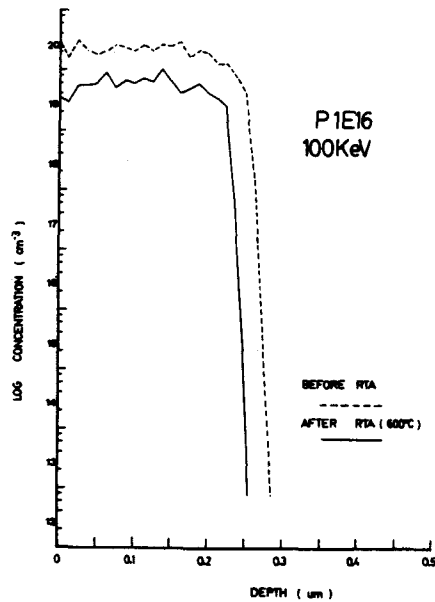


그림10. 이온주입공정에서 어닐링단계에 따른 P이온의 농도분포
Fig. 10. Concentration depth profile of active P ions with annealing steps; P^+ 1E16 ions/cm², 100 KeV, Ion Implantation process.

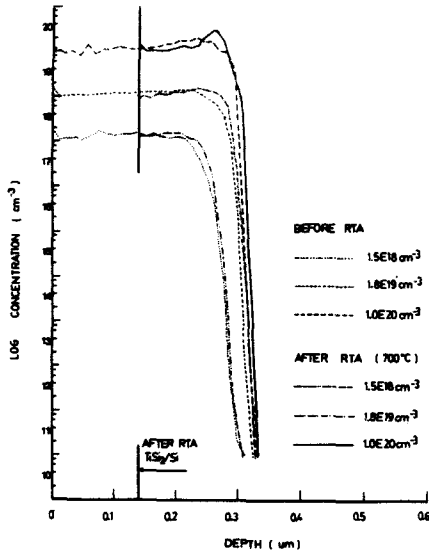


그림 11. POCl₃ 공정에서 어닐링단계에 따른 P 이온의 농도분포

Fig. 11. Concentration depth profile of active P ions with annealing steps; P: POCl₃ process.

전후에 poly-Si내 활성화된 P의 분포를 나타낸 것이다. 어닐링시 이온주입공정에서는 표면농도가 1 order 정도 감소하였지만 POCl₃ 공정에서는 농도변화가 거의 없어 POCl₃ 공정에서 불순물의 out-diffusion 이 적게 일어났음을 알 수 있다.

IV. 결 론

1. Amorphous Si기판에서 TiSi₂가 형성된 경우가 poly-Si기판에서 형성된 경우보다 TiSi₂/Si 계면에서의 표면저항값이 개선되었고 낮은 면저항값을 나타냄을 알았다.

2. 불순물의 dose가 1×10¹⁶ ions/cm²로 증가시 현저하게 Ti-silicides의 면저항값이 증가하였고 두께는 감소하여 TiSi₂형성이 크게 제어됨을 알 수 있다.

3. Projected range가 불순물들의 out-diffusion에 영향을 미치는 중요한 인자임을 확인하였다.

4. 이온주입공정보다 POCl₃ 공정에서 불순물들의 out-diffusion이 적게 나타났다.

參 考 文 獻

[1] S.P. Murarka, "Refractory silicides for integrated circuits," J. Vac. Sci. Technol, 17(4), pp. 775-792, Jul./Aug. 1980.

[2] T.P. Chow, A.J. Steckl, "Refractory metal silicides: Thin-film properties and processing technology," IEEE, vol. ED-30, no. 11, pp. 1480-1497, November, 1983.

[3] B.L. Crowder, "1 μ=m MOSFET VLSI Technology: Part VII-Metal Silicide Interconnection Technology-A future Perspective, IEEE. vol. ED-26 no. 4, pp. 369-371, April 1979.

[4] M.E. Alperin, etc., "Development of the self-aligned titanium silicide process for VLSI applications," IEEE. vol. ED-32, no. 2, pp. 141-149 February 1985.

[5] T. Yoshida, etc, "Self-aligned titanium silicided junctions formed by rapid thermal annealing in vacuum," J. Electrochem. Soc. vol. 135, no. 2, pp. 481-486, February 1988.

[6] H.J. Geipel, "Composite silicide gate electrodes-interconnections for VLSI device technologies," IEEE vol. ED-27, no. 8, pp. 1417-1424, August. 1980.

[7] T.I. Kamins, etc., "Structure and stability of low pressure chemically vapor-deposited silicon films," J. Electrochem. Soc, vol. 125, no. 6, pp. 927-932, June. 1978.

[8] R. Singh, "Rapid isothermal processing," J. Appl. Phys. vol. 63, no. 8, pp. R59-R114, April. 1988.

[9] M.M. Mandurah, "Phosphorus doping of low pressure chemically vapor-deposited silicon films," J. Electrochem. Soc. vol. 126, no. 6, pp. 1018-1023, June. 1979.

[10] G. Harbeke, etc., "LPCVD Polycrystalline silicon; growth and physical properties of In-situ phosphorus doped and undoped films," RCA Review. vol. 44, pp. 287-312, June 1983.

[11] C.Y. Ting, etc., "High temperature process limitation on TiSi₂," J. Electrochem. Soc. vol. 133, no. 12, pp. 2621-2625, December 1986.

[12] S.K. Ghandhi, VLSI Fabrication Principles, John Wiley, 1983, p. 134.

[13] Yasuo Wada, etc, "Grain growth mechanism of heavily phosphorus-implanted polycrystalline silicon," J. Electrochem. Soc. vol. 125, no. 9. pp. 1499-1504, September 1978.

[14] S.P. Murarka and D.S. Williams, "Dopant redistribution in silicide-silicon and silicide-polycrystalline silicon bilayered structure,"

J. Vac. Sci. Technol. B5(6), pp. 1674-1688, Nov/Dec. 1987.

- [15] H.K. Park etc., "Effects of ion implantation doping on the formation of $TiSi_2$," J. Vac. Sci. Technol.; A2(2), pp. 264-268, Apr.-June,

1984.

- [16] R. Beyers, "Titanium disilicide formation on heavily doped silicon substrates," J. Appl. Phys, vol. 61, no. 11, pp. 5110-5117, June 1987.

著 者 紹 介

柳 沈 秀 (正會員)

1965年 11月 16日生. 1987年 2月 한양대학교 재료공학과 졸업. 1989年 8月 한양대학교 재료공학과 석사학위 취득. 현재 특수전문요원 복무중. 주관심분야는 VLSI Interconnection 재료의 개발 등임.

崔 珍 爽 (正會員)

1958年 1月 27日生. 1981年 2月 경북대학교 금속공학과 졸업. 1984年 2月 한양대학교 재료공학과 석사학위 취득. 1984年~1988年 삼성반도체 근무. 현재 한양대학교 재료공학과 대학원 박사과정.

주관심분야는 VLSI Interconnection 재료의 개발 등임.

白 壽 鉉 (正會員)

1933年 8月 20日生. 1957年 4月 공군사관학교 졸업. 1962年 2月 서울대학교 물리학과 이학사 학위취득. 1968年~1970年 미국 Univ. of Utah. 이학석사 학위 취득. 1971年~1974年 미국 Univ. of Utah. 공학박사학위 취득. 1962

of Utah. 공학박사학위 취득. 1962年~1980年 공군사관학교 교수. 현재 한양대학교 재료공학과 교수. 주관심분야는 저전압용 모회로, 보호 소자와 VLSI Interconnection 재료의 개발 등임.