論文 90-27-12-12

다치 논리 함수를 이용한 신호처리 연구

(A Study on Signal Processing Using Multiple-Valued Logic Functions)

成 賢 慶*, 姜 聖 洙**, 金 興 壽*

(Hyeon Kyeong Seong, Seong Soo Kang, and Heung Soo Kim)

要 約

본 논문에서는 Perfect Shuffle 기법과 Kronecker 積에 의한 다치 신호처리 회로의 입출력 상호연결 방법에 대하였 논하였고, 다치 신호처리 회로의 입출력 상호연결 방법을 이용하여 유한채 GF(p^m) 상에서 다치 신호처리가 용이한 다치 Reed-Muller 전개식의 회로설계 방법을 제시하였다. 제시된 다치 신호처리 회로의 입출력 상호연결 방법은 행렬변환이 효과적이고 모듈구조를 갖는다. 다치 신호처리 회로의 설계는 먼저, CMOS T게이트를 사용하여 유한체 GF(3)상의 기본 게이트들을 구성하였고, 기본 게이트들을 이용하여 다치 Reed-Muller 전개식의 변환행렬과 역변환행렬을 실행하는 기본셀을 설계하였고, 다치 신호처리 회로의 입출력 상호연결 방법을 이용하여 이 기본셀들을 상호연결하여 실현하였다. 또한, DFT(discrete fourier transform)의 3×3 배열의 Winograd 알고리듬과 유사한 유한체 GF(3^2)상의 다치 신호처리 함수의 회로설계는 GF(3)상의 기본셀을 이용하여 Perfect Shuffle 기법과 Kronecker 積으로 상호연결하여 실현한다. 제시된 다치 신호처리 회로는 회선경로 선택의 규칙성, 간단성, 배열의 모듈성과 병발성의 특징을 가지므로 VLSI화에 적합하다.

Abstract

In this paper, the input-output interconnection method of the multi-valued signal processing circuit using Perfect Shuffle technique and Kronecker product is discussed. Using this method, the design method of circuit of the multi-valued Reed-Muller expansions (MRME) to be used the multi-valued signal processing on finite field GF(p^m) is presented. The proposed input-output interconnection method is shown that the matrix transform is efficient and that the module structure is easy. The circuit design of MRME on GF(p^m) is realized following as; 1) contructing the basic gates on GF(3) by CMOS T gate, 2) designing the basic cells to be implemented the transform and inverse transform matrix of MRME using these basic gates, 3) interconnecting these cells by the input-output interconnection method of the multivalued signal processing circuits. Also, the circuit design of the multi-valued signal processing function on GF(3^2) similar to Winograd algorithm of 3x3 array of DFT (discrete fourier transform) is realized by interconnection of Perfect Shuffle technique and Kronecker product. The presented multi-valued signal processing circuits that are simple and regular for wire routing and possess the properties of concurrency and modularity are suitable for VLSI.

*正會員, 仁荷大學校 電子工學科
(Dept. of Elec. Eng., Inha Univ.)

**正會員, 富川工業專門大學 電子計算科
(Dept. of Comm.& Scien. Eng., Bucheon Technical College)

接受日字 : 1990年 7月 2日

(※ 이 논문은 1989년도 문교부 지원 한국학술진흥재단의 자유공모과제 학술연구조성비에 의하여 연구되었음.)

Ⅰ. 서 론

현재 사용되고 있는 논리 시스템은 대부분이 2진 논리 이론을 기초로 하고 있으며 반도체 기술의 발달로 인하여 칩의 집적 밀도가 비약적으로 증가하고 회로의 복잡도가 날로 높아가고 있다. 그러나 이렇게 대형화된 집적회로에 심각하게 대두되고 있는 단자수 제한문제, 단자간 상호 연결문제, 보다 많은 정보량의 처리문제와 연산속도의 제한성이라는 근본적인 문제에 직면하게 되었으며 이러한 문제점을 해결하기 위하여 2진 논리회로를 수행하는 Boolean의 확장체인 유한체(Galois field)를 기초로 한 다치 논리 이론의 연구가 활발히 진행중에 있다.[1-2]

다치 논리함수는 2진 논리함수에 비하여 동일정보량을 처리하는데 상호연결의 복잡성을 감소시키며 단위 면적당 높은 함수기능 및 고밀도 실현인 VLSI/ULSI가 가능하다.[3]

다치 논리함수의 기초가 되는 유한체는 스위칭 이론, 오진정정 부호, 디지탈 신호처리 및 화상처리, 디지탈 통신의 암호화 및 해독화를 요하는 보안통신 등에 많이 응용되고 있다. 특히 유한체는 신호처리와 화상처리 분야에서 특별한 계산을 요하거나 범용 컴퓨터 계산의 고속화를 보조하는 고성능 전용 컴퓨터의 설계에 주목을 받고 있으며 Reed-Solomon 부호기 및 복호기의 VLSI 설계에 사용되고 있다.[4-8]

한편, Winograd[9]는 쌍일차 방정식의 형이 쌍대 또는 전치 시스템의 이론적 개념중의 하나로 계산할 수 있음을 나타내었고, 3점 순환 convolution에 대한 최소 알고리듬을 제시하였으며 WFTA(Winograd fourier transform algorithm)의 구성에서 1차원 DFT (discrete fourier transform)를 다차원 DFT로 변환하는 Chinese 나머지 정리상에 기초하여 12점 DFT가 (4×3)2차원 DFT로 분해됨을 보였다.

Pollard[10]는 DFT와 유사한 변환을 p가 素數인 p^n개의 원소를 갖는 유한체 $GF(p^n)$에서 정의하였다. 이 정의는 유한체 $GF(p^n)$에서 位數 N에 의하는 N점 변환은 유한체 원소 r에 의하여 요구됨을 논하였다.

Wang과 Zhu[11]는 유한체 $GF(p^m)$상에서 Fourier변환이 Reed-Solomon과 BCH 코드의 부호와 복호에 요구되며 유한체상에서 Fourier 변환을 계산하기 위한 새로운 알고리듬을 제시하였다.

다치 논리함수의 고속 변환 알고리듬을 제시한 Yang[12]은 Kronecker 積을 이용하여 Q치 함수의 모듈러 대수 전개식의 행렬 변환 알고리듬이 효과적인 계산절차를 가지며, 임의의 3치 변환에서 입력 변수를 증가하므로서 연산이 감소함을 보였다.

이들이 제시한 방법들은 신호처리 회로의 구성에서 승산과 가산의 연산과정이 증가하는 문제점이 있으며, Yang이 제시한 연구를 제외하고는 모든 신호처리에 관한 연구가 2치 이론에 근거를 하고 있어 여러면에서 제한성을 가지므로 이러한 문제점을 해결하기 위하여 함수기능이 높은 다치 논리함수의 신호처리가 요구되었다.

본 논문에서는 Davio[13]가 제시한 Perfect Shuffle기법과 Kronecker 積을 이용하여 다치 신호처리 회로의 입출력 상호연결 방법에 대하여 논하였고, 다치 신호처리 회로의 입출력 상호연결 방법을 이용하여 유한체 $GF(p^m)$상에서 다치 신호처리가 용이한 Reed-Muller 전개식의 회로설계 방법을 제시하였다.

또한, 3×3 DFT 배열의 Winograd 알고리듬과 유사한 유한체 $GF(3^2)$상의 다치 논리함수의 회로설계가 GF(3)상의 기본셀을 이용하여 Perfect Shuffle 기법과 Kronecker 積으로 상호연결하여 실현되었다. 제시한 다치 신호처리 회로의 입출력 상호연결 방법은 행렬변환이 효과적이고 모듈구조를 갖는다.

Ⅱ. 수학적 배경과 CMOS 회로

1. 수학적 배경[13-17]

(1) 유한체의 성질

유한체 $GF(p^m)$은 p가 素數이고 m이 陽의 정수인 p^m개의 원소들을 가지며 p^m개의 원소들을 갖는 基礎體 GF(p)의 擴大體이다. 즉 유한체 GF(p)는 $\{0, 1, 2, \cdots, p-1\}$의 원소들로 구성된다. $GF(p^m)$에서 모든 산술연산은 그 결과를 mod(p) 연산으로 이루워지며, $GF(p^m)$의 0이 아닌 모든 원소들은 원시 원소 α에 의해 생성되며, α는 $GF(p^m)$의 原始既約 多項式 $F(\alpha)=0$의 근이다.

$GF(p^m)$의 원소들은

$$F(\alpha)=\sum_{i=0}^{m-1} f_i \cdot \alpha^i \;;f_i, \alpha^i \in GF(\rho^m) \qquad (1)$$

이다.

또한, $GF(p^m)$의 0이 아닌 원소들은 α의 冪(power)으로서 표현이 가능하며 다음과 같다.

$$\{0, \alpha^1, \alpha^2, \cdots, \alpha^{p^m-2}, \alpha^{p^m-1}=1\} \in GF(p^m) \qquad (2)$$

유한체 $GF(p^m)$의 유용한 성질들을 증명없이 설명하면 다음과 같다.

(1) $GF(p^m)$에서 임의의 한원소 α에 대하여

$$\alpha^{p^m}=\alpha,\ \alpha^{p^m-1}=1\ ;\ \alpha \in GF(p^m) \qquad (3)$$

(2) $GF(p^m)$에서 임의의 두원소들 α와 β에 대하여

$$(\alpha+\beta)^{p^m}=\alpha^{p^m}+\beta^{p^m};\ \alpha,\ \beta\in GF(p^m) \quad (4)$$

(3) $GF(p^m)$에서

$$\alpha^i\cdot\alpha^j=\alpha^{(i+j)\bmod(p^m-1)} \quad (5)$$
$$=\alpha^{r\bmod(p^m-1)};\ \alpha^i,\ \alpha^j,\ \alpha^r\in GF(p^m)$$

이다.

(2) Kronecker 積의 성질

Kronecker 積

$$M=M_{m-1}\otimes\cdots\otimes M_1\otimes M_0 \quad (6)$$

은 결합법칙에 의해 다음과 같이 표현할 수 있다.

$$M=\bigotimes_{k=m-1}^{0} M_k \quad (7)$$

식(7)에서 M의 엔트리를 $m(i,j)$라 하고 M_k의 엔트리를 $m_k(i_k,j_k)$라 하자. 그리고 M_k는 (r_k,c_k) 행렬이라하면

$$m(i,j)=\prod_{k=0}^{m-1} m_k(i_k,j_k) \quad (8)$$

여기서 i와 j는 유한체내에서의 원소들을 갖는 행벡터열 $[r_{m-1},\cdots,r_1,r_0]$와 열 벡터열 $[c_{m-1},\cdots,c_1,c_0]$에 각각 대응하는 입력 벡터열 $[i_{m-1},\cdots,i_1,i_0]$와 출력벡터열 $[j_{m-1},\cdots,j_1,j_0]$를 갖는다. 또한 m개의 동일원소를 갖는 Kronecker 積을 M의 m차 Kronecker 冪이라 하고 $M^{[m]}$으로 나타낸다.

(3) Perfect Shuffle 기법의 성질

Shuffle 기법은 順列(permutation:σ)로서 정의되며 임의의 순열로서 (b_1,b_0)-Shuffle은 引接行列 $S_{b1,b0}$로 나타내며, 位數 b_0,b_1의 정방 행렬이며, 행 j와 열 i에 속하는 인접행렬 원소 $S_{b1,b0}(j,i)$로 표현된다.

인접행렬 $S_{b1,b0}$는 다음과 같다.

$$S_{b1,b0}(j,i)=1 \quad \text{만약 } j=i\cdot\sigma \quad (9)$$
$$=0 \quad \text{그 밖에}$$

인접행렬과 Shuffle 기법 사이에서 순열행렬을 설명하면 다음과 같다. 블럭벡터 $[b_2,b_1,b_0]$상에서 행하는 순열행렬

$$I_{b2}\otimes S_{b1,b0} \quad (10)$$

은 블럭벡터 $[b_1,b_0]$내에서 분리되어 행하는 b_2 독립의 (b_1,b_0)-Shuffle로서 표현된다. 여기서 I_{b2}는 블럭 b_2의 단위행렬이다.

식(10)의 행렬(j, i)-엔트리를 계산하기 위해서 입력 i가 블럭벡터 $[b_2,b_1,b_0]$에 대하여 $[i_2,i_1,i_0]$로 주어진다면 블럭벡터 $[b_2,b_0,b_1]$에서 $[i_2,i_0,i_1]$으로서 표현된 출력 j에 사상됨을 알 수 있다.

특히, 행렬

$$I_b^{[m-k]}\otimes S_b^{[k-1]},_b \quad (11)$$

은 임의의 영역에서 블럭벡터 b 의 k 최소 유효비트(LSB)를 우측으로 한위치 순환 천이를 행한다.

유사한 방법으로 순열 행렬

$$S_{b2,b1}\otimes I_{b0} \quad (12)$$

은 블럭벡터 $[b_2,b_1]$내에서 분리되어 행하는 b_0 독립의 (b_2,b_1)-Shuffle로서 표현된다. 여기서 I_{b0}는 블럭 b_0의 단위행렬이다.

특히, 행렬

$$S_b^{[k-1]},_b\otimes I_b^{[m-k]} \quad (13)$$

은 임의의 영역에서 블럭벡터 b의 k 최대 유효비트(MSB)를 우측으로 한위치 순환 천이를 행한다.

Shuffle 기법의 인수분해는 다음과 같다.

$$(1)\ S_{b2.b1,b0}=(S_{b2.b1,b1})\cdot(S_{b2.b1,b0})$$
$$=(S_{b2.b1,b0})\cdot(S_{b2.b0,b1}) \quad (14)$$

$$(2)\ S_{b2,b1,b0}=(S_{b2,b0}\otimes I_{b1})\cdot(I_{b2}\otimes S_{b1,b0})$$

2. CMOS 회로[18]

CMOS회로는 집적도가 높고 소비전력이 낮으므로 논리회로 설계에 매우 적합하다. 그러므로 CMOS에 의한 다양한 회로설계 방법이 제시되었다.

Wu와 Chen[18]은 CMOS를 이용하여 3치 논리회로를 설계하였다. 그림 1(a)는 낮은 threshold 비교 연산회로로서 입력 x가 threshold 값 t보다 적으면(x<t) 출력이 C의 값을 가지며 입력 x가 t보다 높으면(x>t)출력이 0이다. 그림 1(b)는 높은 threshold 비교 연산회로서 입력 x가 t보다 적으면(x<t)출력이 0이고 입력x가 t보다 높으면(x>t)출력이 C이다.

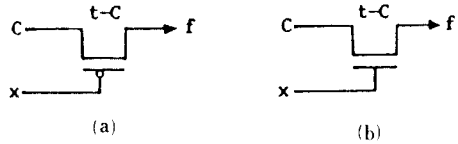
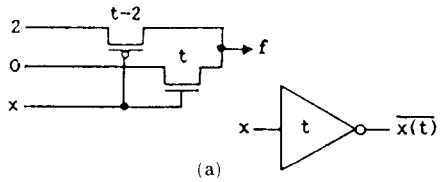


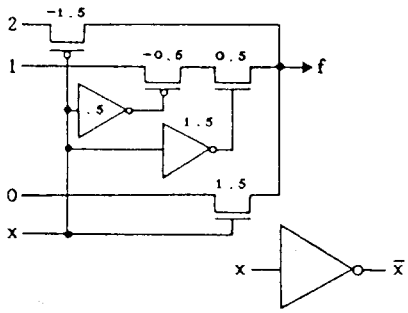
그림 1. CMOS 기본회로
(a) 낮은 threshold 비교연산회로
(b) 높은 threshold 비교연산회로

Fig. 1. CMOS basic circuit.
(a) low threshold comparision operation circuit,
(b) high threshold comparision operation circuit.

또한, 그림 2(a)는 threshold-t 인버터로서 입력 x가 t보다 적으면(x<t) 출력이 2를 나타내고 입력 x가 t보다 크면(x>t) 출력은 0이다. 그림 2(b)는 인버터로서 입력 x가 0, 1, 2이면 출력이 각각 2, 1, 0을 나타낸다.



(a)



(b)

그림 2. CMOS 기본회로
(a) threshold-t 인버터 (b) 인버터
Fig. 2. CMOS basic circuit.
(a) threshold-t inverter, (b) inverter.

Ⅲ. 다치 논리함수의 신호처리 회로설계

이장에서는 제II장에서 서술한 수학적 배경을 이용하여 다치 논리함수의 신호처리 회로설계에 대하여 논한다. 먼저, 다치 논리함수의 Perfect Shuffle 기법과 Kronecker 積과의 상호 관계식을 논하고, 이를 이용하여 다치 논리함수의 신호처리 회로설계를 실현한다.

1. 다치 논리함수의 Perfect Shuffle 기법과 Kronecker 積과의 관계

유한체 $GF(p^m)$ 상에서 p^m개의 원소들을 갖는 M의 kronecker 積

$$M = M_{m-1} \otimes \cdots \otimes M_1 \otimes M_0 \tag{15}$$

을 다음과 같이 표현할 수 있다.

$$M = \bigotimes_{k=m-1}^{0} M_k \tag{16}$$

Kronecker 積은 교환법칙이 존재하지 않으므로 Perfect Shuffle 기법을 이용하여 교환법칙을 성립시킬 수 있다.

[정리 1] 유한체 $GF(p^m)$ 상에서 p^m개의 원소들을 갖는 M_k와 N_k가 각각 (r_i, c_i)-행렬과 (r_j, c_j)-행렬이면

$$(1)\ \left(\bigotimes_{k=m-1}^{0} M_k\right) \otimes \left(\bigotimes_{k=m-1}^{0} N_k\right) = S_{rj,ri} \cdot \left[\left(\bigotimes_{k=m-1}^{0} N_k\right) \otimes \left(\bigotimes_{k=m-1}^{0} M_k\right)\right] \cdot S_{ci,cj} \tag{17}$$

$$(2)\ \bigotimes_{k=m-1}^{0} M_k = [S_{ro,r1\cdots rm-1} \cdot (M_0 \otimes (S_{r1,r2\cdots rm-1} \cdot (M_1 \otimes \cdots \otimes (S_{rm-2,rm-1} \cdot (M_{m-2} \otimes M_{m-1}) \cdot S_{cm-1,cm-2} \cdots) \cdot S_{cm-1\cdots c0,c1}) \cdot S_{cm-1\cdots c1,co}] \tag{18}$$

이다. 여기서 $S_{rj,ri}$와 $S_{ci,cj}$는 인접행렬로 표현되는 (r_i, c_i)-Shuffle과 (r_j, c_j)-Shuffle이고 r_i, r_j와 c_i, c_j는 각각 행벡터와 열벡터이며 i, j=0, 1, …, m−1이다.

[증명] 행렬의 (x_k, y_k)-엔트리를 계산하기 위하여 $x_k = x_{ki} \cdot r_j + x_{kj}$와 $y_k = y_{ki} \cdot c_j + y_{kj}$라 하면 좌측항의 (x_k, y_k)-엔트리는 $m_k(x_{ki}, y_{ki}) \cdot n_k(x_{kj}, y_{kj})$이다. 우측에서 동일한 계산을 수행하기 위하여 $\left(\bigotimes_{k=m-1}^{0} N_k\right) \otimes \left(\bigotimes_{k=m-1}^{0} M_k\right)$을 P라 하고 우측항의 (x_k, y_k)-엔트리는 $r_j \cdot r_i = w$, $c_j \cdot c_i = z$라 하면

$$\sum_{u=0}^{w-1} \sum_{v=0}^{z-1} S_{rj,ri}(x_k, u) \cdot P(u, v) \cdot S_{ci,cj}(v, y_k) \tag{19}$$

와 같이 단일항으로 감소된다. 실제로 u의 단일값을 U라 하면

$S_{rj,ri}(x_k, U) = 1$

식 (9)에 의해 이 u는 $x_k = U \cdot \sigma(r_j, r_i)$로 주어진다.

즉, $U = x_k \cdot \sigma(r_i, r_j) = x_{kj} \cdot r_i + x_{ki}$이다.

유사한 방법으로 v의 단일값을 V라 하면

$S_{ci,cj}(V, y_k) = 1$

식 (9)에 의해 $V = y_k \cdot \sigma(c_i, c_j) = y_{kj} \cdot c_i + y_{ki}$이다.

그러므로 식 (19)에서 0이 아닌 항 $P(U, V)$는 $n_k(x_{kj}, y_{kj}) \cdot m_k(x_{ki}, y_{ki})$와 같다. 유사한 방법으로 식 (18)를 증명할 수 있다. Q. E. D

[정리 2] 유한체 $GF(p^m)$ 상에서 p^m개의 원소들을 갖는 M_k가 (r_i, c_i)-행렬이면

$$(1)\ \left(\bigotimes_{k=m-1}^{0} M_k\right) \otimes I_{Pkj} = S_{Pkj,ri} \cdot \left[I_{Pkj} \otimes \left(\bigotimes_{k=m-1}^{0} M_k\right)\right] \cdot S_{ci,Pkj} \tag{20}$$

$$(2)\ I_{Pki} \otimes \left(\bigotimes_{k=m-1}^{0} M_k\right) \otimes I_{Pkj} = S_{Pkj,Pki,ri} \cdot \left[I_{Pki,Pkj} \otimes \left(\bigotimes_{k=m-1}^{0} M_k\right)\right] \cdot S_{Pki,ci,Pkj} \tag{21}$$

$$(3)\ I_{Pkl}\otimes(\overset{0}{\underset{k=m-1}{\otimes}}M_k)\otimes I_{Pkj}=(I_{Pkl}\otimes S_{Pkj,ri})\cdot[I_{Pkl,Pkj}\otimes(\overset{0}{\underset{k=m-1}{\otimes}}M_k)]\cdot(I_{Pkl}\otimes S_{ci,Pkj}) \quad (22)$$

이다. 여기서 $p_{kj}, p_{kl}, c_{ki}, r_{ki}\in\{0,1,2,\cdots,m-1\}$이다.

[증명] (1)은 식(17)에서 $\overset{0}{\underset{k=m-1}{\otimes}}N_k$ 대신에 I_{Pkj}를 대입하여 구할 수 있다.

(2)는 $(p_{kl}\cdot r_i, p_{kl}\cdot c_i)$-행렬 $(I_{Pkl}\otimes(\overset{0}{\underset{k=m-1}{\otimes}}M_k)$을 식(20)에 대입하여 구할 수 있다. (3)은 식(20)에 의해서 다음과 같이 구할 수 있다.

$$I_{Pkl}\otimes[(\overset{0}{\underset{k=m-1}{\otimes}}M_k)\otimes I_{Pkj}]=I_{Pkl}\otimes(S_{Pkj,\,ri}\cdot(I_{Pkj}\otimes(\overset{0}{\underset{k=m-1}{\otimes}}M_k)\cdot S_{ci,Pkj})$$

이 식을 인수분해하여 구할 수 있다. Q. E. D

정리 1은 Perfect Shuffle 기법을 이용하여 Kronecker 積의 교환법칙을 성립시키며 정리 2는 행렬 $\overset{0}{\underset{k=m\le-1}{\otimes}}M_k$을 Perfect Shuffle 기법에 의해 다양하게 표현 가능함을 나타낸다. 정리 2에서 $I_{Pkl}\otimes(\overset{0}{\underset{k=m-1}{\otimes}}M_k)\otimes I_{Pkj}$는 입력과 출력의 연결패턴을 나타내며 변환식 $I_{Pkl}\otimes(\overset{0}{\underset{k=m-1}{\otimes}}M_k)\otimes I_{Pkj}$는 변환식 $\overset{0}{\underset{k=m-1}{\otimes}}M_k$을 수행하는 블럭벡터 연산자들의 집합으로 회로설계에 이용된다.

[정리 3] 유한체 $GF(p^m)$상에서 p^m개의 원소들을 갖는 行列積으로 나타내기 위해 $X\in\{0,1,\cdots,m-1\}$의 순열이라 할 때 (r_k, c_k)-행렬 M_k의 Kronecker 積의 인수분해는 다음과 같다.

$$\overset{0}{\underset{k=m-1}{\otimes}}M_k=\overset{0}{\underset{\substack{j=m-1\\ j=k.X}}{\Pi}}[I_{(Pm-1\cdots Pk+1)}\otimes M_k\otimes I_{(Pk-1\cdots b0)}] \quad (23)$$

여기서 만약 $k\cdot X>i\cdot X$이면 $p_i=r_i$이고 $k\cdot X<i\cdot X$이면 $p_i=c_i$이다.

[증명] 식 (23)의 좌측항에 M_k가 그 積의 $k\cdot X$ 위치에 나타나도록 각각의 Kronecker 인수 M_k를 m개의 인수들의 동일한 行列積인 식(24)로 대체한다.

$$I_{rk}^{(m-1-k.X)}\cdot M_k\cdot I_{ck}^{(k.X)} \quad (24)$$

만약 $i>k$이면 M_k는 원소 $I_{Pi}^{(k)}$가 좌측항에 곱해진다. 분명히 이 원소는 $i\cdot X<k\cdot X$이면 I_{ri}이고 $i\cdot X>k\cdot X$이면 I_{ci}이다. 유사하게 $i<k$인 경우도 구할 수 있다. Q. E. D.

2. 다치 신호처리 회로의 연결방법과 기본셀의 설계

이절에서는 앞절에서 논한 Perfect Shuffle 기법과 Kronecker 積과의 관계를 이용하여 $GF(p^m)$ 상에서 다치 신호처리 회로의 입출력 상호연결 방법을 논하고, 이 다치 신호처리 회로의 기본셀을 설계한다.

1) 다치 신호처리 회로의 연결방법

유한체 $GF(p^m)$상에서 p^m개의 원소들을 갖는 m변수 p치인 M_i의 Kronecker 積에 대한 인수분해식인 정리 3을 다시 쓰면 다음과 같다.

$$\overset{0}{\underset{i=m-1}{\otimes}}M_i=\overset{0}{\underset{i=m-1}{\Pi}}[I_{Pm-1\cdots Pi-1}\otimes M_i\otimes I_{(Pi-1\cdots P0)}] \quad (25)$$

표기를 간단히 하기 위하여 다음과 같이 정의한다.

$$P_i=\overset{m-1}{\underset{j,i}{\Pi}}P_j \quad (26)$$

그러므로 식 (25)은 다음과 같다.

$$\overset{0}{\underset{i=m-1}{\otimes}}M_i=\overset{0}{\underset{i=m-1}{\Pi}}[S_{Pi,Pi}\cdot(I_{Pi}\otimes M_i)] \quad (27)$$

식 (27)은 블럭벡터$[p_{m-1},\cdots,p_1,p_0]$에서 입력 벡터열 $[i_{m-1},\cdots,i_1,i_0]$가 주어지면 $(I_{Pi}\otimes M_i)$의 연속적 실행에 의해 식 (27)의 좌측항에서 나타나는 Kronecker 積의 실행을 대체하며 각각의 입력 벡터열의 i번째 원소에 의해 다른 블럭상에서 동작한다.

이 원소는 차례로 Shuffle인 $S_{Pi,Pi}$에 의해 생성된 연속적 순환 전이에 의해 단위 위치를 이동한다. 또한, 모든 행렬 M_i는 블럭벡터가 p^0으로 $S_p^{[m-1]},_p$에 의한 상호 연결형이 회로에서 일정하다. 모든 행렬 M_i가 동일하므로 식 (27)은 다음과 같이 쓸 수 있다.

$$M^{[m]}=[S_p^{[m-1]},_p\cdot(I_p^{[m-1]}\otimes M)]^m \quad (28)$$

또한, 식 (28)과 동일한 회로는 Kronecker 積 연산의 회로설계를 얻는 식 (21) 대신에 식 (22)을 식 (25)에 대입하면 다음과 같다.

$$\overset{0}{\underset{i=m-1}{\otimes}}M_i=\overset{0}{\underset{i=m-1}{\Pi}}(I_p^{[m-1-i]}\otimes M_i\otimes I_p^{[i]}) \quad (29)$$

식 (29)의 우측항에 식 (28)를 대입하면

$$\overset{0}{\underset{i=m-1}{\otimes}}M_i=\overset{0}{\underset{i=m-1}{\Pi}}[(I_p^{[m-1-i]}\otimes S_p^{[i]},_p)\cdot(I_p^{[m-1]}\otimes M_i)\cdot(I_p^{[m-1-i]}\otimes S_p,_p^{[i]}) \quad (30)$$

앞에서 논한 Perfect Shuffle 기법과 Kronecker 積과의 관계를 이용한 유한체 $GF(p^m)$상의 다치 신호처리 회로의 입출력 상호연결 방법을 예를들면 다음과 같다.

[예] $p=2$이고 $m=2$인 $GF(2^2)$상의 $F=[M_i]\cdot x]$ 함수식을 식 (30)에 의하여 연산하면 다음과 같다.

$$\begin{aligned}\overset{0}{\underset{i=2-1}{\otimes}}M_i&=M_1\otimes M_0\\&=\overset{0}{\underset{i=2-1}{\Pi}}[I_2^{[2-1-i]}\otimes S_2^{[i]},_2)\cdot(I_2^{[2-1]}\otimes M_i)\cdot(I_2^{[2-1-i]}\otimes S_{2,2}^{[i]})\\&=S_{2,2}\cdot(I_2\otimes M_1)\cdot S_{2,2}\cdot(I_2\otimes M_0)\end{aligned} \quad (31)$$

식 (31)을 회로연결하면 그림 3과 같다.

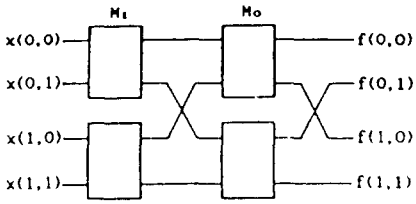
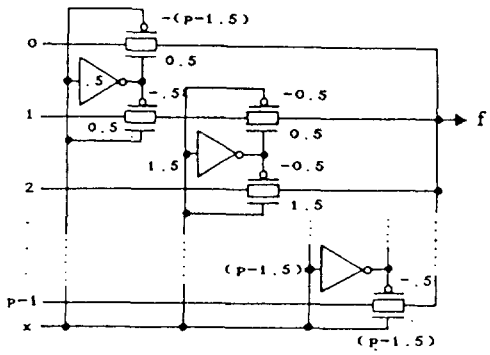


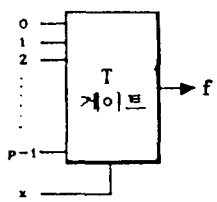
그림 3. GF(2²) 상에서 회로연결
Fig. 3. Connection of circuit over GF(2²).

2) 다치 신호처리 회로의 기본 게이트 설계

다치 신호처리 회로의 실현을 위해서 제II장에서 설명한 CMOS회로를 사용하여 설계한 GF(p) 상의 다치 CMOS T 게이트가 그림 4와 같다. 그림 4(a)는 GF(p)의 다치 CMOS T 게이트의 회로이고 그림 4(b)는 이 회로의 기호이다. 이 T게이트는 입력 x의 값에 의해 출력 F가 x에 대응하는 값을 출력한다.



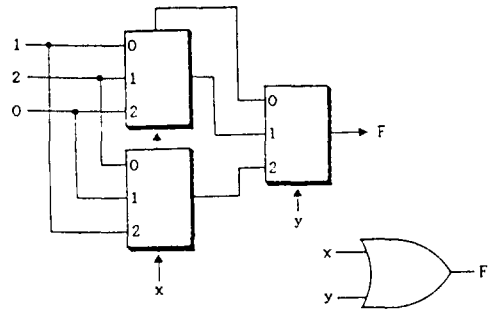
(a)



(b)

그림 4. 다치 CMOS T 게이트
(a) CMOS T 게이트의 회로
(b) 기호
Fig. 4. Multi-valued CMOS T gate.
(a) circuit of CMOS T gate
(b) symbol.

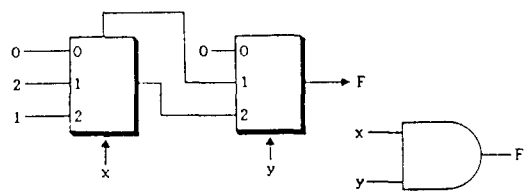
그림 4의 다치 CMOS T 게이트를 이용하여 GF(3)의 가산게이트를 설계하면 그림 5와 같다. 그림 5(a)는 T 게이트에 의한 가산회로이며, 그림 5(b)는 이 회로의 기호이다.



(a) (b)

그림 5. GF(3)의 가산게이트
(a) 가산회로 (b) 기호
Fig. 5. The addition gate on GF(3).
(a) addition circuit, (b) symbol.

또한, 그림 4의 다치 CMOS T 게이트를 이용하여 GF(3)의 승산게이트를 설계하면 그림 6과 같다. 그림 6(a)는 T 게이트에 의한 승산회로이며, 그림 6(b)는 이 회로의 기호이다.



(a) (b)

그림 6. GF(3)의 승산게이트
(a) 승산회로 (b) 기호
Fig. 6. The multiplication gate on GF(3).
(a) multiplication circuit,
(b) symbol.

3. 다치 신호처리 회로설계

이 절에서는 앞절에서 논한 Perfect Shuffle 기법과 Kronecker 積을 이용하여 다치 Reed-Muller 전개식과 Winograd 알고리듬과 유사한 다치 논리 함수의 신호

처리 회로설계를 논한다.

1) 다치 Reed-Muller 전개식의 신호처리 회로설계

(1) 단일변수 3치 Reed-Mulldr 전개식

$GF(p^m)$ 상에서 단일변수에 대한 p치 Reed-Muller 전개식이 다음과 같다.

$$F(x)=c_0\oplus c_1\cdot x\oplus c_2\cdot x^2\oplus\cdots\oplus c_{P-1}\cdot x^{P-1} \tag{32}$$

여기서 $c_i, x^i\in GF(p)$이고 $i=\{0, 1, \cdots, p-1\}$이다.

식 (32)은 p=3인 GF(3)에 대하여 다음과 같다.

$$F(x)=c_0\oplus c_1\cdot x\oplus c_2\cdot x^2 \quad ; c_i, x^i\in GF(3), i=\{0, 1, 2\} \tag{33}$$

식 (33)에서 계수 c_i의 변환식을 구하면 다음과 같다.

$$\begin{aligned} d_0&=c_0\\ d_1&=c_0\oplus c_1\oplus c_2 \quad ; c_i, d_i\in GF(3)\\ d_2&=c_0\oplus 2\cdot c_1\oplus c_2 \end{aligned} \tag{34}$$

식 (34)을 행렬형으로 변환하면 다음과 같다.

$$\begin{bmatrix} d_0\\ d_1\\ d_2 \end{bmatrix}=\begin{bmatrix} 1&0&0\\ 1&1&1\\ 1&2&1 \end{bmatrix}\cdot\begin{bmatrix} c_0\\ c_1\\ c_2 \end{bmatrix} \quad ; d_i, c_i\in GF(3) \tag{35}$$

식 (35)을 간단하게 표현하면 다음과 같다.

$$d_i]=[M]\cdot c_i] \tag{36}$$

식 (36)에서 변환행렬 M은 함수영역을 연산영역으로 변환하며 다음과 같다.

$$M=\begin{bmatrix} 1&0&0\\ 1&1&1\\ 1&2&1 \end{bmatrix}_{GF(3)} \tag{37}$$

식 (36)로 부터 다음과 같이 유도할 수 있다.

$$c_i]=[M^{-1}]\cdot d_i]=[T]\cdot d_i] \tag{38}$$

식 (38)에서 역변환행렬 $T=M^{-1}$이 다음과 같다.

$$\begin{aligned} c_0&=d_0\\ c_1&=2\cdot d_0\oplus d_1\\ c_2&=2\cdot d_0\oplus 2\cdot d_1\oplus 2\cdot d_2 \end{aligned} \tag{39}$$

식 (39)을 행렬형으로 변환하면 다음과 같다.

$$\begin{bmatrix} c_0\\ c_1\\ c_2 \end{bmatrix}=\begin{bmatrix} 1&0&0\\ 0&2&1\\ 2&2&2 \end{bmatrix}\cdot\begin{bmatrix} d_0\\ d_1\\ d_2 \end{bmatrix}; \quad c_i, d_i\in GF(3) \tag{40}$$

식 (40)을 간단하게 표현하면 다음과 같다.

$$c_i]=[T]\cdot d_i] \tag{41}$$

식 (41)에서 T는 연산영역에서 함수영역으로 변환하며 다음과 같다.

$$T=\begin{bmatrix} 1&0&0\\ 0&2&1\\ 2&2&2 \end{bmatrix}_{GF(3)} \tag{42}$$

그림 5의 GF(3)의 가산 게이트와 그림 6의 GF(3)의 승산 게이트를 사용하여 3치 Reed-Muller 전개식의 변환행렬 M과 역변환행렬 T에 의한 식 (35)와 식 (40)을 실현하는 기본셀을 구성하면 그림 7과 같다. 그림 7(a)는 변환행렬 M을 실현하는 기본셀이고, 그림 7(b)는 역변환행렬 T를 실현하는 기본셀이다.

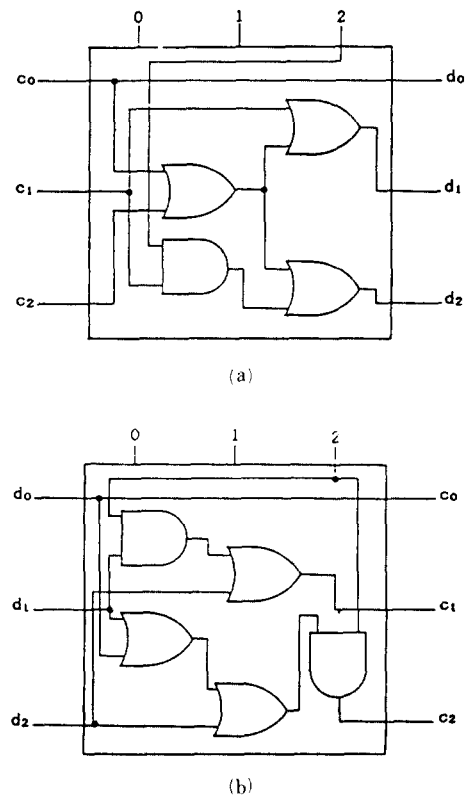


그림 7. 기본셀
(a) 변환행렬 M의 회로
(b) 역변환행렬 T의 회로

Fig. 7. Basic cell
(a) circuit of transform matrix M,
(b) circuit of inverse transform matrix T.

(2) 2변수 3치 Reed-Muller 전개식

2변수 3치 Reed-Muller 전개식이 다음과 같다.

$$F(x_1, x_0) = c_0 \oplus c_1 \cdot x_0 \oplus c_2 \cdot x_0^2 \oplus c_3 \cdot x_1 \oplus c_4 \cdot x_1 x_0 \oplus c_5 \cdot x_1 x_0^2 \oplus c_6 \cdot x_1^2 \oplus c_7 \cdot x_1^2 x_0 \oplus c_8 \cdot x_1^2 x_0^2 \; ; \forall c_i, x_0^i, x_1^i \in GF(3) \quad (43)$$

식 (43)에서 2변수 3치 Reed-Muller 전개식의 변환행렬 M_1는 식 (37)의 M을 Kronecker 積하여 구하며 다음과 같다.

$$\bigotimes_{i=0}^{2-1} M_i = \begin{bmatrix} M^{[1]} & 0 & 0 \\ M^{[1]} & M^{[1]} & M^{[1]} \\ M^{[1]} & 2 \cdot M^{[1]} & M^{[1]} \end{bmatrix}_{GF(3)} \quad (44)$$

또한, 역변환행렬 T_i는 식 (42)의 T를 Kronecker 積하여 구하며 다음과 같다.

$$\bigotimes_{i=0}^{2-1} T_i = \begin{bmatrix} T^{[1]} & 0 & 0 \\ 0 & 2 \cdot T^{[1]} & T^{[1]} \\ 2 \cdot T^{[1]} & 2 \cdot T^{[1]} & 2 \cdot T^{[1]} \end{bmatrix}_{GF(3)} \quad (45)$$

식 (44)에서 2변수인 경우이므로 $M = M_1 \otimes M_0$ 이고 식 (45)은 $T = T_1 \otimes T_0$이다. 식 (44)와 식 (45)을 앞절에서 논한 Perfect Shuffle 기법과 Kronecker 積에 의한 식 (30)을 이용하여 변환행렬 M을 연산하면 다음과 같다. 여기서 p=3이고 m=2이다.

$$M = \bigotimes_{i=2-1}^{0} M_i = M_1 \otimes M_0 = \prod_{i=2-1}^{0} [(I_3^{[2-1-i]} \otimes S_3^{[1]}, {}_3) \cdot (I_3^{[2-1]} \otimes M_i) \cdot (I_3^{[2-1-i]} \otimes S_{3,3}^{[i]})] = S_{3,3} \cdot (I_3 \otimes M_1) \cdot S_{3,3} \cdot (I_3 \otimes M_0) \quad (46)$$

식 (46)에 의하여 실현한 회로가 그림 8과 같다. 그림 8의 각 기본셀의 내부회로는 다치 CMOS T게이트에 의해 실현한 그림 7(a) 기본셀의 회로와 같다.

유사한 방법으로 역변환행렬 T를 연산하면 다음과 같다.

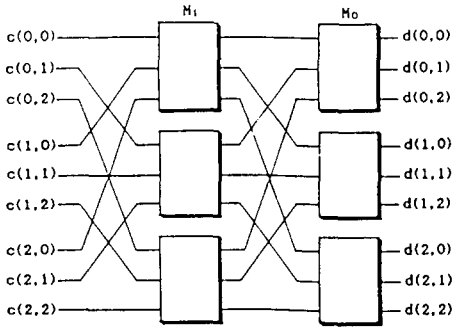


그림 8. 2변수 3치 RM 전개식의 변환회로 실현
Fig. 8. Realization of transformation circuit of 2 variables 3 valued RM expansions.

$$T = \bigotimes_{i=2-1}^{0} T_i = T_1 \otimes T_0 = \prod_{i=2-1}^{0} [(I_3^{[2-1-i]} \otimes S_3^{[1]}, {}_3) \cdot (I_3^{[2-1]} \otimes T_i) \cdot (I_3^{[2-1-i]} \otimes S_{3,3}^{[i]})] = S_{3,3} \cdot (I_3 \otimes T_1) \cdot S_{3,3} \cdot (I_3 \otimes T_0) \quad (47)$$

식 (47)에 의하여 실현한 회로가 그림 9와 같다. 그림 9의 각 기본셀의 내부회로는 그림 7(b)의 기본셀의 회로와 같다.

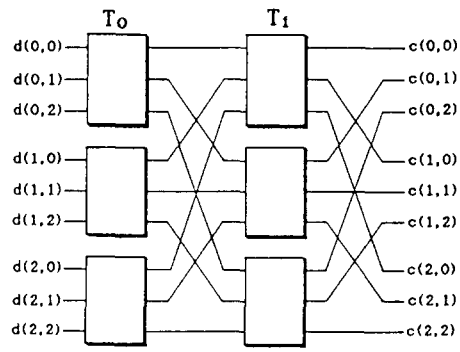


그림 9. 2변수 3치 RM 전개식의 역변환회로 실현
Fig. 9. Realization of inverse transformation circuit of 2 variables 3 valued RM expansions.

2) Winograd 알고리듬과 유사한 다치 신호처리 회로설계

유한체 $GF(p^m)$ 상에서 p×p 배열 x(i, j)의 DFT가 다음과 같다.[20]

$$F(s, q) = \sum_{i=0}^{P-1} \sum_{j=0}^{P-1} x(i, j) \alpha^{s \cdot i + q \cdot j} \; ; s, q, i, j \in GF(p) \quad (48)$$

여기서 α는 GF(p)의 원소들이고, F(·)와 x(·) 역시 GF(p) 상의 원소들이다. 식 (48)를 $GF(3^2)$ 상에서 행렬로 나타내면 다음과 같다.

$$F(s, q)] = [W] \cdot x(i, j)] \quad (49)$$

식 (49)에서 변환행렬 W는 다음과 같다.

$$W = \left[\begin{array}{ccc:ccc:ccc} 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 & 1 \\ 1 & \alpha & \alpha^2 & 1 & \alpha & \alpha^2 & 1 & \alpha & \alpha^2 \\ 1 & \alpha^2 & \alpha & 1 & \alpha^2 & \alpha & 1 & \alpha^2 & \alpha \\ \hdashline 1 & 1 & 1 & \alpha & \alpha & \alpha & \alpha^2 & \alpha^2 & \alpha^2 \\ 1 & \alpha & \alpha^2 & \alpha & \alpha^2 & 1 & \alpha^2 & 1 & \alpha \\ 1 & \alpha^2 & \alpha & \alpha & 1 & \alpha^2 & \alpha^2 & \alpha & 1 \\ \hdashline 1 & 1 & 1 & \alpha^2 & \alpha^2 & \alpha^2 & \alpha & \alpha & \alpha \\ 1 & \alpha & \alpha^2 & \alpha^2 & 1 & \alpha & \alpha & \alpha^2 & 1 \\ 1 & \alpha^2 & \alpha & \alpha^2 & \alpha & 1 & \alpha & 1 & \alpha^2 \end{array}\right]_{GF(3)} \quad (50)$$

식 (50)의 변환행렬 W는

$$M=\begin{bmatrix} 1 & 1 & 1 \\ 1 & \alpha & \alpha^2 \\ 1 & \alpha^2 & \alpha \end{bmatrix}_{GF(3)} \quad (51)$$

을 Kronecker 積하여 구할 수 있으며 다음과 같다.

$$W=\bigotimes_{i=0}^{2-1} M_i = M_1 \otimes M_0 \quad (52)$$

여기서 p=3 이고 m=2이다.

그림 5 의 가산게이트와 그림 6 의 승산게이트를 사용하여 식 (49)를 실행하는 기본셀을 설계하면 그림10과 같다.

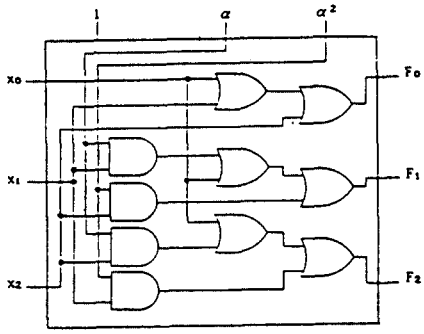


그림10. 변환행렬 M의 기본셀
Fig. 10. Basic cell of transform matrix M.

식 (30)을 이용하여 식 (52)의 변환행렬 W를 연산하면 다음과 같다.

$$\begin{aligned} W &= M_1 \otimes M_0 \\ &= \prod_{i=0}^{2-1} [\, I_3^{[2-1-i]} \otimes_3 {}^{[i]}, {}_3) \cdot (I_3^{[2-1-i]} \otimes M_i) \cdot (I_3^{[2-1-i]} \otimes S_{3,3}^{[i]}) \,] \\ &= S_{3,3} \cdot (I_3 \otimes M_1) \cdot S_{3,3} \cdot (I_3 \otimes M_0) \end{aligned} \quad (53)$$

그림 10의 기본셀을 사용하여 식 (53)를 구성한 회로가 그림 11과 같다.

Ⅳ. 비교 및 검토

이 장에서는 제시한 다치 신호처리 회로를 타 논문의 회로와 비교하였으며, 비교표가 표 1 과 표 2이다.

다치 Reed-Muller 전개식의 신호처리 회로 비교표인 표 1 에서와 같이 제시한 다치 Reed-Muler 전개식의 신호처리 회로는 Yang[12]의 고속 알고리듬에 의한 행렬변환 방법보다 변환행렬의 경우 승산 게이트의 수가 2배로 줄어들며 가산 게이트의 수는 동일하다.

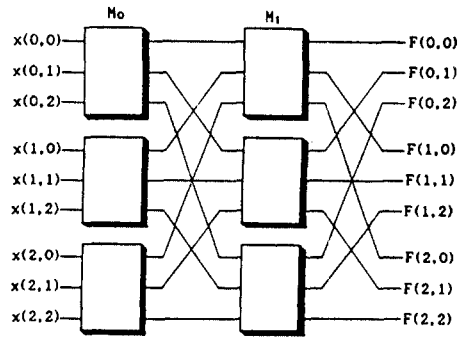


그림11. Winograd 알고리듬과 유사한 다치 논리 함수의 회로실현
Fig. 11. Realization of multivalued logic functions similar to Winograd algorithm.

표 1. 다치 Reed-Muller 전개식의 비교표
Table 1. Comparision of multivalued Reed-Muller expansions.

식 접 / 계 산	Yang[12]	본 논 문	
		변환행렬	역변환행렬
승 산 $p^m \cdot p^m$ (81)	$2m \cdot p^{m-1}$ (12)	$m \cdot p^{m-1}$ (6)	$2m \cdot p^{m-1}$ (12)
가 산 $p^m(p^m-1)$ (72)	$3m \cdot p^{m-1}$ (18)	$3m \cdot p^{m-1}$ (18)	$3m \cdot p^{m-1}$ (18)
레지스터 $p^m(p^m+2)$ (99)	3^m (9)	-	-

*( ) 내의 수는 p=3이고 m=2인 경우의 연산 게이트 수임.

표 2. Winograd 알고리듬의 비교표
Table 2. Comparision of winograd algorithm.

	Silverman[21]	Kolba와 Parks[22]	본 논 문
가 산	44	49	$6m \cdot p^{m-1}$ (36)
승 산	13	8	$4m \cdot p^{m-1}$ (24)
레지스터	-	2	-

*( )내의 수는 p=3이고 m=2인 경우의 연산 게이트 수임.

역변환행렬의 경우 가산 게이트와 승산 게이트의 수가 동일하다.

또한, Winograd 알고리듬의 비교표인 표 2 에서와 같이 Silverman[21]의 연구는 N=9인 경우 가산 게이트가 44개, 승산 게이트가 13개 필요하며, Kolba 와 Parks[22]의 연구에서는 가산 게이트가 49개, 승산 게이트가 8개 그리고 쉬프트 레지스터가 2개 필요하다. 본 논문은 p=3이고 m=2인 경우 가산 게이트는 36개 필요하며, 승산 게이트는 24개 필요하다. 이 결과

는 가산 게이트는 타 논문보다 감소하나 승산 게이트가 다소 증가한다. Silverman이나 Kolba와 Parks의 연구는 2진으로 계산되었으므로 다치 신호처리의 연산에서는 본 논문이 소자수면에서 다소 우수하며, 정보량의 처리면에서도 우수하다. 제시한 다치 신호처리 회로는 회선경로 선택의 규칙성, 간단성, 배열의 모듈성과 병발성의 이점을 가진다.

V. 결 론

본 논문에서는 Perfect Shuffle 기법과 Kronecker 積에 의한 다치 신호처리 회로의 입출력 상호연결 방법에 대하여 논하였고, 다치 신호처리 회로의 입출력 상호연결 방법을 이용하여 유한체 $GF(p^m)$ 상의 다치 Reed-Muller 전개식의 신호처리 회로의 설계방법을 제시하였다. 제시된 다치 신호처리 회로의 입출력 상호연결 방법은 행렬변환이 효과적이고 모듈구조를 갖는다.

유한체 $GF(3^2)$ 상의 다치 Reed-Muller 전개식의 변환행렬과 역변환행렬의 회로설계에서 변환행렬의 회로는 가산 게이트가 18개, 승산 게이트가 6개 필요하며, 역변환행렬의 회로는 가산 게이트가 18개, 승산 게이트가 12개 필요하다. 이결과는 Yang이 제시한 고속 변환 알고리듬과 연산 게이트수가 동일하다.

또한, 유한체 $GF(3^2)$ 상에서 3×3 배열의 DFT 식인 Winograd 알고리듬과 유사한 다치 논리 함수식을 Perfect Shuffle 기법과 Kronecker 積에 의한 다치 신호처리의 입출력 상호연결 방법을 이용하여 회로실현하였다. 이 회로는 가산 게이트가 36개, 승산 게이트가 24개 요구된다.

본 논문에서 제시된 다치 신호처리 회로는 회선경로 선택의 규칙성, 간단성, 배열의 모듈성, 병발성의 특징을 가지므로 VLSI/ULSI 실현에 적합하다. 또한, 체계화된 다치 논리함수의 변환행렬회로를 이용하여 신호처리와 화상처리 분야에서 특별한 계산을 요하거나 범용 컴퓨터의 고속화를 보조하는 전용 컴퓨터 및 인공지능에 이용되는 신경회로망 컴퓨터의 설계에 적용 가능할 것으로 사료된다.

參 考 文 獻

[1] S.L. Hurst, "Multiple-valued logic-its status and future," *IEEE Trans. Comput.*, vol. C-30, no. 9, pp. 619-634, Sept. 1981.

[2] B. Benjauthrit and I.S. Reed, "Galois switching functions and their application," *IEEE Trans., Comput.*, vol. C-25, no. 1, pp. 78-86, Jan 1976.

[3] J.T. Butler and A.S. Wojcik "Guest editors' comments," *IEEE Trans. Comput.*, vol. C-30, no. 9, pp. 617-618, Sept. 1981.

[4] H.T. Kung, "Why systolic architectures?," *IEEE Computer*, vol. 15, pp. 37-46, Jan. 1982.

[5] H.M. Shao, T.K. Truong, L.J. Deutsch, J.H. Yaeh and I.S. Reed, "A VLSI design of a pipelining Reed-Solomon decoder," *IEEE Trans. Comput.*, vol. C-34, no. 5, pp. 393-403, May 1985.

[6] H.Y. Seong and H.S. Kim, "A construction of celluar array multiplier over $GF(2^m)$," *KITE*, vol. 26, no. 4, pp. 81-87, April 1989.

[7] I.S. Hsu, T.K. Truong, L.T. Deutsch and I.S. Reed, "A comparison of VLSI architecture of finite field multipliers using dual, normal, or standard bases," *IEEE Trans. Comput.*, vol. C-37, no. 6, pp. 735-739, June 1988.

[8] B.B. Zhou, "A new bit-serial systolic multiplier over $GF(2^m)$," *IEEE Trans. Comput.*, vol. C-37, no. 6, pp. 749-751, June 1988.

[9] S. Winograd, "On computing the discrete fourier transform," *Math. Comput*, vol. 32, no. 141, pp. 175-199, Jan. 1978.

[10] J.M. Pollard, "The fast fourier transform in a finite field," *Math. Comput.*, vol. 25, no. 114, pp. 365-374, April 1971.

[11] Y. Wang and X. Zhu, "A fast algorithm for the Fourier transform over finite field and its VLSI implementation," *IEEE J. Select. Area Commun.*, vol. 6, no. 3, pp. 573-577, April 1988.

[12] F. Yang, "Fast synthesis of Q-valued functions based on modulo algebra expansion," *Proc. 16th ISMVL.*, Virginia, USA, pp. 36-41, May 1986.

[13] M. Davio, "Kronecker products and shuffle algebra," *IEEE Trans. Comput.*, vol. C-30, no. 2, pp. 116-125, Feb. 1981.

[14] H.S. Kim, *A construction of multiple-valued switching functions by Galois field*, Ph. D. dissertation, Inha Univ., Incheon, Korea, Feb. 1979.

[15] M. Davio, J.P. Deschamps and A. Thayes, *Discrete and Switching Functions*, New York, McGrow-Hill, 1978.

[16] T.Y. Feng, "A survey of interconnection networks" *IEEE Computer*, vol. 14, no. 10,

pp. 12-27, Dec. 1981.
[17] C.L. Wu and T.U. Feng, "On a cass of multistage interconnection networks," *IEEE Trans. Comput.*, vol. C-29, no. 8, pp. 694-702, Aug. 1980.
[18] X. Wu and X. Chen, "CMOS ternary flip-flops and their application," IEE Proc. vol. 135, Pt. E, no. 5, pp. 266-271, Sept. 1988.
[19] K.K. Saluja and E.H. Ong, "Minimization of Reed-Muller canonical expansion," *IEEE Trans. Comput.*, vol. C-28, no. 7, pp .535-537, July 1979.
[20] P.K. Rajan, "Fast DFT algorithms for diagonally symmetric 2-D data," *ICASSP '88*, pp. 1411-1414, April, 1988.
[21] H.F. Silverman, "An introduction to programming the Winograd fourier transform algorithm (WFTA)," *IEEE Trans. Acoustics, Speech, and Signal processing*, vol. ASSP-25, no. 2, pp. 152-165, April 1977.
[22] D.P. Kolba and T.W. Parks, "A prime factor FFT algorithm using highspeed convolution," *IEEE Trans. Acoustics, Speech., and Signal processing*, vol. ASSP-25, no. 4, pp. 281-294, Aug. 1977.
[23] J.H. Moreno and T. Lang, "Matrix computations on systolic-type meshes," *IEEE Computer*, vol. 23, no. 4, pp. 32-51, April 1990.

著 者 紹 介

成 賢 慶(正會員)
1955年 12月 21日生. 1982年 인하대학교 전자공학과 졸업. 1984年 인하대학교 대학원 전자공학과 공학석사 학위 취득. 1985年 동대학 박사과정 입학. 현재 부천공업전문대학 전자계산과 전임강사. 주관심분야는 다치논리함수 구성이론 및 회계설계, 컴퓨터 구조설계 및 VLSI 설계, 정보및 코딩이론, 디지탈 신호처리 등임.

姜 聖 洙 (正會員) 第25卷 第5號 參照
현재 부천공업전문대학 전자계산학과 전임강사

●

金 興 壽 (正會員) 第26卷 第4號 參照
현재 인하대학교 전자공학과 교수