

論文 90-27-9-13

# 고속열 확산 공정에 의해 형성된 Phosphorus Source/Drain을 갖는 NMOS 트랜지스터의 특성

## (Characteristics of NMOS Transistors with Phosphorus Source/Drain Formed by Rapid Thermal Diffusion)

趙炳珍\*,金正圭\*\*,金忠基\*

(Byung Jin Cho, Jeong Gyoo Kim, and Choong Ki Kim)

### 要 約

고체 확산 source를 사용한 2단계 고속 열 확산(RTD)공정에 의하여 형성된 phosphorus 접합을 갖는 NMOS소자의 여러특성에 대하여 조사해 보았다. RTD 후의 P의 농도분포는 SIMS 분석으로 측정하였다. n<sup>+</sup>Si과 Al의 고유접촉 저항은 1100°C, 10초 P RTD인 경우,  $2.4 \times 10^{-7} \Omega \text{cm}^2$ 으로써 As접합에 비하여 1/5배 정도로 줄어 들었다. RTD에 의한 P접합 소자와 일반적인 As접합소자에 대한 특성 비교에서, 같은 접합 깊이를 가질 경우에 short 채널 효과와 hot carrier 효과가 P접합소자에서 모두 적은 것으로 나타났다.  $I_{\text{SUB}}/I_{\text{D}}$ 값의 비교에서는 P 접합 소자가 As 접합 소자에 비하여 최대 0.4배까지 적은 값을 가졌다. RTD 온도, 시간등을 바꾸어 가며 여러 RTD 조건에서 형성된 P접합의 특성들을 비교하였으며, 1000°C RTD의 경우가 hot carrier 발생 억제효과가 가장 큰 것을 알 수 있었다. 또한, RTO-drive-in 공정을 추가한 3단계 고속 열 확산 공정에 의하여 형성된 P접합 소자의 경우 hot carrier 발생을 2단계 고속 열 확산의 경우보다 더 감소시킬 수 있는 가능성을 보였다.

### Abstract

Characteristics of NMOS transistors with phosphorus source/drain junctions formed by two-step rapid thermal diffusion (RTD) process using a solid diffusion source have been investigated. Phosphorus profiles after RTD were measured by SIMS analysis. In the case of 1100°C, 10sec RTD of, P, the specific contact resistance of n<sup>+</sup> Si-Al was  $2.4 \times 10^{-7} \Omega \text{-cm}^2$ , which is 1/5 of the As junction. The comparison of P junction devices formed by RTD and conventional As junction devices shows that both short channel effect and hot carrier effect of P junction devices are smaller than those of As junction devices when the devices have same junction depths. P junction device had maximum of 0.4 times lower  $I_{\text{SUB}}/I_{\text{D}}$  than As junction device. Characteristics of P junctions formed by several different RTD conditions have been compared and 1000°C RTD sample had the smallest hot carrier generation. Also, it has been shown that the hot carrier generation can be further reduced by forming the P junctions by 3-step RTD which has RTO-drive-in process additionally.

\*正會員, 韓國科學技術院 電氣및 電子工學科  
(Dept. of Electrical Eng., KAIST)

\*\*正會員, 金星 일렉트론(株)  
(Goldstar Electron Co.)

接受日字: 1990年 7月 11日

## I. 서 론

최근 수년간 초 고집적회로 소자의 제작을 위하여 기존의 제조공정 기술의 한계를 극복할 수 있는 한 방법인 고속 열처리 공정(rapid thermal processing, RTP)이 많이 연구되어 왔고,<sup>1,2)</sup> 그 결과 이 RTP 기술은 소자제작에 필요한 거의 모든 열처리 공정에 응용되기에 이르렀다. RTP의 응용분야는 주로 다음의 세가지 영역으로 나눌 수 있는데, 얇은 절연막 형성,<sup>3,4)</sup> 얇은 접합 형성,<sup>5,6)</sup> 그리고 실리콘과 금속과의 접착<sup>7,8)</sup> 등이다. 얇은 접합형성에서 기본적으로 두가지 방법이 있는데 그것은 이온주입과 확산 source를 이용한 확산이다. 특히, 87년부터 고체확산 source를 이용한 고속 열확산 공정(rapid thermal diffusion)에 대한 연구결과가 발표되기 시작하였는데,<sup>9,10,11,12)</sup> 이 고체 확산 source를 이용한 RTD 공정은 20nm 정도까지의 매우 얇은 접합을 손쉽게 얻을 수 있어 미래의 0.1 $\mu$ m급 소자에의 응용이 기대되는 공정기술이다. 본 논문에서는 이 RTD공정에 의해 형성된 phosphorus source/drain을 갖는 NMOS의 제작과 그 특성에 관하여 논하고자 한다.

## II. Phosphorus Drain의 필요성

MOS FET의 채널 길이를 줄여갈 때 직면하는 큰 문제점중의 하나가 drain 끝부분에서의 수평방향 전계의 증가로 인하여 발생하는 hot carrier 효과이다. 이 hot carrier 효과는 소자의 특성을 시간이 갈수록 저하시키게 되고, 따라서 소자의 수명을 결정짓는 요인이 된다. 일반적으로 hot carrier 효과에 의하여 결정지어지는 소자의 수명( $\tau$ )은 다음과 같이 표현된다.<sup>13)</sup>

$$\tau = B \left( \frac{I_{SUB}}{W} \right)^{-m} \quad (1)$$

여기에서 W는 채널 폭, B는 공정조건과 gate overlap에 의존하는 변수이며, m은 2.9~3.3의 값을 가진다.<sup>14)</sup> 즉, 소자의 수명을 늘리려면 B를 크게 하거나  $I_{SUB}$ 를 줄여야 하는데, B를 크게 하기 위한 공정 기술은 쉽지 않다.<sup>13)</sup> 따라서  $I_{SUB}$ 를 줄여야  $\tau$ 가 커지며,  $I_{SUB}$ 는 다음과 같이 표현된다.<sup>15)</sup>

$$I_{SUB} = 2I_{0e} \frac{B_1}{E_m} \quad (2)$$

여기에서  $B_1$ 는 impact ionization을 일으키는데 필요한 전계( $\sim 1.7 \times 10^6$  V/cm)이고,  $E_m$ 은 채널에 걸리는 최대 전계이며 drain이 계단접합일 경우는 다음과 같이 쓸 수 있다.

$$E_m = \frac{V_d - V_{dsat}}{l} \quad (3)$$

여기에서  $l$ 은 velocity saturation 영역의 유효길이이며

$$l = 0.22t_{ox}^3 x_j^{1/2} \quad (4)$$

로 표현된다. 따라서  $I_{SUB}$ 를 줄여  $\tau$ 를 키우려면  $E_m$ 을 줄여야 하고, 따라서  $l$ 을 크게해야 한다. 그러나  $l$ 을 키우기 위하여  $t_{ox}$ (gate산화막 두께), 혹은  $x_j$ (접합깊이)를 크게 하면 short 채널 효과가 증가하게 되는 문제가 발생한다. 이것을 해결하기 위하여 현재에는 Lightly doped drain(LDD)구조를 많이 쓰고 있다.<sup>16)</sup> 그러나 LDD구조는 일반적인 As접합 소자에 비하여 전류 구동능력과 transconductance의 손실이 10~20%에 달하는<sup>13,17)</sup> 단점을 가지고 있다. 또한, hot electron에 의해 발생된 interface state들이 n-영역에 공핍영역을 쉽게 만들게 되고, 이 공핍영역이 gate영역 밖으로 까지 형성되면 gate에 의해 제어되지 않는 저항영역이 발생하게 된다.<sup>18)</sup> 이것은 n-영역의 농도가 낮을때 또는 gate와 drain의 overlap이 충분치 않을때 일어난다.<sup>19)</sup> 특히, overlap이 충분치 않아 hot electron이 gate poly의 sidewall 산화막에 충격을 줄때는, 증착된 산화막인 sidewall 산화막의 질이 좋지 않기 때문에 interface state가 매우 쉽게 생기고 이로 인하여 성능 저하가 매우 빨리 진행되는 치명적인 단점을 가지고 있다. 이와같이, LDD 구조에서의 성능 저하는 gate overlap에 가장 크게 영향을 받기 때문에<sup>20)</sup> overlap영역의 길이를 잘 조절해야 한다. 그러나, gate overlap은 sidewall 산화막의 폭에 의해서 결정되며 이 sidewall 산화막 폭을 정확히 제어하기는 상당히 어렵기 때문에 소자의 크기가 작아질수록 이 문제는 더욱 심각해진다. 이런 단점들을 극복하기 위해 LDD구조를 약간 변경시킨 여러가지 소자구조에 대한 연구결과가 발표되었으나 공정이 복잡하고 여전히 많은 문제들을 포함하고 있다.<sup>13,21,22)</sup> Hot carrier 효과를 줄이기 위한 이러한 여러가지 구조의 소자들은, 기본적으로 공정과 구조가 복잡하여 채널길이 0.5~1.0 $\mu$ m의 소자에서는 적용될 수 있으나, 0.1 $\mu$ m급에서는 실제로 적용되기 어려워 채널길이 0.25 $\mu$ m 이하에서는 hot carrier 문제를 감수하면서도 일반적인 단일 As 접합으로 돌아가고 있는 추세이다.<sup>23)</sup> 따라서, 0.1 $\mu$ m급 소자에서 사용될 수 있는 단순한 구조로써 hot carrier 효과를 억제할 수 있는 공정이 필요한데 그 한 해결책이 phosphorus drain을 사용하는 것이다. P 접합은 일반적으로 As접합보다 훨씬 완만한 경사접합을 이루기 때문에 drain

끝부분에서의 수평방향 전계를 상당히 줄일 수 있다. 그러나, 지금까지 P 접합이 짧은 채널 소자에서 많이 쓰이지 않고 있는 것은 확산사 생기는 긴 tail 때문에 얇은 접합과 낮은 source, drain 면저항을 동시에 얻기 어려워, short 채널 효과가 크게 나타나고 금속과의 접촉저항 및 source, drain 직렬저항을 줄이기 어려운 문제들이 있었기 때문이다.<sup>[16]</sup> 얇은 접합을 얻는 것과 source, drain 직렬저항을 줄이는 이 두가지 문제를 해결한다면 P 접합은 미래의 0.1 $\mu$ m급 소자에 성공적으로 적용될 수 있을 것이며, 고체 확산 source를 이용한 RTD 공정은 그 가능성을 보여주고 있다.<sup>[11]</sup>

### III. 고속 열확산 (RTD)공정

그림 1은 실험에 사용된 RTP시스템의 개략도와 확산공정을 위한 웨이퍼 샌드위치 구조를 보여주고 있다. 이 시스템과 확산공정에 대한 상세한 설명은 참고문헌 [11]과 [24] 잘 나타나 있다. 고속 열확산 공정은 확산 source에 있는 P<sub>2</sub>O<sub>5</sub> glass를 공정웨이퍼의 표면으로 이동시키는 glass천이 공정과 공정웨이퍼 표면에 천이된 P<sub>2</sub>O<sub>5</sub> glass로부터 P를 실리콘속으로 확산시키는 predeposition 공정의 두 단계로 나누어 수행된다. Glass 천이 공정시에는 그림1에서처럼 웨이퍼 샌드위치 구조를 사용한다. 확산 source는 흰색이기 때문에 램프빛의 흡수에 의한 가열이 어려워 가열용 실리콘 웨이퍼 위에 확산 source를 놓아 열전도에 의하여 source를 가열시킨다. 가열용 웨이퍼는 1.5mm 이상의 두꺼운 실리콘 웨이퍼이다. 확산 source위에는 400 $\mu$ m 두께의 쿼츠 공간자(spacer)를 놓고 그 위에 공정용 웨이퍼를 얹어서 놓는다. Pyrometer는 공정용 웨이퍼의 뒷면의 온도를 측정한다. 그림 2는 전형적인 RTD공정에서 시간대 공정용 웨이퍼 온도와의 관계를 나타낸 것이다. Glass천이 공정시에는 천이공정 온도인 800 $^{\circ}$ C까지 60초 동안 천천히 가열한 뒤 800 $^{\circ}$ C에서 60초 동안 천이공정을 수행한다. Predeposition 공정때에는 웨이퍼 샌드위치 구조를 사용하지 않고 공정 웨이퍼 한장만 공정실 안에 넣고 열처리를 수행한다. 보통 750 $^{\circ}$ C, 30초간 예열을 한뒤 predeposition 공정온도로 가열하게 되는데, 앞으로 RTD온도와 시간이라고 할때는 그림 2에 표시된 것처럼 predeposition 공정 온도와 그 온도에서 머무르는 시간을 말한다. Predeposition 공정때의 온도상승 속도는 약 250 $^{\circ}$ C/sec이다. 그림3은 이러한 방법으로 P를 실리콘속으로 확산시켰을때 P의 깊이에 따른 농도분포를 SIMS 분석을 통하여

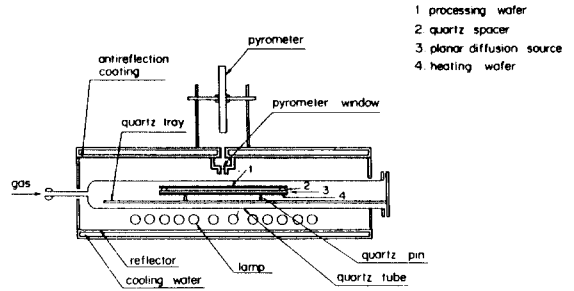


그림 1. 고속열 확산 공정을 위한 시스템의 개략도  
Fig. 1. Schematic diagram of rapid thermal diffusion processing system.

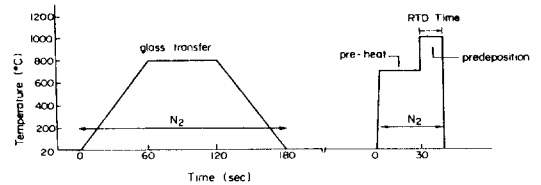


그림 2. 전형적인 RTD 공정에서의 시간 대 웨이퍼 온도의 관계  
Fig. 2. Wafer temperature versus processing time in a typical RTD process.

측정한 결과이다. RTD 온도(predeposition 온도)는 1000 $^{\circ}$ C와 1100 $^{\circ}$ C이며 RTD 시간은 2초, 5초, 10초인 경우이다. 이 결과로부터, RTD후의 P의 농도 분포는 10<sup>21</sup>cm<sup>-3</sup> 정도의 높은 농도를 일정하게 갖는 영역인 고 농도 영역과 e<sup>-x</sup>(x:실리콘의 깊이)에 비례하여 농도가 감소하는 경사접합영역의 두 영역으로 이루어져 있음을 알 수 있다. 이것은 As이온 주입후의 확산때 형성되는 농도 분포인 gaussian분포가 깊이에 따라 e<sup>-x<sup>2</sup></sup>에 비례하여 농도가 감소하는 것에 비교할 때 대단히 완만한 경사접합을 갖는 것을 알 수 있다. 그림 4는 일반적인 furnace에서의 확산공정후의 P의 농도분포에 대한 전형적인 예이다. 이 그림에서 보는 바와 같이 P의 확산시에는 낮은 농도영역에서 긴 tail이 생기게 되는데 이것은 페르미레벨이 전도대끝으로부터 0.11 eV 이하로 내려오는 농도 (2~4 $\times$ 10<sup>19</sup>cm<sup>-3</sup>)이하에서 부터는 (PV)<sup>-</sup>쌍의 dissociation이 현저하게 커져서 과잉 vacancy의 농도가 많아지게 되고 이에 따라 확산계수가 커지기 때문에 일어나는 현상으로 알려져 있다.<sup>[25]</sup> 또한 온도가 낮을 수록 고농도 영역에 대한 저농도 영역의 확산계수의

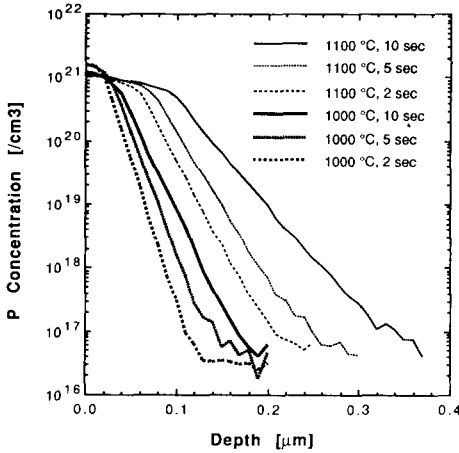


그림 3. RTD 공정후의 Si내에서의 P의 농도분포에 대한 SIMS 분석 결과

Fig. 3. Phosphorus concentration profile by SIMS analysis after RTD process.

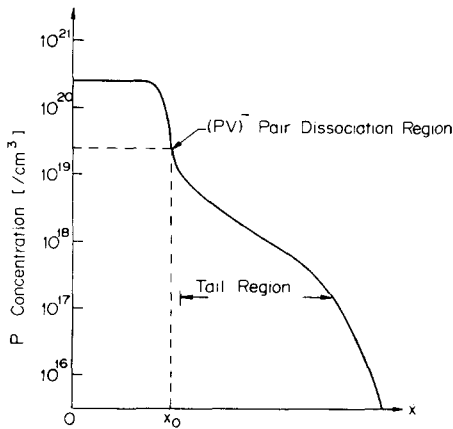


그림 4. 일반적인 furnace화산 공정후의 P의 농도분포도

Fig. 4. Phosphorus concentration profile after conventional furnace diffusion process.

증가율은 커지는 것으로 알려져 있다.<sup>126)</sup> 그러나, 그림 3과 그림4를 비교해 보면, 고온에서 순간적으로 화산을 수행하는 RTD에 있어서는 낮은 농도영역에서의 tail현상이 나타나지 않는 것을 알 수 있다. 또한, 그림 3에서 표면농도도  $10^{21} \text{cm}^{-3}$  이상인 것을 알 수 있고 이 표면농도는  $900^{\circ}\text{C} \sim 1100^{\circ}\text{C}$  사이의 RTD 온도로 형성된 P 접합에서는  $1 \sim 2 \times 10^{21} \text{cm}^{-3}$  정도로 일

정한 것으로 나타났다. 이것은 P 접합 소자의 주요 문제점 중 하나인 큰 source 직렬저항 문제를 해결할 수 있음을 보여주고 있다. As 접합보다는 완만하나 긴 tail은 존재하지 않는 적당한 농도분포를 가지며 동시에 높은 표면 농도를 갖는 RTD 공정에서의 P 접합은 짧은 채널 소자 공정에 어느정도 이상적인 접합의 특성을 보여주고 있다.

IV. 소자제작 및 특성

1. 제조 공정

RTD 공정이 포함된 유효채널 길이  $0.5 \sim 20 \mu\text{m}$  인 NMOS 소자들을 제작하였고 특성 비교를 위하여 As 접합을 갖는 소자도 함께 제작하였다. 사용된 웨이퍼는  $4 \sim 8 \Omega \cdot \text{cm}$ 의 비저항을 가지는 p형(100) 웨이퍼이다. 전형적인 LOCOS 공정과 poly gate 공정을 사용하였으며, gate 산화막은  $120 \text{ \AA}$ 과  $270 \text{ \AA}$ 의 두가지로 만들었고 gate poly의 두께는 모두  $3000 \text{ \AA}$ 이다. Source, drain 형성때 RTD 공정을 사용하여 P를 확산시켰는데  $900 \sim 1100^{\circ}\text{C}$ , 1초~10초 사이의 RTD 온도와 시간을 사용하였다. Source, drain이 형성된 뒤의 공정에서는 source, drain의 농도분포가 RTD공정 직후의 분포와 크게 달라지지 않도록 하기 위하여 RTD 공정후에는 glass reflow 등의 고온공정은 전혀 수행하지 않았다. RTD 공정 후  $450^{\circ}\text{C}$ 에서 undoped 산화막을 증착시켰으며, 전형적인 contact, metallization 공정을 거쳤다. 금속으로는 1% 실리콘이 포함된 Al을 사용하였으며 silicide는 사용하지 않았다. 금속 alloy 공정은 furnace에서  $400^{\circ}\text{C}$ , 30분간  $\text{N}_2$  분위기에서 열처리한 것과 본 실험실에서 제작된 금속 alloy용 RTA 장비를 이용하여<sup>127)</sup>  $425^{\circ}\text{C}$ , 10초 동안  $\text{N}_2$  분위기에서 열처리한 것의 두가지 방법을 사용하였다. As 접합 소자는 source, drain 형성을 제외한 모든 공정이 P접합 소자의 제조공정과 같다. Source drain 형성을 위한 As이온 주입시 dose는  $4.5 \times 10^{15} \text{ cm}^{-2}$ 이며 이온 주입에너지는  $40 \text{ KeV}$ 와  $80 \text{ KeV}$ , 주입 후 열처리는  $900 \sim 950^{\circ}\text{C}$ , 20분~30분 사이에서 필요한 As 접합의 깊이를 얻도록 하였다.

2. 접촉저항 특성

위와 같은 공정후에 여러 시편에 대하여 source, drain영역과 Al과의 접촉저항을 측정한 결과가 표1에 나타나 있다. 측정시 사용된 패턴에서의 접촉부 크기는  $1 \mu\text{m} \times 1 \mu\text{m}$ 이다. 이 결과에서 As 접합의 경우는 고유접촉저항이  $1.2 \times 10^{-6} \Omega \cdot \text{cm}^2$ 으로써 silicide를 쓰지않는 n<sup>+</sup>Si-Al접촉에서의 전형적인 값을 보여주

표 1. 여러 공정 조건에서의 n<sup>+</sup>Si-Al 접촉저항 측정결과

Table 1. n<sup>+</sup>Si-Al contact resistances for several process conditions.

Source/Drain species	Process condition	Alloy condition	Specific contact resistance ( $\Omega \cdot \text{cm}^2$ )
As	Implantation $4.5 \times 10^{13} \text{ cm}^{-2}$	Furnace 400°C, 30min	$1.2 \times 10^{-6}$
P	RTD 1100°C, 2sec	"	$5.2 \times 10^{-7}$
P	"	RTA 425°C, 10sec	$4.2 \times 10^{-7}$
P	RTD 1100°C, 10sec	Furnace 400°C, 30min	$2.4 \times 10^{-7}$

고 있다. 그러나, P 접합의 경우는 같은 alloy 조건에서도 1100°C, 10초 RTD의 경우는  $2.4 \times 10^{-7} \Omega \cdot \text{cm}^2$ 의 대단히 낮은 고유 접촉 저항값을 보여주고 있다. 이것은 표면농도가  $10^{20} \text{ cm}^{-3}$  정도인 As 접합에서는 titanium 혹은 cobalt silicide를 사용할 경우에만 얻을 수 있는 값으로써,<sup>28</sup> P 접합에서  $10^{21} \text{ cm}^{-3}$  이상의 높은 표면농도에 기인한 것으로 보여진다. 1100°C, 2초 RTD의 경우는 위와 같은 alloy 조건이라도 접촉 저항이  $5.2 \times 10^{-7} \Omega \cdot \text{cm}^2$ 으로써 1100°C, 10초 RTD의 경우보다 2배이상 크게 측정되었다. 이것은 다음과 같이 설명할 수 있다. 일반적으로 furnace에서 alloy 공정을 할때 Al이 Si속으로 파고들어가게 되는데 그 깊이는 보통 0.1~0.15 $\mu\text{m}$  정도되는 것으로 알려져 있다. 따라서 그림 3에서 보는 바와 같이 1100°C, 2초 RTD의 경우는  $10^{21} \text{ cm}^{-3}$  이상의 고농도 영역이 얇기 때문에 Al이  $10^{21} \text{ cm}^{-3}$  이하의 약간 낮은 농도를 갖는 영역에서도 접촉면을 가지게 된다. 따라서 고유접촉 저항은 증가하게 된다. 이 사실은 1100°C, 2초 RTD의 시편을 425°C, 10초간 RTA를 하였을 때 접촉저항이 20% 감소한 결과로부터 확인할 수 있다. 즉, RTA로 10초 정도 alloy를 할 경우에는 Al이 Si속으로 파고들어가는데 깊이가 얇아지므로,<sup>29</sup> Al이 표면쪽의 좀 더 높은 P 농도를 가지는 영역에서만 Si과 접촉면을 가지게 되고 따라서 접촉저항이 줄어들게 된다.

### 3. NMOS 소자 특성

그림 5는 RTD에 의한 P접합을 가지는 NMOS 소자의  $I_D-V_D$  특성이다. Gate 전압 step은 1V이며 최대 gate 전압은 5V이다. 이 결과는 1100°C, 10초 RTD의 경우이며  $W=20\mu\text{m}$ ,  $L_{eff}=0.7\mu\text{m}$ , gate 산화막은 120 Å인 소자이다. 1000°C 이상의 다른 RTD 온도와

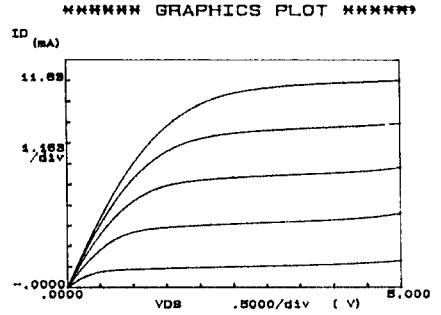


그림 5. 1100°C, 10초 RTD 공정을 사용한 NMOS 소자의  $I_D-V_D$  특성

$V_{GS} = 1, 2, 3, 4, 5$  volts  
 $W = 20\mu\text{m}$ ,  $L_{eff} = 0.7\mu\text{m}$ ,  $t_{ox} = 120 \text{ \AA}$

Fig. 5.  $I_D-V_D$  characteristic of NMOS using 1100°C, 10sec RTD process.

$V_{GS} = 1, 2, 3, 4, 5$  volts  
 $W = 20\mu\text{m}$ ,  $L_{eff} = 0.7\mu\text{m}$ ,  $t_{ox} = 120 \text{ \AA}$

시간의 조건으로 제작된 시편에 대하여도  $I_D-V_D$  특성은 대개 비슷하였다. 그림 6은 채널이 짧아지면서 발생하는 threshold 전압의 감소 현상을 측정된 것이다. Threshold 전압측정은 linear extrapolation 방법을 사용하였으며, 측정시 bias 조건은  $V_D = 0.05V$ ,  $V_{sub} = -2.5V$ 이다. 1100°C, 2초 RTD 시편은 접합 깊이가 2000 Å 정도이며 1100°C, 10초 RTD와 As접합 시편은 접합 깊이가 3000 Å 정도로 거의 같다. Gate 산화막 두께는 세 경우 모두 120 Å이다. 이 결과에서 1100°C, 2초의 경우가 short 채널효과가 가장 적게 나타나는데 이것은 접합깊이가 가장 얇기 때문이다. 1100°C, 10초 RTD 경우와 As 접합인 경우를 비교해 보면, 두 시편이 거의 같은 접합깊이를 갖는데도 P 접합이 short 채널 효과가 훨씬 적게 나타나는 것을 알 수 있다. 이것은 bulk의 역 bias에 의해 공핍층이 형성될 때 완전한 경사접합인 P 접합시에는 공핍층이 source, drain 안으로도 형성되어 bulk내의 공핍층 전하량이 줄어들기 때문에 일어나는 현상으로 생각된다.

Drain 접합의 항복(breakdown)현상이 일어날 때까지 걸 수 있는 최대의 drain 전압(drain sustaining voltage)을 측정하는 것은 그 접합의 경사 정도와 그 소자의 hot carrier 발생정도를 평가하는 좋은 방법이 된다. 그림 7에 약 2500 Å의 접합 깊이를 가지며 gate 산화막이 270 Å인 두 소자에 대한 최대 drain 전압을 측정한 결과가 나타나 있다. 이 측정에서 gate 전압은  $3.0V + V_D$ 로 고정시켰다. 이 결과로부터 1000°C,

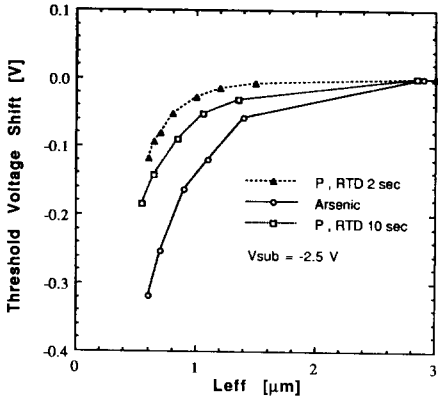


그림 6. 채널 길이에 대한 threshold 전압 특성  $L_{eff}=3\mu\text{m}$ 의 threshold 전압을 기준으로 하여  $\Delta V_t$ 를 측정할 결과임  
 Fig. 6. Channel length versus threshold voltage shift. The reference threshold voltage for  $\Delta V_t$  measurement is the  $V_t$  for  $L_{eff}=3\mu\text{m}$ .

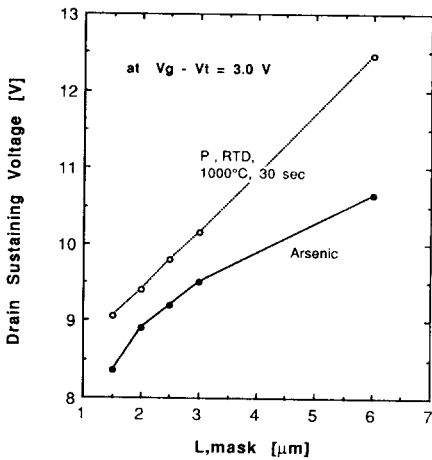


그림 7. Drain 접합의 항복(breakdown)현상이 일어나는 drain 전압에 대한 측정 결과  
 Fig. 7. Drain voltage at the onset point of drain junction breakdown.

30초 RTD 공정에 의한 P 전압이 As 접합에 비하여 10~15%정도 큰 drain 전압을 걸 수 있는 것을 알 수 있다.

Hot carrier의 발생정도를 측정하는 가장 일반적인 방법이  $V_c$ 에 따른 기관 전류  $I_{SUB}$ 를 측정하여 그 최대값을 비교하는 것이다. 그러나 식(2)에 나타나 있는것 처럼  $I_D$ 가 커지면  $I_{SUB}$ 도 커지며  $I_D$ 는 접합의

특성뿐만 아니라 source 직렬저항등 여러가지 요소에 영향을 받기 때문에, 순수하게 접합에 걸리는 최대전계의 크기를 비교하려면  $I_{SUB}/I_D$ 를 비교해야 한다.<sup>30)</sup> 그림 8은 접합길이가 2500 Å 정도인 여러 시편에 대한  $I_{SUB}/I_D$ 를 채널 길이에 따라 측정한 결과이다. 여기에서 RTD 공정때의 온도를 900°C, 950°C, 1000°C, 1100°C로 변화시켰고, 이때 접합깊이를 모두 2500 Å로 일정하게 하기 위하여 RTD 시간을 210초, 80초, 30초, 4초로 조절하였다. 측정조건은  $V_D=7V$ 로 고정하고  $V_G$ 를 변화시킬때  $I_{SUB}$ 가 최대가 되는 점과 그 점에서의  $I_D$ 를 측정하여  $I_{SUB}/I_D$ 를 구한 것이다. 그림 8의 결과에서 1000°C, 30초 RTD를 한 경우가  $I_{SUB}/I_D$ 가 가장 작았으며 As접합에 비하여 채널 길이에 따라 0.4~0.6배 정도로 크게 줄어든 것을 알 수 있다. 그 외의 다른 RTD 온도에 대하여도 As접합보다 훨씬 적은  $I_{SUB}/I_D$  값을 보이고 있어 P접합이 hot carrier 발생을 효과적으로 감소시킴을 알 수 있다. 그림 8에서 보는 바와 같이 같은 접합 깊이가 일지라도 RTD 온도에 따라 채널의 수평방향 전계값이 다른것으로 측정되었고 1000°C, 30초인 경우가 가장 채널 전계가 작은 것으로 측정되었다. 이 현상의 원인을 알아보기 위해 MOS 소자 해석을 위한 2차원 수치해석 프로그램인 KADES(KAist DEvice Simulator<sup>31)</sup>)를 사용하여 RTD 시편들에 대한 drain 근처에서의 채널 수평방향 전계를 simulation 하였고 그 결과가 그림 9에 나타나 있다. 이 계산에서 수직 방향 농도 분포는

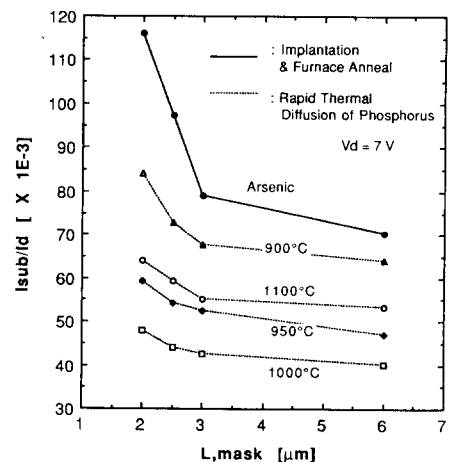


그림 8. 채널 길이에 따른  $I_{SUB}/I_D$  측정 결과.  $V_D=7V$   
 Fig. 8. Channel length versus  $I_{SUB}/I_D$ .  $V_D=7V$ .

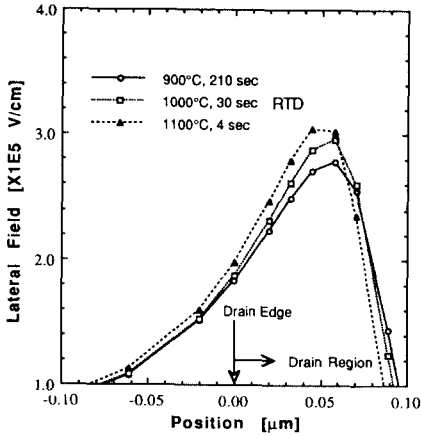


그림 9. Drain 근처에서의 수평방향전계에 대한 2차원 수치해석 결과

Fig. 9. Two-dimensional numerical simulation results of lateral electric field around the drain edge.

$$C(x) = \begin{cases} C_s & \text{for } x < x_0 \\ A e^{-Bx} & \text{for } x > x_0 \end{cases} \quad (5)$$

의 두 영역으로 근사시켜 사용하였으며 횡방향 확산율은 80%로 가정하였다. 식(5)에서  $x_0, A, B$  등은 RTD온도와 시간의 함수이다.<sup>[32]</sup> 그림 9의 수치해석의 결과에서는 RTD 온도가 낮을수록 채널 전계가 낮아지는 것을 알 수 있다. 그러나, 그림 8에서는 1100°C 보다는 1000°C 때가 전계가 적지만 1000°C 이하에서는 온도가 내려갈수록 오히려 전계가 커지는 현상을 보이고 있다. 이것은 현재까지 명확히 이해되지 않고 있다. 한가지 가능성은 source, drain에서의 면저항 값이 1100°C와 1000°C의 경우는 22~25Ω/sq. 정도인데 950°C의 경우는 35Ω/sq., 900°C에서는 60Ω/sq.로 추정되어, 낮은 RTD 온도에서는 확산된 P 원자들이 전기적으로 완전히 활성화가 되질않아 접합이 않아 보이는 효과를 가져오기 때문인 것으로 추측된다.

#### 4. RTO-drive-in의 효과

Glass 천이 공정은 predeposition 공정의 재현성을 높이기 위해 충분한 양의 glass가 웨이퍼 표면에 천이 되도록 공정을 수행한다.<sup>[24]</sup> 따라서 2단계 RTD 공정에서는 predeposition 온도와 시간이 정해지면 불순물 농도 분포가 정해지게 된다. 이에 따라 좀 더 다양한 불순물 농도분포를 얻기 위한 방법으로써 2단계 RTD 공정에다 RTO-drive-in 공정을 추가한

3단계 RTD 공정을 고안하였다. RTO-drive-in 공정은 predeposition 공정 후에 확산 source가 되는 P<sub>2</sub>O<sub>5</sub> glass를 제거한 뒤 다시 RTD 공정실 내에서 O<sub>2</sub> 분위기에서 열처리를 수행하는 것으로써, 실리콘 내의 불순물의 양은 변하지 않고 불순물 분포와 활성화 정도만 바꾸는 공정이다. 이 공정을 추가 하였을 때의 장점은 고온확산공정과 저온확산공정의 장점을 동시에 가질수 있게 하는 것이다. 고온의 predeposition과 저온의 RTO-drive-in 공정의 조합 혹은 그 반대의 조합을 사용할 경우, 고온확산공정의 장점인 높은 활성화를 기대할 수 있고 또한 저온확산공정의 장점인 완만한 경사접합을 가질 수 있어 좋다. 또한 O<sub>2</sub> 분위기에서 열처리를 수행함으로써 Si 표면에 얇은 산화막을 성장시키게 되는데 이때 P 원자들이 산화막 계면쪽으로 pile-up되는 성질이 있으므로<sup>[25]</sup> 표면 농도가 더 높아지는 효과도 기대할 수 있다. RTO drive-in의 효과를 알아보기 위하여 다음과 같은 세 종류의 시편(No. 1~3)을 제작하였다. Glass 천이공정은 모두 다 800°C, 60초간 수행하였다. 첫번째 시편(No. 1)은 1100°C, 1초간 RTD 공정만 수행하였으며 이때의 n<sup>+</sup> 영역의 면저항은 35Ω/sq. 정도였다. 두번째 시편(No. 2)은 1100°C, 1초간의 RTD 공정 후, glass를 제거하고 925°C, 100초간 RTO-drive-in 공정을 수행하였다. 이때의 면저항도 35Ω/sq. 정도로써 거의 변하지 않았다. 세번째 시편(No. 3)은 두번째와 반대로 925°C, 100초간 RTD 후 1100°C, 1초간 RTO drive-in 공정을 수행하였다. 이때는 면저항이 RTD 직후는 60Ω/sq. 정도였으나 RTO-drive-in 공정 후에는 35Ω/sq. 정도로 감소하였다. 따라서 저온 RTD 후에는 불순물들이 완전히 활성화가 되지 않으며 1100°C, 1초의 열처리로 이 불순물들이 거의 완전히 활성화된 것을 알 수 있다.<sup>[32]</sup> 이 세 시편의 최종 면저항 값은 모두 35Ω/sq. 정도로 비슷하여 거의 같은 양의 불순물이 확산되어 있는 것으로 볼 수 있다. 그림10은 이 세 시편에서의 I<sub>sub</sub>/I<sub>b</sub> 특성을 채널 길이에 따라 측정된 결과이며 측정조건은 그림 8의 측정때와 같다. 이 결과에서 시편 No. 1과 No. 2를 비교해 보면 RTO-drive-in 효과를 확실히 알 수 있다. 시편 No. 1에서의 얇고 비교적 급한 경사를 갖는 접합이 925°C, 100초의 RTO-drive-in을 거치면서 접합이 약간 깊어지고 경사도 완만해 진 것을 추측할 수 있다. Spreading resistance probe로 측정을 해본 결과, 925°C, 100초의 RTO-drive-in 공정에서는 접합이 500 Å 정도 더 깊어지는 것으로 나타났다. 시편 No. 3의 기본적인 idea는 낮은 온도 RTD를 통하여 완만한 경사 접합을 만든 뒤 높은 온도 RTO-drive-

이므로써 불순물들을 활성화 시키는 것이다. 시편 No.3은 No.2에 대하여 공정 순서가 반대로 되었을 뿐 전체 공정 온도와 시간은 같다. 그러나 그림10에서 보는 바와 같이 hot carrier 발생억제효과는 시편 No.3이 큰 것으로 나타났다. 확산된 불순물의 양이 같고 접합깊이가 비슷할 경우에, hot carrier 발생은 불순물 농도분포의 끝부분인 tail 영역의 모양에 크게 영향을 받기 때문에 위의 현상에 대한 어떤 정량적인 설명을 하는 것은 어렵다. 단지 추측할 수 있는 것은, 높은 온도의 RTO-drive-in 공정때 발생하는 과잉 interstitial의 영향으로 oxidation-enhanced-diffusion 현상이<sup>13)</sup> No.3에는 더 많이 나타났기 때문으로 여겨진다.

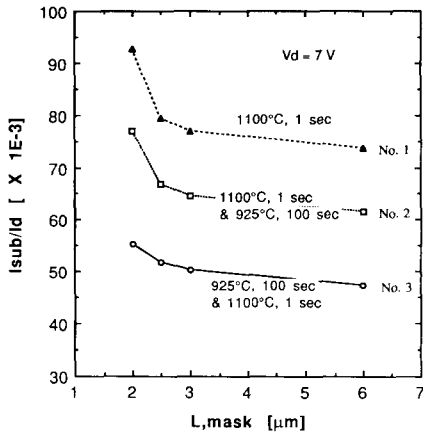


그림 10. 2단계 RTD와 3단계 RTD로 제작된 MOS 소자의  $I_{SUB}/I_D$  특성 비교  $V_D=7V$

Fig. 10.  $I_{SUB}/I_D$  comparison between MOS devices by 2-step RTD and 3-step RTD.  $V_D=7V$ .

### V. 결론 및 토의

앞에서 살펴본 바와 같이, RTD에 의한 P접합을 가지는 NMOS 소자는 일반적인 As 접합 소자에 비하여 hot carrier 발생도 적고, short 채널 효과도 적은 것을 알 수 있다. 그리고, 일반적인 P접합 소자는 큰 source 직렬저항을 가지는데 비하여, RTD에 의한 P접합 소자에서는 As접합소자보다 오히려 더 작은 source 직렬저항을 가지는 것으로 나타났다. 무엇보다도 큰 장점은 LDD처럼 복잡한 공정과 구조를 가지지 않으면서도 hot carrier 효과를 억제할 수 있다는 것이며 따라서 미래의 0.1μm급 소자에도 적용할 수 있는 공정인 것이다. 그러나 그림8, 9, 10에서

보는 바와 같이, RTD에 의한 P drain 소자는 아직 정확히 예측할 수 없는 결과를 많이 보이고 있다. 이것은 RTD에 의한 P 확산의 모델이 정립이 되어 있지 않기 때문이며, 이 확산모델이 정량적으로 세워질 때 위의 현상들도 잘 설명되어 질 것으로 기대된다.

### 參 考 文 獻

- [1] R. Singh, "Rapid isothermal processing," *J. Appl. Phys*, vol 63, no. 8, pp. R59-R114, 15 April 1988
- [2] S. Leavitt, "RTP: on the Edge of Acceptance," *Semi. Int.*, pp. 65-70, March 1987
- [3] T. Hori and H. Iwasaki, "Improved Transconductance Under High Normal Field in MOSFET's with Ultrathin Oxides" *IEEE Electron Dev. Lett.*, vol. EDL-10, no. 5 pp. 195-197, May 1989.
- [4] J. Nulman, "Rapid Thermal Processing of High Quality Silicon Dioxide Films," *Solid State Tech.*, pp. 189-191, April 1986.
- [5] S.S. Cohen, J.F. Norton, E.F. Koch and G.J. Weisel "Shallow boron-doped junctions in silicon," *J. Appl. Phys.*, vol 57, no. 4, pp. 1200-1213, 15 February 1985.
- [6] 조병진, 김충기, "고농도 BF<sub>2</sub> 이온 주입된 실리콘의 고속 열처리," *응용물리*, vol. 2, no. 4, pp. 407-412, November 1989.
- [7] M. Tabasky et al "Direct Silicidation of Co on Si by Rapid Thermal Annealing," *IEEE Trans. Electron Dev.*, vol. ED-34, no. 3, pp 548-553, March 1987.
- [8] S. Onishi and K. Sakiyama "The influence of Free Carrier Absorption on the Rapid Thermal Sintering Process" *IEEE Electron Dev. Lett.*, vol. EDL-8, no. 4, pp. 176-178, April 1987
- [9] K.T. Kim and C.K. Kim, "Formation of Shallow p<sup>+</sup>-n Junctions using Boron-Nitride Solid Diffusion Source," *IEEE Electron Dev. Lett.*, vol. EDL-8, no. 12, pp. 569-571, December 1987
- [10] K.T. Kim, C.K. Kim, B.J. Cho and J.G. Kim, "Formation of Shallow Phosphorus Layers by Rapid Thermal Processing using a Solid Diffusion source," *J. KIEE*, vol. 1, no. 2, pp. 105-109, September 1988.
- [11] J.G. Kim and C.K. Kim, "Two-step Rapid Thermal Diffusion of Boron into Silicon using a Boron Nitride Solid Diffusion



- Source," *J. Electronic Matr.* vol. 18, no. 5, pp. 573-577, May 1989.
- [12] J.G. Kim, B.J. Cho and C.K. Kim, "AES study of Rapid Thermal Boron Diffusion into Silicon from a Solid Diffusion Source in Oxygen Ambient" *accepted for publication in the J. Electrochem. Soc.*, 1990.
- [13] N.G. Einspruch and G. Gildenblat, "Advanced MOS Device Physics," Academic Press, VLSI Electronic vol. 18, 1988.
- [14] C. Hu et al ' Hot Electron-induced MOSFET Degradation-Model, Monitor, and Improvement " *IEEE Trans. Electron Dev.*, vol. ED-32, no. 2, pp. 375-385, February 1985.
- [15] C. Hu, "Hot Electron Effects in MOSFET's," *IEDM*, pp. 176-181, 1983.
- [16] E. Takeda et al., "Submicrometer MOSFET structure for minimizing hot-carrier generation," *IEEE Trans Electron Dev.* vol. ED-29, no 4, pp. 611-618, April 1982.
- [17] Y. Matsumoto et al, ' Optimized and reliable LDD structure for 1 $\mu$ m NMOSFET based on substrate current analysis." *IEDM*, pp. 392-395, 1983.
- [18] F.C. Hsu and H.R. Grinolds, "Structure-Enhanced MOSFET Degradation Due to Hot-Electron Injection," *IEEE Electron Dev. Lett.* vol. EDL-5, no. 3, pp. 71-74, March 1984.
- [19] F.C. Hsu and K.Y. Chiu, "Evaluation of LDD MOSFET's Based on Hot-Electron-Induced degradation," *IEEE Electron Dev. Lett.*, vol. EDL-5, no. 5, pp. 162-165, May 1984.
- [20] F.C. Hsu, J. Hau and K.Y. Chiu, "Hot-electron degradation in submicron VLSI," *IEDM*, pp. 48-51, 1985.
- [21] M. Kinugawa et al, "Submicron MLDD NMOS FET's for 5V operation," *Tech. Dig. Symp. VLSI Tech.*, pp. 116-117, 1985.
- [22] Y. Toyoshima et al, "Profiled lightly doped drain (PLDD) structure for high reliable NMOS-FET's; " *Tech. Dig. Symp. VLSI Tech.* pp 118-119, 1985.
- [23] Y. Okazaki et al, ' High-Performance Subquarter Micrometer gate CMOS Technology," *IEEE Electron Dev. Lett.* vol. EDL-11, no 4, pp. 134-136, April 1990.
- [24] 김정규, "고체 확산 소오스를 사용한 인과 붕소의 실리콘으로의 2단계 고속 열확산," KAIST, 박사학위 논문, 1989
- [25] S.M. Sze, *VLSI Technology*, McGraw-Hill Book Co., pp. 199-201, 1983.
- [26] H. Ahmed et al " "Properties of silicon," *INSPEC*, pp. 348-367, 1988.
- [27] 김충기, 이동엽, 조병진, "고속 열처리 장치를 이용한 Alloy 공정과 Implantation Annealing," *과기처 1988년 특정연구 결과 발표회 논문집*, pp. 204-207, 1989.
- [28] L.V.D. Hove et al, "A self-aligned CoSi<sub>2</sub> Interconnection and Contact Technology for VLSI Application," *IEEE Trans. Electron Dev.* vol. ED-34, no. 3, pp. 554-561, March 1987.
- [29] T.J. Faith and C.P. Wu, "Elimination of hillocks on Al Si metallization by fast-heat pulse alloying," *Appl. Phys. Lett.*, vol. 45, no. 4, pp. 470-472, 15 August 1984.
- [30] C.Y. Wei J.M. Pimbley and Y.N. Cohen, "Buried and Graded/Buried LDD structures for Improved Hot-Electron Reliability," *IEEE Electron Dev. Lett.*, vol. EDL-7, no. 6, pp. 380-382, June 1986.
- [31] 'Submicron Device Simulator 개발, 2차년도 최종연구 보고서,' 한국전자통신연구소, 1989.
- [32] B.J. Cho and C.K. Kim, "Anomalous Diffusion Phenomena in Two step Rapid Thermal Diffusion of Phosphorus," *to be published in Proc. of Tech. Sym. Microelectronic Processing Integration, SPIE*, Santa Clara 1990.
- [33] Y.S. Shin and C.K. Kim, "A Two-Dimensional Model for the Excess Interstitial Distribution in Silicon During Thermal Oxidation," *IEEE Trans. Electron Dev.* vol. ED-31, no. 6, pp. 797-800, June 1984.

#### 감사의 글

MOSFET 제작과정의 일부는 서울대 반도체 공동 연구소에서 수행된 것입니다. 본 실험을 위해 수고해 주신 반도체 공동연구소의 여러분들께 감사드립니다.

著 者 紹 介



趙 炳 珍 (正會員)

1962年 3月 16日生. 1985年 2月 고려대학교 전자공학과 졸업. 1987年 2月 한국과학기술원 전기 및 전자공학과 석사과정 졸업. 1987年 3月~현재 한국과학기술원 박사과정 재학중. 주관심분야는 고속열처리공정, Hot carrier 효과, 확산 modeling등임.

金 正 圭 (正會員)

1960年 3月 4日生. 1983年 2月 경북대학교 전자공학과 졸업. 1985年 2月 한국과학기술원 전기및 전자공학과 석사과정 졸업. 1989年 8月 한국과학기술원 전기및 전자공학과 박사과정 졸업. 공학박사 학위취득. 1989年 8月~현재 금성일렉트론 memory 개발팀 선임연구원. 주관심분야는 초미세 transistor 구조및 공정 등임.

●

金 忠 基 (正會員) 第25卷 第6號 參照  
현재 한국과학기술원 전기및 전자공학과 교수