

이온빔 증착 텅스텐을 이용한 자기정렬 게이트 GaAs MESFET의 전기적 특성

(Electrical Characteristics of Self Aligned Gate GaAs MESFETs Using Ion Beam Deposited Tungsten)

片 廣 毅*, 朴 亨 茂*, 金 鳳 烈**

(Kwang Eui Pyun, Hyung Moo Park, and Bong Ryul Kim)

要 約

GaAs 대규모 집적회로 공정에 적용가능한 자기정렬 게이트 GaAs MESFET를 제작하기 위하여 이온빔에 의한 텅스텐게이트 증착과 얇은접합 형성에 유리한 급속열처리에 의한 활성화 공정을 사용하여 자기정렬 게이트 GaAs MESFET를 제작한 후, 공정의 문제점과 제작된 소자의 전기적특성을 분석하였다. 활성화 공정에는 고온의 일단계 급속열 처리와 고온과 저온의 이단계 급속열처리가 사용되나, 본 논문에서는 등온 이단계 급속열처리에 의한 활성화 공정을 시도한 후 Hall 및 제작된 소자의 특성을 측정하여 일단계 급속열처리에 의한 활성화 공정과 비교한 결과, 결정성 회복 및 면운반자 농도면에서 보다 좋은 결과를 얻을 수 있었다. 900°C 4초의 일단계 급속열처리에 의해 제작된 0.75 μ m-게이트 MESFET의 경우 18mS/mm의 전달콘덕턴스를 나타내었으며, 900°C 3+5초의 등온 이단계 급속열처리에 의한 제작된 2 μ m 게이트 MESFET의 경우에는 전달콘덕턴스가 41 mS/mm 이었으며 각각의 경우 누설전류는 6×10^{-10} A/ μ m 정도이었다.

Abstract

Self-aligned gate GaAs MESFETs using ion beam deposited tungsten applicable to GaAs LSI fabrication process have been fabricated. Silicon implanted samples were annealed using isothermal two step RTA process and conventional one step RTA process. The electrical and physical characteristics of annealed samples were investigated using Hall and I-V measurements. As results of measurements, activation characteristics of the isothermal two step RTA process are better than those of one step annealed ones. Using the developed processes, GaAs SAFETs (Self-Aligned Gate FET) have been fabricated and electrical characteristics are measured.

As results, subthreshold currents of SAGFETs are 6×10^{-10} A/ μ m, that is compatible to conventional MESFET, maximum transconductances of 0.75 μ m gate MESFET using one step RTA process and 2 μ m gate MESFET using isothermal two step RTA process are 18 mS/mm, 41 mS/mm respectively.

*正會員, 韓國電子通信研究所 化合物半導體研究部
(Compound Semiconductor Dept. ETRI)

**正會員, 延世大學校 電子工學科
(Dept. of Elec. Eng., Yonsei Univ.)

接受日字: 1990年 5月 18日

I. 서 론

GaAs 반도체는 실리콘 반도체에 비해 전자이동도나 저항률 등의 장점이 있어 고속특성과 신호간의 절연성면에서 뛰어나고, 직접천이형 밴드갭 물질이기 때문에 초고속, 고주파 소자 및 광소자 제작에 적합하다. 이러한 GaAs 반도체가 현재와 같이 발전하게 된 것은 1960년대 초에서 1970년대에 걸쳐 E. P. A. Metz, Mullin, T. R. Aucoin 등에 의해 단결정 성장기술이 확립된 이후이며^[1,2] 이후 계속적인 발전을 거듭하여 현재는 16K SRAM을 구현할 정도의 기술수준을 이룩하고 있다.^[3-5] GaAs 반도체소자는 HEMT, HBT, MESFET 등이 있으나 이중 가장 공정및 설계가 발달된 것은 MESFET이며, 현재 소자의 성능과 IC의 집적도 향상을 위해 자기정렬 게이트 공정기술을 채택하고 있다.

이러한 공정기술은 내열성금속 게이트를 이용한 고온공정기술과 유사(dummy) 게이트를 이용한 저온공정기술로 구분되며, 서로 장단점이 있으나 공정의 단순성에 따른 집적화의 이점때문에 고온공정기술이 보다 유리한 것으로 전망되고 있다.^[6] 그러나 고온공정기술의 이점을 충분히 활용키 위해서는 800°C 이상의 온도에서 GaAs와 구조적, 전기적으로 매우 안정한 내열성금속이 요구되며, 따라서 이러한 금속에 관한 연구가 활발하게 진행되고 있다. 연구되는 금속들로는 W, WSi_x, WN_x, WAl, WSiN, TiW, TiN_x, MoSi_x 등이 있으며 텅스텐계 금속이 주류를 이루고 있다. 이러한 연구동향에 대해 살펴보면 1983년에 T. Ohnishi 등은^[7] cosputtering 방법으로 WSi_x막을 GaAs에 증착한후 850°C에서 열처리하여 쇼트키 장벽크기가 0.7eV인 결과를 얻었으며, N. Yokoyama 등은^[8] WSi 자기정렬 게이트 MESFET를 이용한 1K SRAM을 제작한 결과 address access 시간이 3.6ns라고 보고하였다. 1984년에는 H. Yamagishi가^[9] 반응성 RF 스퍼터링 방법으로 WN_x 막을 GaAs에 증착한 후 800°C에서 열처리한 결과 쇼트키 장벽크기가 1.15eV인 우수한 결과를 얻었으며, 1985년에는 K. Y. Ahn등이^[10] 마그네트론 스퍼터링 방법으로 증착한 텅스텐막의 증착공정변수에 따른 특성변화에 관한 연구하였고, N. Susa 등도^[11] 같은 방법으로 텅스텐막을 GaAs에 증착한 후 430°C에서 열처리후 쇼트키 장벽크기가 0.61 eV인 것을 보고하였다. 1986년에는 N. Uchitomi등이^[12] 마그네트론 스퍼터링, RF 다이오드 스퍼터링 방법으로 WN_x 막을 증착한 후 XRD, AES로 막의 특성을 조사하고 800°C에서 열처리하여 자기정렬 게이트 MESFET를 제작한 결과, 1.5μm 게

이트 길이의 MESFET 경우 150 mS/mm의 전달콘덕턴스를 나타내었으며, J. Y. Josefowicz등은^[13] DC 마그네트론 스퍼터링 방법으로 텅스텐과 WN_x 막을 증착한 후 975°C에서 열처리한 결과, 쇼트키 장벽크기가 각각 0.7eV, 0.72eV인 결과를 얻었다. 이외에도 K. M. Yu 등은^[14] 스퍼터링 방법으로 텅스텐을 증착한 후 열처리한 결과 500°C 이상의 온도에서 쇼트키 다이오드의 특성이 저하한다고 보고하였다.

1987년에는 S. Takatani 등이^[15] 마그네트론 스퍼터링 방법으로 WSi_x 막을 증착한 후 800°C에서 열처리한 결과 쇼트키 장벽크기가 0.75 eV 이었으며 H. Yamagishi 등은^[16] 반응성 RF 스퍼터링 방법으로 WN_x 막을 증착후 900°C에서 열처리하여 쇼트키 장벽크기가 0.94 eV, 이상지수가 1.1인 결과를 얻었다. 또한 S. Takano 등은^[17] 1.0μm 게이트 길이의 WSi_x 자기정렬 게이트 MESFET를 이용하여 16K GaAs SRAM을 제작한 결과 address access 시간이 7.0ns 이었으며, J. Y. Josefowicz 등은^[18] DC 마그네트론 스퍼터링 방법으로 텅스텐을 증착한 후 MESFET 제작에 응용한 바 1.0μm 게이트 길이 MESFET의 경우 300mS/mm의 전달콘덕턴스를 나타내었다. 1988년에는 S. K. Cheung 등이^[19] DC 스퍼터링 방법으로 WN_x 막을 증착후 850~950°C에서 열처리하여 쇼트키 장벽크기가 0.72~0.74 eV인 결과를 얻었고, MESFET를 제작한 결과 0.5μm 게이트 길이의 경우 300mS/mm의 전달콘덕턴스를 나타내었으며, A. G. Lahavand C. S. Wu 등은^[20] DC 마그네트론 방법으로 WSi_x 막을 증착후 WSi_x/GaAs 계면의 불순물이 전기적특성에 미치는 영향에 관해 연구하였고 M. G. Fernandes 등은^[21] cosputtering 방법으로 Ni-W 막을 증착후 열처리조건에 따라 MESFET의 문턱전압을 조절하는 방법에 관해 연구한 결과 MESFET의 문턱전압을 +5mV 이내로 조절한 결과를 발표하였다. 이외에도 여러방법으로 증착된 내열성금속막의 열처리조건에 따른 특성변화에 관한 연구가 계속 수행되고 있다.^[22-24] 그러나 발표되고 있는 MESFET 제작에 관한 연구중, 이온빔 증착된 내열성게이트 재료의 고온 금속열처리에 의한 특성변화및 자기정렬 게이트 MESFET 제작에 관한 연구는 전혀 없는 실정이다. 이온빔에 의한 내열성 게이트증착이 기존방법에 비해 갖는 장점은,^[25-27] 낮은 공정압력 때문에 마스크물질을 이용한 증착막의 lift-off가 가능하며, 기판이 방전(discharge)이나 빔(beam)에 직접 노출되지 않기 때문에 막에 손상이 없고 증착온도가 낮아 온도에 민감한 어떠한 물질도 증착될 수 있다. 따라서 본 논문에서는 이온빔 증착된 텅스텐 막막의

MESFET 게이트 금속으로의 활용가능성을 알아보기 위하여 첫째, 고온 급속열처리에 의한 활성화 공정조건과 양립할 수 있는 이온빔 증착된 텅스텐 박막의 공정조건에 대해 조사하였으며 둘째, 급속열처리에 의한 이온주입된 불순물의 활성화 방법에는 일단계 급속열처리와 고온과 저온의 이단계 급속열처리가 사용되고 있으나, 여기에서는 등온의 이단계 급속열처리(isothermal two-step RTA) 활성화방법을 제안후 Hall 및 소자측정을 하여 기존의 일단계 급속열처리에 의한 활성화 방법과 비교하였으며 셋째, 이온빔 증착된 텅스텐을 이용하여 자기정렬 게이트 GaAs MESFET를 제작한 후 전기적특성과 문제점에 대하여 논하였다.

II. 실 험

본 실험에서는 Cr이 도핑된 반절연 GaAs 기판을 사용하여 자기정렬 게이트 GaAs MESFET(GaAs SAGFET)를 제작하였으며 사용한 마스크는 7 장이다.

각 공정단계에서 사용된 전사공정 장비는 300nm과 장의 자외선을 이용한 접촉형(contact)마스크 정렬기이며, 이러한 소자제작 공정은 다음과 같다.

- TCE, 아세톤, IPA로 반절연 GaAs기판을 세척함

- $H_3PO_4:H_2O_2:H_2O(4:1:90)$ 용액으로 상온에서 기판을 습식식각($\sim 400 \text{ \AA}/\text{min}$)하여 정렬마크를 형성하였으며 식각깊이는 1500 \AA 정도임(1번 마스크).

- MESFET의 활성층을 정의한 후 $5 \times 10^{12} \text{ cm}^{-2}$, 80 keV의 조건으로 활성층에 실리콘이온을 주입함(2번 마스크).

- 이온빔 전압 1000V, 전류 20mA인 조건으로 1500 \AA 두께의 텅스텐 박막을 이온빔 증착함.

- 30 w/o H_2O_2 용액으로 텅스텐 박막을 습식 식각하여 게이트를 정의함(3번 마스크).

- 소오스, 드레인 접촉부분에 $3 \times 10^{13} \text{ cm}^{-2}$, 120KeV의 조건으로 Si 이온을 주입함.

- Proximity 기판 처리방법을 사용하여 900°C 4초 또는 900°C 3+5초의 조건으로 급속열처리함.

- 소오스, 드레인의 저항성 접촉부분에 리프트-오프 공정으로 2300 \AA 두께의 Au/Ni/Au저항성 금속패턴을 형성함. 저항성 금속패턴을 형성한 후 450°C 에서 10분 열처리함(5번 마스크).

- APCVD 산화막을 350°C 에서 $2400 \sim 2900 \text{ \AA}$ 두께로 증착하고 HMDS(HexaMethylDiSilizane)처리후, 6:1 BOE 용액으로 상온에서 식각하여 접촉구멍을 형성함(6번 마스크).

- 이온빔 전압 1000V, 전류 30mA인 조건으로 5000 \AA 두께의 알루미늄 박막을 이온빔 증착함.

- 85-87 w/o H_3PO_4 용액으로 45°C 에서 알루미늄 박막을 습식식각하여 측정패드를 형성함(7 번 마스크).

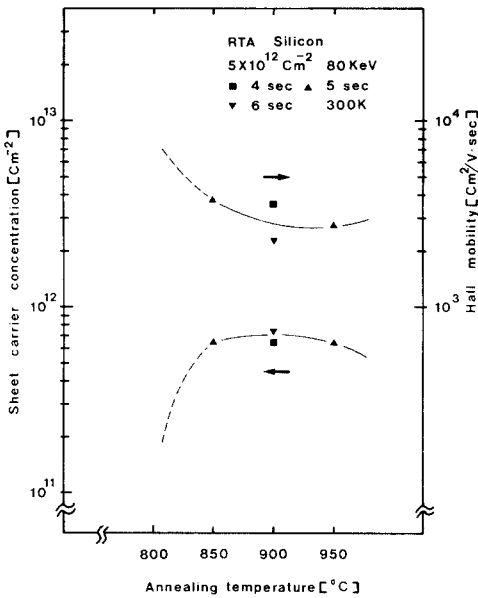
III. 결과및 토의

본 절에서는 GaAs SAGFET 제작과정에서 중요한 이온주입 및 활성화공정, 텅스텐 게이트 형성공정, 저항성금속 리프트오프 공정과 제작된 SAGFET의 전기적 특성에 관하여 논하였다.

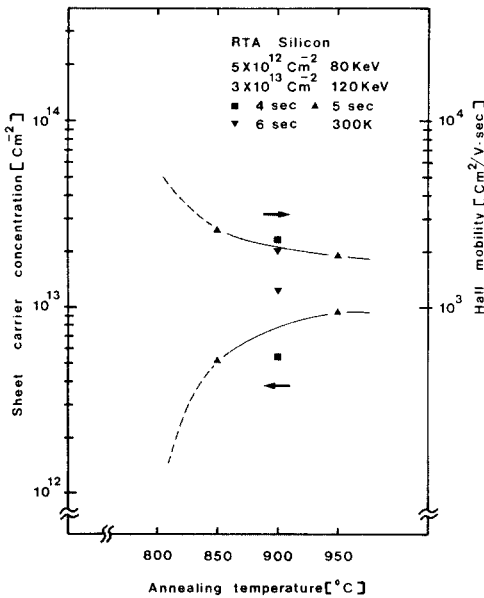
1. GaAs SAGFET 제작공정

(1) 이온주입 및 활성화공정

이온주입및 활성화공정은 SAGFET 제작과정에서 핵심이 되는 가장 중요한 공정이므로, 많은 연구자들이 얇은 접합 형성에 유리한 급속열처리 방법을 이용한 활성화 공정에 대한 연구결과를 발표하고 있다. 이러한 연구에서 GaAs의 n형 활성층 형성에 이용되는 불순물로는 여러가지가 있으나, 실리콘 이온을 주로 사용하고 있다.^[28-35] 활성화시의 기판 처리방법에는 dielectric capping, proximity, arsine 과압(over pressure)분위기에서 처리하는 방법등이 있으며, 이러한 방법들은 모두 고온에서 As가 외부로 확산되는 것을 방지하기 위한 것이다. 급속열처리에 의한 활성화 공정은 문제점도 많지만, furnace 열처리 공정에 비해 capping 절연막이 불필요하고, arsine 같은 독가스를 사용하지 않아도 된다는 가능성과 특히 공정시간이 짧기 때문에 불순물의 확산이 작아 고농도의 얇은 접합을 형성할 수 있다는 장점을 갖고 있다. 이러한 급속열처리 방법을 사용하여 활성화공정을 수행시 어떤 온도에서 얼마만큼의 시간동안 열처리를 하여야 하는 문제는 발표된 연구결과마다 차이가 있지만,^[28-35] 공통점을 찾아보면 공정온도는 $800 \sim 1000^\circ\text{C}$, 공정시간은 일단계 열처리의 경우 10초 정도가 최대이다. 그러나 이단계 열처리 방법을 사용하는 경우에는, 일단계의 열처리 시간은 5초 미만이며 상대적으로 저온인 800°C 정도에서의 이단계 열처리 시간은 30초 이상도 하고 있다.^[29] 본 실험에서는 열처리 온도영역을 800°C 에서 950°C 사이로 하였으며, 열처리 시간은 10초이내로 하였다. 이러한 공정영역을 설정한 이유는 다음과 같다. 최저 열처리 온도를 800°C 로 설정한것은 1986년에 K. D. Cummings 등이^[31] 온도에 따른 저항률 측정에서 800°C 이상에서 annealing 효과가 나타난다고 보고하였기 때문이고, 최고 열처리 온도를 950°C 로 한 이유는 1986년에 Sukhdev,



(a)



(b)

그림 1. 열처리온도에 따른 면 운반자 농도와 Hall 이동도 변화

Fig. 1. Room temperature sheet carrier concentrations and hall mobilities as a function of annealing temperature.

S. Gill 등이^[32] 950°C 이상으로 열처리하면 실리콘 이온의 amphoteric한 특성과 As의 외부 확산 때문에 활성층의 전기적 특성이 저하한다고 보고하였기 때문이다. 또한 열처리 시간을 10초 이내로 설정한 이유는 1982년에 Masaaki kuzuhara 등이^[33] 10초 이내의 열처리 시간이 활성화율과 이동도 측면에서 적당하다고 보고하였고, 대부분의 발표되는 연구결과도 이 정도의 열처리 시간에서 좋은 결과를 얻고있기 때문이다.

본 실험에서는 proximity 방법을 사용하였는데, 이러한 이유는 capping 방법보다 proximity 방법이 활성화시 불순물 이온의 재분포를 작게하면서 활성화 효율은 상대적으로 높은 것으로 나타났기 때문이다.^[34,45] 본 실험에서의 실리콘 이온주입 공정조건은 $5 \times 10^{12} \text{ cm}^{-2}$, 80 keV와 $3 \times 10^{13} \text{ cm}^{-2}$, 120 keV의 두가지이며, 첫번째 시편은 $5 \times 10^{12} \text{ cm}^{-2}$, 80 keV로만 이온을 주입하였으며, 이것은 소자 제작공정에서 활성층 공정조건과 동일하다. 두번째 시편은 $5 \times 10^{12} \text{ cm}^{-2}$, 80 keV와 $3 \times 10^{13} \text{ cm}^{-2}$, 120 keV로 이중 이온주입하였으며 이것은 소오스, 드레인 이온주입 공정조건과 대응된다. 본 실험의 목적은 고온 공정기술에 의한 SAGFET를 제작하는데 있으므로, 설정된 공정온도와 시간에서 텅스텐 박막의 쇼트키 특성이 안정하면서 주입된 이온이 활성화되어야 한다. 시편을 급속열처리 한후, 활성층의 특성을 Hall 측정으로 조사하고, GaAs 표면을 주사전자현미경으로 관찰하였다. 그림 1(a)에 $5 \times 10^{12} \text{ cm}^{-2}$, 80 keV 조건의 시편을 열처리후 5000gauss, 상온에서 Hall 측정할 결과를 나타내었다. 이러한 결과를 보면 800°C에서 열처리된 시편은 활성화가 되지 않은 것을 알 수 있으며, 면 운반자농도와 Hall이동도를 고려할 때 900°C 4초가 적당한 공정조건인 것을 알 수 있다.

그림 1(b)는 $5 \times 10^{12} \text{ cm}^{-2}$, 80 keV와 $3 \times 10^{13} \text{ cm}^{-2}$, 120 keV로 이중 이온주입한 시편의 Hall 측정결과이다. 역시 800°C에서는 활성화가 되지 않는것을 알 수 있었으며, 900°C 6초 조건이 면 운반자농도와 Hall이동도 면에서 적당한 공정조건으로 보이나, 이러한 공정조건에서 쇼트키 다이오드의 전기적 특성이 저하하는 것을 고려할 때,^[36] 일단계 급속열처리에서는 역시 900°C 4초가 적당한 공정조건으로 판단되었다. 그림 2에는 이온빔 증착된 박막의 열처리 공정조건과 활성화 공정조건이 양립하는 영역을 사선으로 나타내었다.

이러한 공정조건 영역으로부터 등온 열처리에 의한 일단계 급속열처리 공정을 제안하였다. 발표되는 일단계 열처리에 의한 활성화 특성을 보면 일단계

열처리에 의한 활성화 특성보다 우수한 결과를 나타내고 있으나, 이단계의 열처리 시간이 10초 정도로 너무 길어 고온 SAGFET 공정에 적용하면 텅스텐 박막이 peel-off 될 것이 그림 2의 공정조건에서 예상되므로 본 실험에 적용하기에는 적당치 않은 것으로 판단되었다. 따라서 전체 열처리 시간이 10초를 넘지 않는 조건인 900°C 3초+5초의 등온 이단계 열처리 공정조건을 결정한 후 기수행한 일단계 열처리 결과와 비교하였으며, GaAs SAGFET 제작공정에 채택하여 전류, 전압특성도 비교 분석하였다. 이러한 결과를 살펴보면 900°C 4초에서 급속열처리된 $5 \times 10^{12} \text{ cm}^{-2}$, 80 keV 시편의 Hall 측정결과 Hall 이동도는 $3,726 \text{ cm}^2/\text{V} \cdot \text{s}$ 이었으며 면 운반자농도는 $6.1 \times 10^{11} \text{ cm}^{-2}$ 이었고 $5 \times 10^{12} \text{ cm}^{-2}$, 80 keV와 $3 \times 10^{13} \text{ cm}^{-2}$, 120 keV로 이중 이온주입된 시편의 측정결과는 각각 $2,586 \text{ cm}^2/\text{V} \cdot \text{s}$ 와 $5.4 \times 10^{12} \text{ cm}^{-2}$ 이었다. 한편 900°C 3초+5초로 등온 이단계 급속열처리된 시편의 Hall 측정결과, $5 \times 10^{12} \text{ cm}^{-2}$, 80 keV인 경우 Hall 이동도는 $3,205 \text{ cm}^2/\text{V} \cdot \text{s}$ 이었고 면 운반자 농도는 $5 \times 10^{11} \text{ cm}^{-2}$ 정도였다. 따라서 일단계 급속열처리하여 측정된 결과와 비슷하였다. 그러나 이중 이온주입된 시편을 측정된 결과, Hall 이동도는 $2,477 \text{ cm}^2/\text{V} \cdot \text{s}$ 이었고 면 운반자농

도는 $1.1 \times 10^{13} \text{ cm}^{-2}$ 이었다. 이는 일단계 급속열처리하여 측정된 결과와 비교할 때 면 운반자농도가 2배 정도 증가한 것이다. 따라서 등온 이단계 열처리하여 소자를 제작하면 일단계로 열처리한 소자보다 소오스, 드레인의 접촉 비저항과 활성화층의 전체저항이 감소하여 소자의 전기적인 특성이 훨씬 향상될 것으로 예측되었다. 이외에도 중요한 사실은, 일단계 열처리에서는 900°C 8초 열처리에 텅스텐 박막의

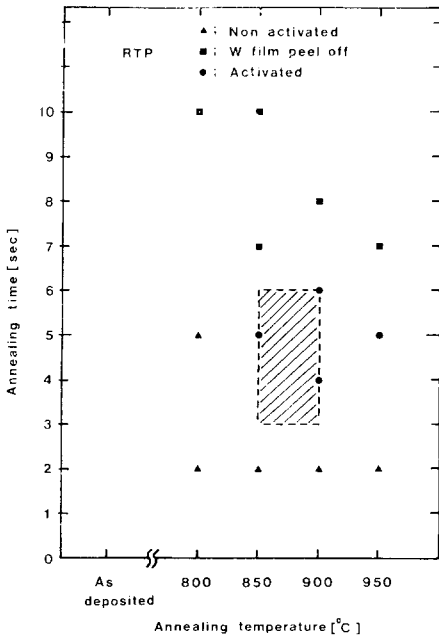
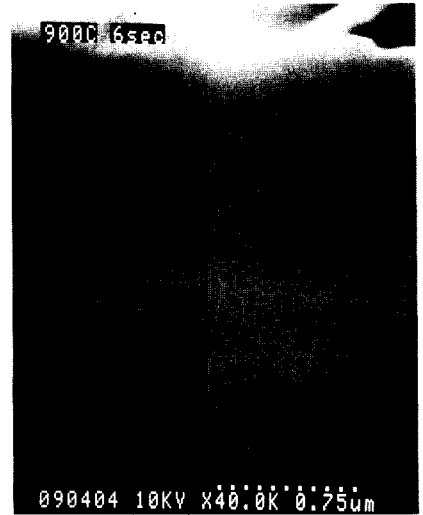
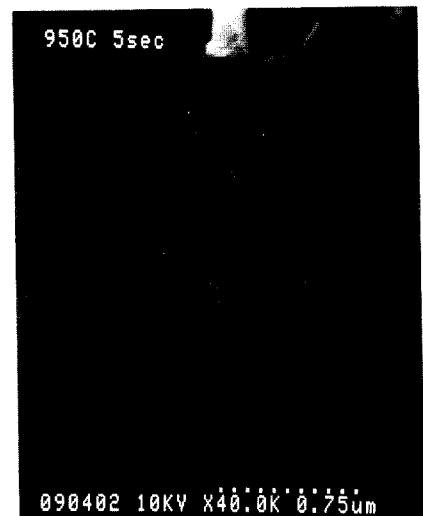


그림 2. 열처리 시간과 온도에 따른 활성화 공정조건
Fig. 2. Annealing time versus annealing temperature for proper activation condition.



(a)



(b)

그림 3. 급속열처리후의 GaAs 표면 주사전자현미경 사진
Fig. 3. SEM micrographs of GaAs surface after proximity RTA.

peel-off 현상이 관찰되었으나, 900°C 3초+5초로 같은 시간동안 이단계 열처리 했을때는 이러한 peel-off 현상이 관찰되지 않았으며 이러한 이유는 일단계의 900°C 3초 열처리시 W/GaAs 계면이 안정화되어, GaAs 기판과의 밀착성이 향상된 것으로 생각된다. 그림 3은 활성화공정후의 GaAs 시편의 상태를 40,000배의 주사전자현미경으로 관찰한 것이다.

관찰결과 표면은 경면(mirror surface)상태였으며, 이것은 proximity 방법에 의한 급속열처리 공정이 GaAs 표면에 손상을 주지않는다는 것을 의미한다.

(2) 텅스텐 게이트 형성공정

텅스텐 게이트는 고온 SAGFET 공정에서 소오스, 드레인의 실리콘 이온주입 공정시 마스크 물질로 사용되므로, 실리콘 이온이 투과하지 못할 정도의 두께로 증착되어야 하며 이때 요구되는 텅스텐 박막의 두께는 (1)식으로 결정할 수 있다.¹⁷⁾

$$R = 0.6 \cdot \frac{(Z_1^{2/3} + Z_2^{2/3})^{1/2}}{Z_1 \cdot Z_2} \cdot \frac{M_1 + M_2}{M_1} \cdot \frac{M_2 \cdot E}{\rho} \quad [\text{cm}] \quad (1)$$

Z_1, M_1 : 실리콘의 원자번호, 원자량

Z_2, M_2 : 텅스텐의 원자번호, 원자량

ρ [g/cm³]: 텅스텐 밀도

E [keV]: 이온주입 에너지

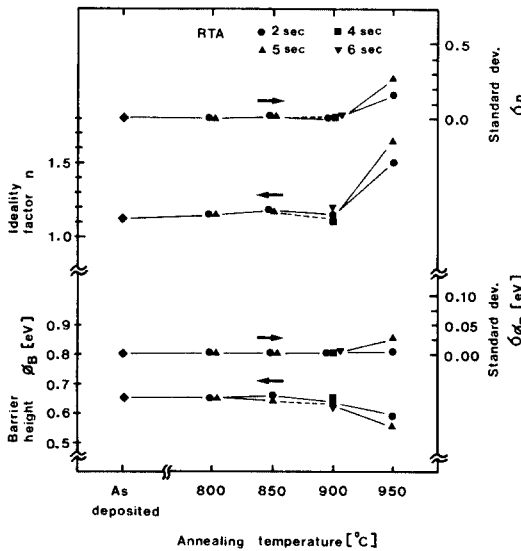


그림 4. 열처리온도에 따른 쇼트키 장벽크기와 이상지수 변화

Fig. 4. Schottky diode characteristics as a function of annealing temperature and time.

식(1)으로부터 소오스, 드레인의 실리콘 이온주입 조건이 120keV이므로 실리콘 이온을 완전히 마스크 할 수 있는 텅스텐막의 두께는 1447 Å 임을 알 수 있으며, 본 실험에서의 텅스텐 박막의 두께는 1500 Å으로 하였다. 참고로 그림 4와 5에 100개의 시편으로부터 측정된 일단계 급속열처리 온도에 따른 쇼트키 전위장벽크기와 이상지수변화 및 쇼트키 다이오드의 역방향 전압변화를 각각 나타내었다.¹⁸⁾

(3) 저항성 금속 리프트오프 공정

열증착기로 AuGe/Ni/Au의 삼중금속층을 증착한 후 리프트오프하여 소오스, 드레인의 저항성 금속층을 형성하였다. 리프트오프 공정시의 포토레지스트 overhang 형성 공정조건은 표 1과 같다.

저항성 금속을 증착한 후, 450°C에서 10분 furnace로 열처리하여 저항성 접촉을 형성하였다. 접촉비저항은 TLM 방법을 사용하여 측정하였으며, 900°C 4.초의 경우에는 6×10⁻⁵ Ω·cm², 900°C 3+5초의 경우에는 1×10⁻⁵ Ω·cm²의 값을 나타내었다. 이러한 결과는 900°C 4초보다, 900°C 3+5초의 열처리 조건에서 소오스-드레인 접촉부분이 더욱 활성화되었기 때문으로 생각된다.

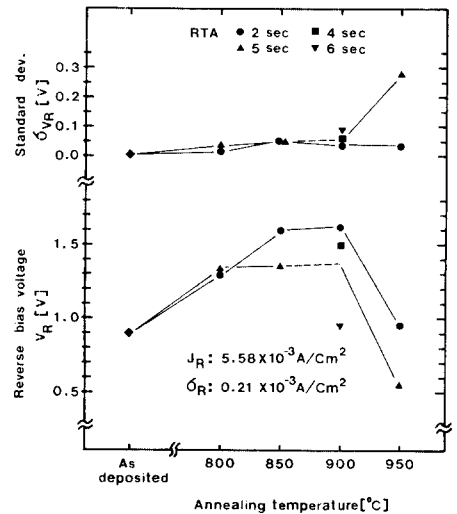


그림 5. 열처리온도에 따른 W/GaAs 쇼트키 다이오드의 역방향전압 변화

Fig. 5. Reverse bias voltage of W/GaAs diode as a function of annealing temperature and time.

표 1. 저항성 금속 리프트 오프 공정조건
Table 1. Ohmic metal lift-off process condition.

순서	공정조건
1	S1400-27 포토레지스트, 5000 RPM 40초
2	Soft baking 65°C, 15분
3	모노클로로벤젠 담금, 15분
4	Soft baking 95°C, 10분
5	노출, 70초
6	AZ 352 현상액 80초 담금
7	Hard baking 110°C, 30분

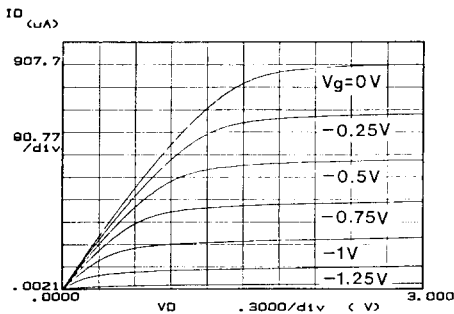
2. GaAs SAGFET의 전기적 특성측정

제작된 GaAs SAGFET의 전류-전압 특성은 HP 4145B parameter analyzer를 사용하여 측정하였으며, 측정된 전류·전압특성을 그림 6에 나타내었다.

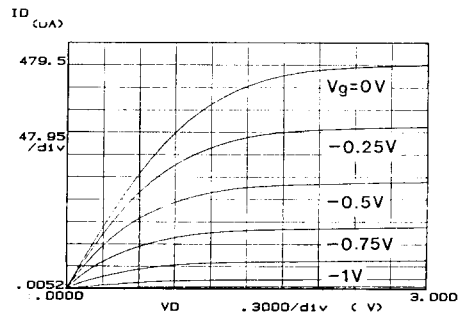
드레인-소오스 전압 V_{ds} 를 3V 까지 인가하였을 때 정상적인 포화특성을 나타내었으며, 그림 6의 (a)

와 (b)의 특성을 살펴볼때 900°C 4초의 공정조건으로 제작된 SAGFET의 게이트 길이가 작고 게이트의 폭이 넓음에도 불구하고 V_g 가 0V 일때의 포화전류 크기는 900°C 3+5초 공정조건으로 제작된 SAGFET의 포화전류 크기보다 훨씬 작음을 알 수 있다. 이러한 이유는 (1)에서 기술한 바와 같이 900°C 3+5초의 조건으로 제작된 SAGFET의 드레인-소오스 저항이 작아 소자의 특성이 향상된 것으로 생각된다. 이러한 SAGFET의 전달컨덕턴스(G_m)를 V_{ds}, V_g 가 각각 2.5V, 0V일 때 측정하였으며, 측정된 게이트 길이에 따른 G_m 의 변화를 그림 7에 나타내었다.

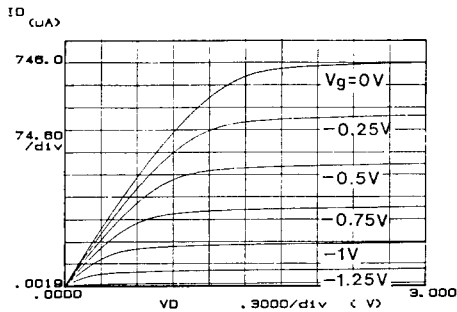
게이트 길이가 감소함에 따라 G_m 이 증가하는 정상적인 특성을 보이며, 900°C 3+5초 공정조건에서 제작된 SAGFET의 G_m 이 900°C 4초 공정조건에서 제작된 SAGFET의 G_m 보다 큼을 알 수 있다. 900°C 3+5초에서 제작된 $2\mu\text{m}$ 게이트 길이의 SAGFET의 경우 최대 G_m 이 41 mS/mm인 것을 알 수 있다. 그



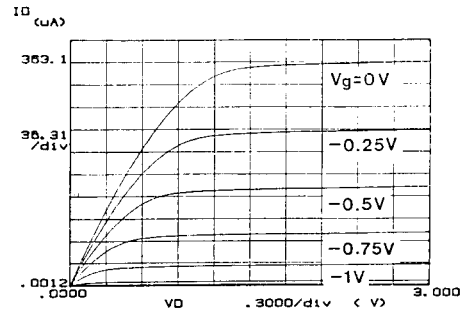
(a) $L=2\mu\text{m}, W=20\mu\text{m}, V_{th}=-1.8\text{V}, G_m=41\text{mS/mm}, 900^\circ\text{C} 3+5\text{sec}$



(b) $L=0.75\mu\text{m}, W=40\mu\text{m}, V_{th}=-1.69\text{V}, G_m=14\text{mS/mm}, 900^\circ\text{C} 4\text{sec}$



(c) $L=3\mu\text{m}, W=20\mu\text{m}, V_{th}=-1.72\text{V}, G_m=36.7\text{mS/mm}, 900^\circ\text{C} 3+5\text{sec}$



(d) $L=6\mu\text{m}, W=20\mu\text{m}, V_{th}=-1.5\text{V}, G_m=23.8\text{mS/mm}, 900^\circ\text{C} 3+5\text{sec}$

그림 6. GaAs SAGFET의 전류-전압특성

Fig. 6. Current-voltage characteristics of GaAs SAGFETs.

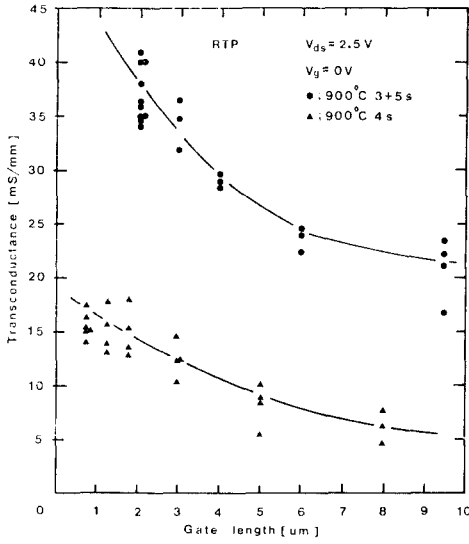


그림 7. 게이트 길이에 따른 전달콘덕턴스 변화
Fig. 7. Transconductance versus gate length for fabricated GaAs SAGFETs.

러나 900°C 4초에서 제작된 0.75 μ m 게이트 길이의 SAGFET의 경우 최대 G_m 이 18 mS/mm 정도이며, 이러한 결과로부터 제안된 등온 이단계 열처리 조건이 일단계 열처리 조건보다 소자제작에 유리한 공정 조건임을 알 수 있다. 그림 8에는 게이트 길이에 따른 SAGFET의 포화전류 특성을 나타내었다. 900°C 3+5초와 900°C 4초의 공정조건을 비교할 때, 900°C 4초에서 제작된 SAGFET 포화전류 크기는 900°C 3+5초에서 제작된 SAGFET 포화전류의 1/10 정도임을 알 수 있다. 이것은 역시 활성화 특성에 기인하는 것으로 생각되며, 게이트 폭의 증가에 따라 포화전류가 선형적으로 증가하므로 각 공정조건에서의 SAGFET 제작이 정상적으로 수행된 것으로 생각된다. 또한 게이트 길이의 감소에 따라 포화전류가 증가하고 있음을 알 수 있으며, 이것은 게이트 길이가 감소함에 따라 전자의 transit 시간이 감소하여 드레인-소오스 전류가 증가하기 때문이다. 또한 SAGFET의 문턱전압(threshold voltage)을 V_{ds} 가 3V인 포화영역에서 측정하였으며, 게이트 길이에 따른 문턱전압의 변화를 그림 9에 나타내었다.

이러한 변화를 살펴보면 두가지 공정조건인 경우 모두 2 μ m 근처의 게이트 길이에서 문턱전압이 감소하는 short channel 효과가 나타나고 있으며, 900°C 4초의 공정조건에서 제작된 SAGFET의 문턱전압이 더욱 불안정한 경향을 보이고 있다. 이것은 900°C 4

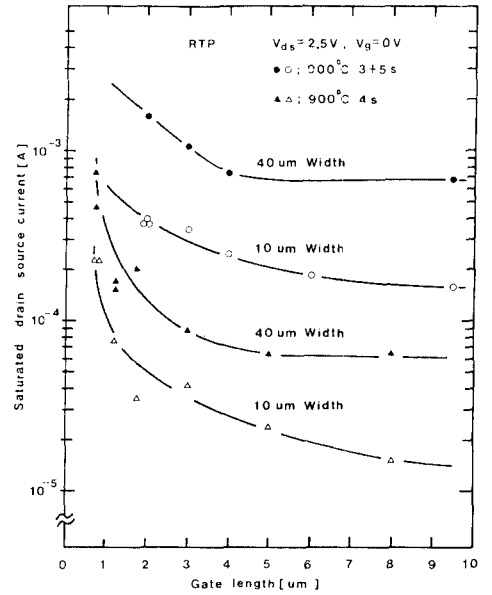


그림 8. 게이트 길이에 따른 포화 드레인-소오스 전류변화
Fig. 8. Saturated drain-source current versus gate length for fabricated GaAs SAGFET.

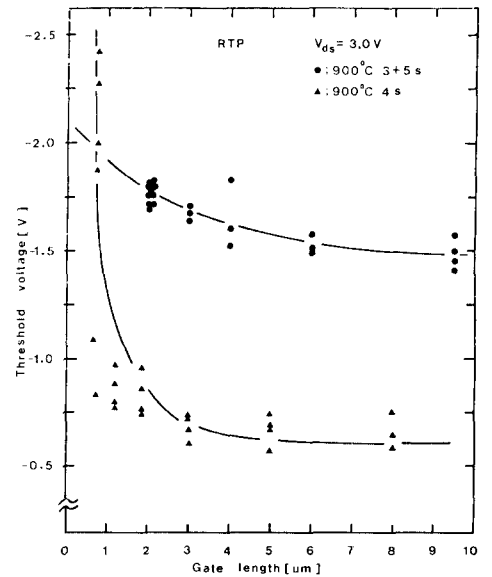


그림 9. 게이트 길이에 따른 문턱전압 변화
Fig. 9. Threshold voltage versus gate length for fabricated GaAs SAGFETs.

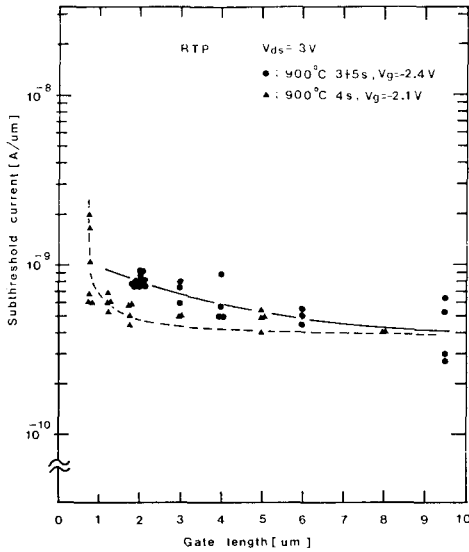


그림 10. 게이트 길이에 따른 subthreshold 전류변화
Fig. 10. Subthreshold current versus gate length for fabricated GaAs SAGFETs.

초로 일단계 열처리하여 활성화 공정을 수행하는 것보다, 900°C 3초로 일단계 열처리하여 일차로 W/GaAs의 계면과 활성화층의 특성을 안정시킨후 이차로 900°C 5초의 열처리로 활성화 공정을 수행하는 것이 보다 안정한 공정조건이기 때문인 것으로 생각된다. 이외에도 소자의 subthreshold 누설전류의 특성이 중요하므로, 게이트 길이에 따른 subthreshold 누설전류 특성을 측정하였으며 그림 10에 측정결과를 나타내었다. Subthreshold 전류는 V_{ds} 가 3V, V_g 가 각각 -2.4 - 2.1V에서의 전류를 측정할 것이며, 두가지 공정조건인 경우 모두 6×10^{-10} A/ μ m 정도의 값을 나타내고 있다. 측정된 6×10^{-10} A/ μ m 정도의 subthreshold 누설전류는 실제로 적용가능한 수준이므로, 이온빔 증착된 텅스텐 게이트는 정상적인 동작을 하는 것으로 판단된다. 또한 그림 10에서 2μ m 근처의 게이트 길이에서 subthreshold 전류가 증가하는 경향을 알 수 있으며, 이것은 short channel 효과에 의해 채널이 충분히 pinch-off 되지않는 현상때문에 발생하는 결과이다.

IV. 결 론

본 논문에서는 이온빔 증착된 텅스텐 박막의 ME-SFET 게이트로의 활용가능성을 알아보기 위하여, 이온빔 증착 텅스텐을 이용한 SAGFET의 단위공정

과 제작된 SAGFET의 전기적 특성과 문제점에 관하여 연구하였다. 기존의 SAGFET공정은 게이트 금속을 증착시에 스퍼터링 방법을, 이온주입된 순물의 활성화 방법에는 furnace 열처리를 주로 사용하고 있으나, 본 논문에서는 이온빔에 의한 텅스텐 게이트 증착과 얇은접합 형성에 유리한 급속열처리에 의한 활성화 공정을 채택하였다. 이러한 연구결과로부터 얻어진 결론은 다음과 같다.

첫째, 현재 SAGFET 제작에 사용되는 급속열처리 방법에는 고온의 일단계 급속열처리와 고온과 저온의 이단계 급속열처리가 사용되나, 이온주입 및 활성화공정 실험결과에서 기존의 고온과 저온의 이단계 급속열처리 방법은 텅스텐 박막의 peel-off현상이 예측되어, 본 연구에는 부적합함을 알았다. 따라서 새로운 등온 이단계 급속열처리 (isothermal two-step RTA)공정을 시도한후, Hall 및 제작된 소자의 특성을 측정하여 기존의 일단계 급속열처리에 의한 활성화 특성과 비교한 결과 결정성 회복 및 면운반자 농도면에서 소자제작에 상대적으로 유리한 결과를 얻을 수 있었다.

둘째, 이온빔 증착된 텅스텐 게이트 SAGFET를 제작하여 전기적 특성을 측정하였으며, 900°C 3+5초로 등온 이단계 급속열처리한 2μ m 게이트 길이의 SAGFET의 경우 최대 41mS/mm의 전달콘덕턴스를 나타내었다. 그러나 900°C 4초로 일단계 급속열처리하여 제작된 0.75μ m 게이트 길이의 SAGFET의 경우 최대 18mS/mm의 전달콘덕턴스를 나타내었으며, 이러한 결과는 900°C 3+5초의 조건보다 상대적으로 뒤떨어지는 결과임을 알 수 있었다. 따라서 제안된 등온의 이단계 급속열처리 공정이 소자특성 향상에 보다 효과적인 것을 알 수 있었다.

셋째, SAGFET 게이트 길이에 따른 전달콘덕턴스 특성에서 2μ m 부근의 게이트 길이에서 문턱전압이 감소하는 short channel 효과가 관찰되었으며, 게이트 길이에 따른 subthreshold 전류특성에서도 이러한 short channel 효과에 의해 subthreshold 전류가 증가하는 현상이 관찰되었다. 그러나 측정된 6×10^{-10} A/ μ m 정도의 subthreshold 누설전류는 실제로 적용가능한 수준이므로, 이온빔 증착된 텅스텐 게이트는 정상적인 동작을 하는 것으로 판단된다.

감사의 글

본 연구를 수행시 많은 조언을 해주시고 실험에 많은 도움을 주신 KIST의 조훈영씨와 동국대의 이연환 박사님께 진심으로 감사드립니다.

參 考 文 獻

- [1] Norman G. Einspruch, VLSI electronics microstructure science, vol. 11, Academic press, 1985.
- [2] David K. Ferry, Gallium Arsenide Technology, Howard W Sams & Co. 1985.
- [3] C.T. Tsen, et al., "A manufacturable low-power 16K bit GaAs SRAM," *GaAs IC Symposium Technical Digest*, pp. 181-184, 1987.
- [4] B.L. Grung, et al., "A high speed GaAs 256x4 bit RAM," *GaAs IC Symposium Technical digest*, pp. 93-96, 1987.
- [5] A. Fiedler, et al., "A GaAs 256x4 static self-timed random access memory," *GaAs IC Symposium Technical digest*, pp. 89-92, 1987.
- [6] S.P. Kwok, "Comparison of low temperature and high temperature refractory metal/silicides self aligned gate on GaAs," *J. Vac. Sci. Tech.*, vol. B4, no. 6, pp. 1383-1391, Nov. 1986.
- [7] T. Ohnishi, N. Yokoyama, H. Onodera, S. Suzuki and A. Shibatomi, "Characterization of WSix/GaAs schottky contacts," *Appl. Phys. Lett.*, vol. 43, no. 6, pp. 600-602, 15 Sep., 1983.
- [8] N. Yokoyama, et al., "A GaAs 1K static RAM using tungsten silicide gate self-aligned technology," *IEEE J. Solid-state circuits*, vol. SC-18, no. 5, pp. 520-524, Oct., 1983.
- [9] H. Yamagishi "Characteristics of WN/GaAs schottky contacts formed by reactive RF sputtering," *Jpn. J. Appl. Phys.*, vol. 23, no. 12, pp. L895-L898, Dec., 1984.
- [10] K.Y. Ahn, C.Y. Ting, S.B. Brodsky, P.M. Fryer and B. Davari, "Properties of tungsten films prepared by magnetron sputtering," *Workshop on Tungsten and other Refractory Metals for VLSI Applications*, pp. 239-248, 1985.
- [11] N. Susa, S. Ando and Adachi, "Properties of tungsten film deposited on GaAs by RF magnetron sputtering," *J. Electrochem. Soc.*, vol. 132, no. 9, pp. 2245-2249, Sep., 1985.
- [12] N. Uchitomi and M. Nagaoka, "Characterization of reactively sputter WN_x films as a gate metal for self-alignment GaAs metal-semiconductor field effect transistors," *J. Vac. Sci. Tech.*, vol. B4, pp. 1392-1397, 1986.
- [13] J.Y. Josefowicz, D.B. Rensch and K.E. Lundgren, "The fabrication of ENFET, DFET and ring oscillators with pure tungsten gates," *GaAs IC Symposium Technical digest*, pp. 43-46, 1986.
- [14] K.M. Yu, et al., "Schottky barrier degradation of the W/GaAs system after high temperature annealing," *J. Appl. Phys.*, vol. 60, no. 9, pp. 3235-3242, 1 Nov., 1986.
- [15] S. Takatani, N. Matsuoka, J. Shigeta and N. Hashimoto, "Thermal stability of WSix/GaAs interface," *J. Appl. Phys.*, vol. 61, no. 1, pp. 220-224, 1 Jan., 1987.
- [16] H. Yamagishi and Y. Yamamoto, "Characterization of WN_x/GaAs schottky contacts formed by reactive RF sputtering," *Jpn. J. Appl. Phys.*, vol. 20, no. 1, pp. 122-129, Jan., 1987.
- [17] S. Takano, et al., "A 16K GaAs SRAM," *ISSCC 87*, pp. 140-141, 371, Feb., 1987.
- [18] J.Y. Josefowicz and David B. Rensch, "High-temperature stable W/GaAs interface and application to metal-semiconductor field-effect transistor and digital circuits," *J. Vac. Sci. Tech.*, vol. B5, no. 6, pp. 1707-1715, Nov./Dec., 1987.
- [19] S.K. Cheung and K.M. Yu, "The effects of annealing encapsulant and ambient on the barrier height of WN_x/GaAs contact and self-aligned gate field effect transistor fabrication," *J. Vac. Sci. Tech.*, vol. B6, no. 6, pp. 1779-1784, Nov./Dec., 1988.
- [20] A.G. Lahavand C.S. Wu and F.A. Baiocchi, "WSix refractory metallization for GaAs metalsemiconductor field effect transistors," *J. Vac. Sci. Tech.*, vol. B6, no. 6, pp. 1785-1795, Nov./Dec. 1988
- [21] M.G. Fernandes, et al., "Self-limiting advancing gates for GaAs metal-semiconductor field effect transistors," *J. Vac. Sci. Tech.* vol. B6, no. 6, pp. 1768-1772, Nov./Dec., 1988.
- [22] K.M. Yu, J.M. Jaklevic and E.E. Haller, "High temperature annealing characteristics of tungsten and tungsten nitride schottky contacts to GaAs under different annealing conditions," *J. Appl. Phys.*, vol. 64, no. 3 pp. 1284-1291, 1 Aug., 1988.
- [23] J. Ding, Z. Liliental-Weber, E.R. Weber and

- J. Washburn, "Structure and electrical properties of TiN/GaAs schottky contacts," *Appl. Phys. Lett.*, vol. 52, no. 25, pp. 2160-2162, 20 June, 1988.
- [24] N. Uchitomi, M. Nagaski and N. Toyoda, "Characterization of refractory W, W_{Nx} and WSi_x films on GaAs using thermoreflectance measurements," *J. Appl. Phys.*, vol. 65, no. 4, 15 Feb., 1989.
- [25] H.R. Kaufmann, "Technology and applications of broad beam ion source used in sputtering: part I. ion source technology," *J. Vac. Sci. Tech.*, vol. 21, no. 3, pp. 725-736, Sept./Oct., 1982.
- [26] J.M.E. Harper and J.J. Cuomo, "Technology and applications of broad beam ion source used in sputtering: part II. applications," *J. Vac. Sci. Tech.*, vol. 21, no. 3, pp. 737-756, Sept./Oct., 1982.
- [27] H.R. Kaufmann and R.S. Robinson, "Operation of Broad-Beam Sources," pp. 107-115. Commonwealth Scientific Corporation, 1987.
- [28] H. Kanber, et al., "A comparison of rapid thermal annealing and controlled atmosphere annealing of Si-implanted GaAs," *J. Appl. Phys.*, vol. 57, no. 10, pp. 4732-4737, 15 May., 1985.
- [29] K.S. Seo, et al., "High-quality Si-implanted GaAs activated by a two-step rapid thermal annealing technique," *Appl. Phys. Lett.*, vol. 47, no. 5, pp. 500-502, 1 Sep., 1985.
- [30] K.S. Seo, et al., "Investigation of high-quality halogen lamp annealed Si-implanted GaAs," *Inst. Phys. Conf. Ser.*, no. 79, pp. 337-342, 1985.
- [31] K.D. Cummings, et al., "Rapid annealing of GaAs: uniformity & temperature dependence of activation," *J. Appl. Phys.*, vol. 60, no. 1, pp. 163-168, 1 July. 1986.
- [32] Sukhdev S. Gill and B.J. Sealy, "Review of rapid thermal annealing of ion implanted GaAs," *J. Electro Chem. Soc.*, vol. 133, no. 12, pp. 2590-2596, Dec., 1986.
- [33] Masaaki Kuzuhara, et al., "Infrared rapid thermal annealing of Si-implanted GaAs," *Appl. Phys. Lett.*, vol. 41, no. 8, pp. 755-758, 15 Oct., 1982.
- [34] 심규환, 편광의, 박형무, 마동성. "급속열처리에 의한 실리콘 이온주입 갈륨비소의 활성화 특성에 관한 연구" 전자공학회 '87추계학술대회 논문집, 1987년
- [35] 심규환, 편광의, 이종람, 박형무, 강진영, 마동성. "Si⁺ 이온주입된 GaAs의 급속열처리에 의한 활성화 특성" 물리학회 논문집, 응용물리 2권 4호, 400-406p. 1989년
- [36] 편광의, 박형무, 김봉열, "고온 급속열처리에 의한 이온빔 증착 W/GaAs의 구조 및 전기적 특성" 전자공학회논문지, 27권 1호 81-90p. 1990년.
- [37] G. Carter and W.A. Grant, Ion implant of semiconductor, Edward Arnold, 1976.

 著 者 紹 介

片 廣 毅 (正會員) 第26卷 第8號 參照
 현재 한국전자통신연구소 화
 합물반도체연구부 선임연구원

金 鳳 烈 (正會員) 第26卷 第8號 參照
 현재 연세대학교 전자공학과
 교수

●

朴 亨 茂 (正會員) 第26卷 第8號 參照
 현재 한국전자통신연구소
 화합물반도체연구부, 화합물
 집적회로 연구실장