

MOSFET의 Intrinsic 캐패시턴스가 도미노 논리회로에서의 전하 재분포에 미치는 영향

(The Effect of Intrinsic Capacitances of MOSFET's on the
Charge Redistribution in Dynamic Logic Gates)

李 竝 浩*, 朴 成 俊**, 金 元 燦***

(Byoung Ho Lee, Sung Jun Park, and Won Chan Kim)

要 約

본 논문에서는 도미노 게이트에서의 전하 재분포에 의한 논리 error를 잘 예측하는 모델을 제시한다. 이는 MOSFET의 게이트와 채널간의 intrinsic 캐패시턴스의 영향을 고려한 모델이다. 이의 영향은 MOSFET에서의 기생 캐패시턴스의 영향보다 크다. 본 논문에서 제안하는 모델의 오차는 현재 사용되는 모델의 오차의 8%에 불과하다. 이러한 모델은 도미노 회로 설계시의 guide-line으로 유용할 것이다.

Abstract

In this paper we propose a model which can predict well the logical errors come from the charge redistribution in domino gates. In this model the effect of the intrinsic capacitance between gate and channel of MOSFET's is considered. This effect is more important than the parasitic capacitance effect. The error by the proposed model is only 8% of that by the currently used model. This model can be used as a guide-line in the design of domino circuits.

I. 서 론

도미노 논리회로^(1,2)는 MOS static 논리회로에 비해 각 소자들의 크기를 작게 설계할 수 있어 차지하는 면적이 줄어들고 기생 캐패시턴스 성분이 작기때

문에 동작 속도가 빠르며 전력 소모가 적은 dynamic 논리회로로서 디지털 논리회로 설계에 많이 사용되고 있다.^(3,4)

그런데, 도미노 논리 게이트에는 전하 재분포 (redistribution 또는 sharing 또는 splitting) 현상이라고 불리는 문제가 존재하며⁽⁵⁻⁷⁾ 이로 인한 논리 error를 방지할 수 있도록 설계를 하기 위해서는 그 원인을 정확히 알아야 한다. 현재까지 이러한 전하 재분포 현상이 일어나는 원인은 각 MOS 트랜지스터들의 기생 캐패시턴스와 routing 캐패시턴스라고 알려져 있다.^(8,9) 여기에서 기생 캐패시턴스라 함은 소오스 또는 드레인과 back gate 간의 접합 캐패시턴스와 소오스 또는 드레인과 게이트간의 겹침(overlap) 캐패시턴스를 뜻한다. 그러나 이를 바탕으로 한 논

*正會員, 캘리포니아 버클리大學校 電氣工學 및 컴퓨터工學科

(Dept. of Electrical Eng. & Computer Sci., University of California at Berkeley)

***正會員, **準會員, 서울大學校 電子工學科

(Dept. of Elec. Eng., Seoul Nat'l Univ.)

接受日字: 1989年 7月 14日

리 error의 예측은 실제와 많은 차이를 보인다.

본 논문에서는 도미노 논리회로에서 전하 재분포로 인한 논리 error의 주된 원인이 MOSFET의 게이트와 채널간의 intrinsic 캐패시턴스임을 밝힐 것이며 이를 고려하여 논리 error를 잘 예측할 수 있는 방법을 제안하고자 한다. 이는 도미노 논리회로의 설계에 있어 큰 도움을 줄 것으로 생각된다.

II. 도미노 논리회로에서의 전하 재분포 현상

도미노 논리회로에는 전하 재분포 현상에 의한 논리 error가 발생할 가능성이 존재하며, 따라서 이러한 error가 발생하지 않도록 회로 설계시 적절한 고려를 하여야 한다.

그림 1은 도미노 논리 게이트의 한 예를 나타낸다.

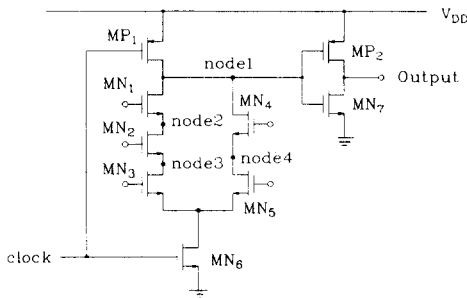


그림 1. 도미노 게이트의 예
Fig. 1. An example of a domino gate.

이 논리 게이트에서 clock이 논리값 '0' 상태가 되어 낮은 전위(0 volt)를 유지하고 있을 때에는 단자 1의 전위가 최고 전압 V_{DD} 로 충전된다(precharge).

이제 clock이 논리값 '1'의 상태로 바뀌어 evaluation 상태가 되면 트랜지스터 MN_1-MN_5 의 게이트 전위에 따라 단자 1의 전위는 그대로 V_{DD} 로 유지되거나 0volt로 떨어지게 된다.

그런데 MN_1, MN_2, MN_4 의 게이트의 전위가 V_{DD} 가 되고 MN_3, MN_5 의 게이트의 전위는 0volt를 그대로 유지하고 있을 경우 단자 1의 전위는 논리값 '1'의 상태를 유지하고 있어야 하겠지만, 단자 1에 충전되어 있던 전하가 단자 2, 3, 4의 캐패시턴스 성분으로 일부 옮겨가기 때문에 단자 1의 전위가 크게 떨어질 수 있다. 이 전위가 MP_2 와 MN_7 로 구성된 CMOS인버터의 논리 문턱(logic threshold) 전위보다 떨어지게 되면 논리 error가 발생된다. 이러한 논리 error

를 방지하기 위해서는 인버터의 게이트 캐패시턴스를 충분히 크게 하거나 evaluation용 트랜지스터들의 갯수를 적당한 한도내로 줄여야 한다.

현재까지는 그림1의 회로에서 전하 재분포 현상에 기여하는 단자 2, 3, 4의 캐패시턴스 성분은 이 단자들에서의 기생 캐패시턴스들로 간주되어 왔다.¹⁰⁾ 이러한 기생 캐패시턴스는 각 트랜지스터의 소오스 또는 드레인과 back gate간의 접합 캐패시턴스, 소오스 또는 드레인과 게이트 간의 겹침(overlap) 캐패시턴스, 그리고 경우에 따라서는 routing캐패시턴스로 구성된다.

그러나, 실제의 도미노 논리회로에서의 전하 재분포에 의한 논리 error의 문제는 이상과 같이 기생 캐패시턴스 성분만으로 예측되는 결과보다 더욱 심각하다.

이하에서는 전하 재분포에 의한 논리 error의 주된 원인이 evaluation용 MOSFET의 게이트와 채널간의 intrinsic 캐패시턴스임을 설명하고 이를 바탕으로 도미노 논리회로의 설계에 유용히 쓰일 수 있는 설계기법을 찾을 수 있음을 보이겠다.

III. MOSFET Intrinsic 캐패시턴스가 전하 재분포에 미치는 영향

1. MOSFET의 intrinsic 캐패시턴스

MOSFET가 선형영역에서 동작할 때에는 게이트 캐패시턴스(C_g)가 게이트와 채널사이에 걸리며, 이것이 대략 절반씩($1/2C_g$)소오스와 드레인에 연결된 꼴로 나뉘어 진다는 것이 잘 알려져 있다(그림2).^{10),11)}

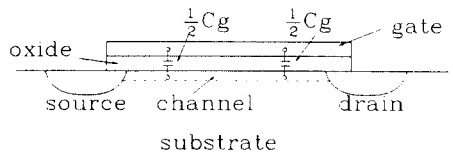


그림 2. 선형 영역에서 동작하는 MOSFET에서의 게이트 캐패시턴스의 배분

Fig. 2. Distribution of gate capacitance of a MOSFET in linear mode.

또한, MOSFET가 포화영역에서 동작할 때에는 게이트 oxide 캐패시턴스의 2/3정도의 캐패시턴스 성분이 채널과의 사이에 걸리게 된다는 것이 알려져 있다(그림3).^{10),11)}

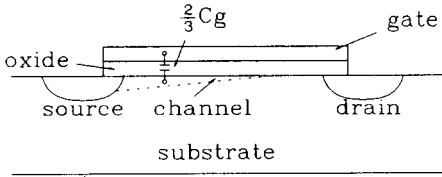


그림 3. 포화 영역에서 동작하는 MOSFET에서의 게이트와 소오스 간의 캐패시턴스
Fig. 3. Capacitance between gate and source of a MOSFET in saturation mode.

그런데 MOSFET의 이러한 intrinsic 캐패시턴스 성분의 영향은 지금까지 논리회로 설계자들의 적절한 주목을 받지 못한 것으로 보인다. 하지만, 이러한 intrinsic 캐패시턴스는 게이트 oxide 캐패시턴스의 order를 가지므로 기생 캐패시턴스 보다 회로 동작에 큰 영향을 준다. 따라서 이러한 intrinsic 캐패시턴스가 논리 회로의 transient 동작시에 미치는 영향을 논리 회로 설계자는 염두에 두어야 한다.^{12,13)}

2. MOSFET의 intrinsic 캐패시턴스가 도미노 논리 게이트의 논리 error에 미치는 영향

도미노 논리 게이트에서의 전하 재분포에 의한 논리 error를 막기 위해서는 error가 일어날 수 있는 최악의 경우에 대비하여 회로를 설계해야 한다. 그림 1의 도미노 게이트에서 최악의 경우란 evaluation 시에 MN₁, MN₂, MN₄의 게이트에 최대 전위 V_{DD}가 걸리고 MN₃, MN₅의 게이트의 전위는 이전의 상태인 0volt를 계속 유지하고 있을 때이다. 이 경우 pre-charge시에 단자 1에 충전되어 있던 전하는 단자 2, 3, 4로 나뉘어진다. 이러한 전하 재분포로 인해 단자 1의 전위가 MP₂와 MN₇로 구성된 인버터의 논리문턱 전위까지 떨어지는 경우가 error 발생의 임계가 되는 경우이다. 그러나, 이 때에는 MN₁, MN₂, MN₄는 이미 선형 동작 영역에 들어와 있게 된다. 따라서 MN₁, MN₂, MN₄의 게이트와 채널 사이의 캐패시턴스가 전하 재분포에 관여하게 된다. 이를 모델화하여 도미노 회로 설계에 있어서의 지침을 만드는 것은 그리 어려운 일이 아니다. 이제 다음 장에서 이의 한 예를 다루기로 하겠다.

IV. 도미노 게이트의 논리 Error를 예측하는 모델

이 장에서는 그림 4에 보인 도미노 게이트의 예를 다음으로써 III에서 지적한 intrinsic 캐패시턴스 영향의 중요성을 보이고 회로 설계에 유용한 guide-line을 얻을 수 있음을 보이겠다. 어떤 형태의 도미노 게

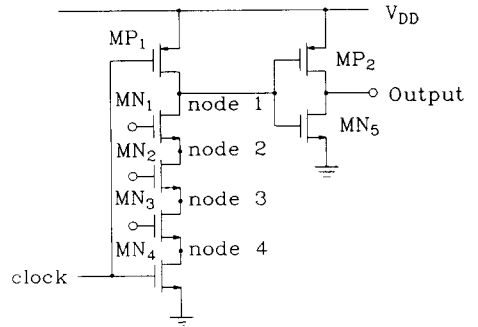


그림 4. 분석에 사용된 도미노 게이트
Fig. 4. The domino gate used in the analysis.

트에 대하여도 이하의 방법과 비슷한 분석을 행할 수 있다.

그림 4의 도미노 게이트에서 evaluation시에 논리 error가 일어날 수 있는 최악의 경우는 MN₁, MN₂의 게이트의 전위가 최대 전위 V_{DD}로 상승하고 MN₃의 전위는 0V로 유지되고 있는 때이다.

이러한 경우에 MP₂, MN₅로 구성된 CMOS 인버터의 입구 게이트 캐패시턴스가 고정된 상태에서 MN₂의 게이트 폭을 크게하면 그 만큼 논리 error가 일어날 가능성이 커진다. 반면에 MN₂의 게이트 폭을 키우는 것은 그 큰 구동 능력으로 인해 MN₁, MN₂, MN₃의 게이트에 모두 V_{DD}의 전위가 걸릴 경우에 evaluation 시간을 줄인다는 장점이 있다. 따라서 논리 error를 일으키지 않으면서 MN₂의 게이트 폭을 어느만큼 크게할 수 있는가를 찾아내는 것은 의미있는 일이다. 또한 이는 MN₂의 자리에 몇개의 MOSFET를 병렬로 연결시킬 수 있는가를 결정하는 준거도 되어 몇개의 입구 신호를 연결시킬 수 있는가를 알 수 있게 되므로 도미노 회로 설계시의 guide-line이 된다.

그림 4의 회로에서 MP₂, MN₅로 구성된 CMOS 인버터의 일정한 입구 게이트 캐패시턴스에 대해 논리 error를 일으키지 않는 MN₂의 게이트의 최대 폭을 찾는 방법에 대해 이하에서 고찰하고자 한다. MN₁의 게이트 폭에 대하여서도 비슷한 분석을 할 수 있음은 물론이다.

사용되는 표기법은 다음과 같다.

- C_g : MP₂, MN₅로 구성된 CMOS인버터의 입구 게이트 캐패시턴스
- C_{p1} : precharge cycle 동안의 MP₁의 드레인의 기생 캐패시턴스
- C_{n1} : precharge cycle 동안의 MN₁의 드레인의 기생 캐패시턴스

- V_{DD} : 공급 전위 (supply voltage)
- C'_{p1} : 전하 재분포가 일어난 상태에서 MP_1 의 드레인 기생 캐패시턴스
- C'_{n1} : 전하 재분포가 일어난 상태에서 MN_1 의 드레인 (소오스)의 기생 캐패시턴스
- C'_{n2} : 전하 재분포가 일어난 상태에서 MN_2 의 드레인 (소오스)의 기생 캐패시턴스 중 게이트 폭과 무관한 성분
- C_{n2}^{**} : 전하 재분포가 일어난 상태에서 MN_2 의 드레인 (소오스)의 단위 게이트 폭당 기생 캐패시턴스
- W_{n2} : MN_{n2} 의 게이트 폭
- V_{LT} : MP_2, MN_3 로 구성된 CMOS 인버터의 논리 문턱전압 (threshold voltage)
- a: MOSFET가 비포화 영역 (선형 영역)에서 동작할 때의 게이트와 드레인 (소오스) 간의 intrinsic 캐패시턴스 비율. 이 값은 대략 0.5이다.^[10]
- C_{gp1} : MP_1 의 게이트 캐패시턴스
- b: MOSFET가 포화 영역 (선형 영역)에서 동작할 때의 게이트와 소오스 간의 intrinsic 캐패시턴스 비율. 이 값은 대략 2/3이다.^[10]
- C_{gn1} : MN_1 의 게이트 캐패시턴스
- C'_{ox} : 단위 면적당 oxide 캐패시턴스
- L: MN_2 의 게이트 길이

1. 기존의 방법

우선 기존의 전하 재분포 현상을 분석하는 방법^[9]을 살펴보자.

그림 4의 도미노 게이트에서 precharge시에 단자 1에 충전되는 전하량 Q는 다음과 같다.

$$Q = (C_g + C_{p1} + C_{n1})V_{DD} \quad (1)$$

일반적으로 접합 캐패시턴스 C_j 는 그 접합 양단간의 전위차 V의 함수로서 다음과 같이 표시된다.^[11]

$$C_j = \frac{C_{j0}}{\left[1 + \frac{V}{\phi_0}\right]^m} \quad (2)$$

여기에서 m은 그 접합의 grading 계수를 뜻하며 ϕ_0 는 built-in 전위차를, C_{j0} 는 $V=0$ volt일 때의 접합 캐패시턴스를 뜻한다. 식(1)에서의 C_{p1}, C_{n1} 은 모두 식(2)의 꼴을 가지며 C_{p1} 의 경우는 $V=0$ volt, C_{n1} 의 경우는 $V=V_{DD}$ 이다.

식(1)로 표시된 전하량은 MN_1, MN_2 의 게이트에 V_{DD} 의 전위가 걸리고 MN_3 의 게이트는 계속 0volt를 유지하는 evaluation cycle 동안에 단자 2, 3으로 일부

옮겨가지만 그 합은 보존된다. 따라서 단자 1의 전위가 MP_2, MN_3 로 구성된 CMOS 인버터의 논리 문턱전위 V_{LT} 에 달할 경우 다음 식을 얻는다.

$$Q = (C_g + C'_{p1} + 2C'_{n1} + 2C_{n2}^* + 2C_{n2}^{**}W_{n2} + C_{n3})V_{LT} \quad (3)$$

$C'_{p1}, C'_{n1}, C_{n2}^*, C_{n2}^{**}, C_{n3}$ 은 모두 식(2)의 꼴을 가지며 첫째 것은 $V=V_{DD}-V_{LT}$ 의 경우에, 나머지는 $V=V_{LT}$ 의 경우에 해당된다. 식(3)에서 MN_2 의 소오스와 드레인의 기생 캐패시턴스에 대하여는 이를 게이트 폭 W_{n2} 에 무관한 부분 $2C_{n2}^*$ 와 이에 비례하는 부분 $2C_{n2}^{**}W_{n2}$ 로 나누어 나타내었다.

식(1)과 식(3)으로부터 CMOS 인버터의 주어진 입구 캐패시턴스에 대해 논리 error를 일으키는 MN_2 의 게이트의 임계값을 계산할 수 있으며 이는 다음과 같다.

$$W_{n2} = \frac{\frac{V_{DD}}{V_{LT}} - 1}{2C_{n2}^{**}} C_g + \frac{1}{2C_{n2}^{**}} \left[(C_{p1} + C_{n1}) \frac{V_{DD}}{V_{LT}} \right] - (C'_{p1} + 2C'_{n1} + 2C_{n2}^* + C_{n3}) \quad (4)$$

즉, MN_2 의 게이트 폭이 식(4)로 주어지는 값보다 작을 때는 논리 error가 발생하지 않지만 이보다 클 때는 논리 error가 생긴다.

그러나 이상의 분석에서는 MOSFET의 intrinsic 캐패시턴스의 영향이 고려되지 않았다. 이를 고려한 분석 방법을 다음 절에서 보겠다.

2. MOSFET의 intrinsic 캐패시턴스의 영향을 포함시킨 분석 방법

그림 4의 도미노 게이트에서 precharge cycle 동안 단자 1에 충전되는 전하량은 다음과 같다.

$$Q = (a \cdot C_{gp1} + C_g + C_{p1} + C_{n1})V_{DD} \quad (5)$$

위의 식에서 $a \cdot C_{gp1}$ 항은 MP_1 의 드레인 쪽 채널과 게이트간의 캐패시턴스 성분을 뜻한다. a는 대략 0.5의 값을 갖는다.^[10,11]

이제 evaluation cycle에 들어가 MN_1, MN_2 의 게이트에 V_{DD} 의 전위가 걸리고 MN_3 의 게이트의 전위는 그대로 0volt를 유지하고 있는 경우를 살펴보자. 단자 1의 전위가 MP_2, MN_3 로 구성된 CMOS 인버터의 논리 문턱전위 V_{LT} 이하로 떨어지면 논리 error가 발생한다. 따라서 논리 error를 일으키는 임계에 대한 고찰이 필요하다. 그런데 단자 1의 전위가 V_{LT} 에 이르면 MN_1, MN_2 의 게이트의 전위가 V_{DD} 이기 때문에 보통의 경우 MN_1, MN_2 는 선형 영역에서 동작하게 된다. 이렇게 되면 precharge cycle 동안 단자 1에

충전되어 있던 전하는 MN_1, MN_2, MN_3 의 소오스(또는 드레인)의 기생 캐패시턴스뿐 아니라 MN_1, MN_2 의 게이트와 채널간의 캐패시턴스 성분으로도 옮겨 가게 된다. 이러한 캐패시턴스는 oxide 캐패시턴스의 order이므로 이의 영향은 기생 캐패시턴스의 영향보다 크다. 이렇게 intrinsic 캐패시턴스가 중요한 의미를 갖는 것은 MOSFET가 off 상태에 있을 때에는 게이트 캐패시턴스가 게이트와 back gate간에 연결되어 있지만, on 상태에 있을 때에는 게이트와 채널간에 연결된 꼴이 되는데 기인한다.

식(5)로 주어진 전하량은 evaluation시 단자 1의 전위가 V_{LT} 에 달한 경우에도 보존되므로 다음 식을 얻는다.

$$Q = (b \cdot C_g + C'_{p1} + 2C'_{n1} + C_{gm1} + 2C_{n2}^* + 2C_{n2}^{**}W_{n2} + C'_{ox}LW_{n2} + C_{n3})V_{LT} \quad (6)$$

이 식에서 C_{gm1} 은 MN_1 의 게이트 캐패시턴스, $C'_{ox}LW_{n2}$ 는 MN_2 의 게이트 캐패시턴스이다. 이들은 MN_1, MN_2 가 선형 동작 상태에 있기 때문에 들어간 항들이다. b 는 MP_1 와 MN_3 가 포화동작 상태에 있기 때문에 곱해진 계수로 대략 2/3의 값을 갖는다.^[10,11] 이는 출구 단자가 충분히 높거나 낮은 전위를 유지하지 못하기 때문에 곱해진 항이다.

식(5)와 (6)으로부터 CMOS 인버터의 주어진 입구 캐패시턴스에 대해 논리 error를 일으키는 MN_2 의 게이트 폭의 임계값을 계산할 수 있으며 이는 다음과 같다.

$$W_{n2} = \frac{V_{DD} - b}{2C_{n2}^{**} + C'_{ox}L} C_g + \frac{1}{2C_{n2}^{**} + C'_{ox}L} \left[(aC_{gp1} + C_{p1} + C_{n1}) \frac{V_{DD}}{V_{LT}} - (C'_{p1} + 2C'_{n1} + C_{gm1} + 2C_{n2}^* + C_{n3}) \right] \quad (7)$$

이 식이 식(4)와 나타내는 중요한 차이는 C'_{ox} 항과 C_{gm1} 항이다. 이 때문에 식(7)로 주어지는 게이트 폭은 식(4)로 주어지는 값보다 작다. 이상의 결과에 대한 시뮬레이션(simulation)데이터와의 비교와 그 의미에 대한 고찰을 다음 절에서 하겠다.

3. 시뮬레이션 데이터와의 비교

본 논문에서는 SPICE2. G^[15]를 검증 방법으로 택하였다. L. W. Nagel에 의해 만들어진 회로 시뮬레이션 프로그램인 SPICE^[16]는 transient 분석에 있어서 전하가 보존되지 않는 경우가 있다는 문제점을 갖고 있다.^[17] 본 논문에서는 이를 보완한 모델^[18]을 사용한

프로그램인 SPICE2. G^[15]로 그림 4의 도미노 게이트에 대한 시뮬레이션을 행하였다. 표 1은 사용된 파라미터들을 나타낸다.

그림 5는 SPICE2. G 시뮬레이션의 결과와 식 (4), (7)의 모델들을 비교한 것이다. 가로축은 MP_2 와 MN 로 구성된 CMOS 인버터의 입구 게이트 캐패시턴스의 규격화된 값(기준은 최소 단위의 CMOS 인버터의 게이트 캐패시턴스)을 나타내며, 세로축은 논리 error 임계에 해당하는 MN_2 의 게이트 폭을 나타낸다.

MN_2 의 게이트 폭이 그 임계값보다 작으면 논리 error가 발생하지 않으며 반대의 경우에는 error가 발생한다.

표 1. SPICE2. G시뮬레이션에 사용된 파라미터 Table 1. The parameters used in the SPICE2. G simulation.

pMOSFET
VTO = -0.7 KP=1.66E-5 NSUB=7.0E14 GAMMA=0.63 LD=0.5U XJ=1.14U LAMBDA=0.02 UO=240 UCRIT=0.54E5 UEXP=0.28 VMAX=0.58E5 MJ=0.5 CJ=0.9E-4 MJSW=0.5 CJSW=7.0E-10 TOX=0.05U PHI=0.56
nMOSFET
VTO=0.7 KP=4.62E-5 NSUB=1.6E15 GAMMA=0.59 LD=0.5U XJ=0.89U LAMBDA=0.02 UO=669 UCRIT=0.50E5 UEXP=0.11 VMAX=0.61E5 MJ=0.5 CJ=0.9E-4 MJSW=0.5 CJSW=8.0E-10 TOX=0.05U PHI=0.60
모델에 사용된 파라미터
C_g (기준)=22.8FF C_{p1} =17.9FF C_{n1} =5.43FF 식 (4), (7): V_{LT} =2.3V C'_{p1} =8.68FF C'_{n1} =7.40FF C_{n1}^* =3.32FF C_{n1}^{**} =1.02×10 ⁻¹ Fm C_{n3} =7.40FF 식(9), (11): C'_{n1} =13.2FF C'_{n1} =5.79FF C_{n1}^* =2.79FF C_{n1}^{**} =0.86×10 ⁻¹ Fm C_{n3} =6.23FF C'_{n1} =6.23FF

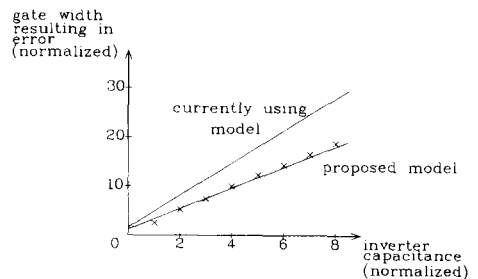


그림 5. 각 모델과 SPICE2. G시뮬레이션 결과 ('x' 표시)와의 비교

Fig 5. Comparison of the models and the simulation result (marked 'x') by SPICE2. G.

그림 5에서 본 논문에서 제안하는 모델에 의하면 MN₂의 게이트 폭의 임계값을 수%의 상대오차 이내로 예측할 수 있음을 알 수 있다. 이는 기존의 모델을 50% 개선시킨 것이다. MOSFET의 기생 캐패시턴스 성분만을 고려한 기존의 모델을 따르면 MN₂의 게이트 폭의 임계값을 실제보다 지나치게 크게 예측하기 때문에 이를 설계의 guide-line으로 사용할 경우 논리 error가 발생할 위험이 크다. 본 논문에서 제안한 intrinsic 캐패시턴스를 포함시켜 계산한 모델은 도미노 논리회로 설계시에 있어 좋은 guide-line이 될 수 있다. 이는 이러한 모델이 앞에서 지적했던 것처럼 MN₂의 자리에 몇개의 MOSFET를 병렬로 연결할 수 있는가의 판단 준거도 되기 때문에, 가능한 게이트 구조와 가능하지 않은 게이트 구조를 구별할 수 있게하기 때문이다.

V. 보다 안전한 동작 영역에 대한 고찰

이상에서는 그림 4와 같은 도미노 게이트에서 CMOS 인버터의 입구 게이트 단자의 전위가 그 인버터의 논리 문턱전압에 달할 때를 error 임계로 생각하여 고찰하였다.

그러나, 이 때에 CMOS 인버터의 출구단이 충분히 낮은 전위를 유지하지 못하므로 이는 다음 도미노 게이트 단의 nMOSFET를 뜻하지 않게 on 시킬 수 있다. 따라서 보다 안전한 영역은 그림 4의 도미노 게이트에서 CMOS 인버터의 입구 단자의 전위가 MP₂를 on시키지 않을 정도로 높은 경우이다. 즉, error 임계는 단자 1의 전위가 V_{DD}-|V_{TP}|에 달할 때이다(V_{TP}는 pMOSFET의 문턱전압). 이러한 임계에 대한 MN₂의 게이트 폭도 앞에서와 비슷한 방법으로 계산할 수 있다. 단, 이 때에는 전하 재분포가 일어날 때 MN₁은 포화 동작 영역, MN₂는 선형 동작 영역에 있게 된다.

1. 기존의 방법에 의한 계산

precharge cycle 동안 그림 4의 회로의 단자1에 충전되는 전하는 식(1)과 같다. evaluation cycle 동안 재분포된 전하의 합은 다음과 같다.

$$Q = (C_g + C'_{p1} + C'_{n1})(V_{DD} - |V_{TP}|) + (C''_{n1} + 2C_{n2}^* + 2C_{n2}^{**}W_{n2} + C_{n3})(V_{DD} - |V_{TP}| - V_{Tn}) \tag{8}$$

여기에서 각 표기의 의미는 IV에서와 같다. 단, C'_{p1}은 식(2)와 같은 꼴에서 V = |V_{TP}|인 경우에, C'_{n1}은 V = V_{DD}-|V_{T0}|인 경우에, C_{n2}, C_{n2}, D_{n3}는 V = V_{DD}-|V_{TP}| - V_{Tn}인 경우에 해당한다(V_{Tn}은 MN₁의 문턱전

압). 또한 C''_{n1}은 MN₁의 소오스쪽의 기생 캐패시턴스이며 식(2)와 같은 꼴에서 V = V_{DD}-|V_{TP}| - V_{Tn}인 경우에 해당한다. 이는 MN₁이 포화 영역에 있으므로 MN₁의 소오스의 전위가 V_{DD}-|V_{TP}| - V_{Tn}에 달할 때 전류가 멈추기 때문이다.

식(1)과 식(8)로부터 error 임계에서의 MN₂의 게이트 폭을 계산할 수 있으며 이는 다음과 같다.

$$W = \frac{|V_{TP}|C_g}{2C_{n2}(V_{DD} - |V_{TP}| - V_{Tn})} + \frac{(C_{p1} + C_{n1} - C'_{p1} - C'_{n1})V_{DD} + (C'_{p1} + C'_{n1})|V_{TP}|}{2C_{n2}^{**}(V_{DD} - |V_{TP}| - V_{Tn})} - \frac{C''_{n1} + 2C_{n2}^* + C_{n3}}{2C_{n2}^{**}} \tag{9}$$

2. MOSFET의 intrinsic 캐패시턴스의 영향을 포함시킨 계산

precharge cycle동안 그림 4의 도미노 게이트의 단자 1에 충전되는 전하량은 식(5)와 같다. evaluation cycle동안 재분포된 전하의 합은 다음과 같다.

$$Q = (C_g + C'_{p1} + C'_{n1})(V_{DD} - |V_{TP}|) + (C''_{n1} + bC_{gn1} + 2C_{n2}^* + 2C_{n2}^{**}W_{n2} + C'_{ox}LW_{n2} + C_{n3})(V_{DD} - |V_{TP}| - V_{Tn}) \tag{10}$$

식(8)과 비교할 때 식 (10)에서 bC_{gn1}항이 첨가된 것은 MN₁이 포화 동작 영역에 있기 때문이며 C'_{ox}LW_{n2} 항이 첨가된 것은 MN₂가 선형 영역에 있기 때문이다.

식(5)와 식 (10)으로부터 error 임계에서의 MN₂의 게이트 폭 W_{n2}를 계산할 수 있으며 이는 다음과 같다.

$$W_{n2} = \frac{|V_{TP}|C_g}{(2C_{n2}^{**} + C'_{ox}L)(V_{DD} - |V_{TP}| - V_{Tn})} + \frac{(C_{p1} + C_{n1} - C'_{p1} - C'_{n1})V_{DD} + (C'_{p1} + C'_{n1})|V_{TP}|}{(2C_{n2}^{**} + C'_{ox}L)(V_{DD} - |V_{TP}| - V_{Tn})} - \frac{C''_{n1} + bC_{gn1} + 2C_{n2}^* + C_{n3}}{2C_{n2}^{**} + C'_{ox}L} \tag{11}$$

식(11)은 식(7)보다 더욱 엄격한 조건이다. 그림 6은 SPICE2. G¹¹⁵에 의한 시뮬레이션 결과를 보여준다.

본 논문에서 제안하는 방법에 의한 식 (11)은 보통 쓰이는 방법인 식(9)보다 정확도가 크게 우수함을 볼 수 있다. 이는 식 (11)의 모델에서 MN₁의 문턱전압의 backgate 효과를 무시했음에도 불구하고 기존의 모델보다 훨씬 정확함을 보여준다.

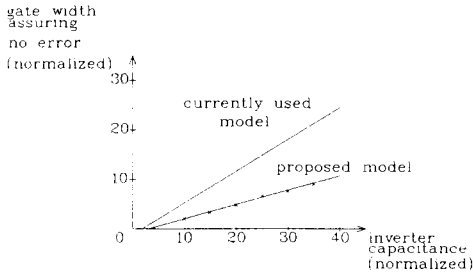


그림 6. 각 모델과 SPICE2.G 시뮬레이션 결과 ('x' 표시)와의 비교

Fig. 6. Comparison of the models and the simulation result (marked 'x') by SPICE2.G.

IV. 결 론

도미노 논리 게이트에서의 전하 재분포 현상은 현재 알려진 것처럼 MOSFET의 기생 캐패시턴스 성분뿐 아니라, 채널이 생긴 MOSFET에서의 게이트와 채널간의 캐패시턴스 때문에 발생한다. 이는 다른 dynamic 논리 게이트에도 마찬가지로 적용된다. 이와 같은 MOSFET에서의 intrinsic 캐패시턴스는 잘 알려져 있으면서도 지금까지 논리 회로 설계자들의 충분한 주목을 받지 못한 것으로 보인다.

본 논문에서는 MOSFET 채널에서의 이러한 intrinsic 캐패시턴스의 영향을 고려하여 도미노 논리 게이트에서의 논리 error가 일어나는 현상을 잘 예측하는 모델을 만들 수 있음을 보였다. 이는 현재 보통 쓰이는 기생 캐패시턴스만을 고려한 모델의 오차를 크게 개선시킨 것이다.

본 논문에서 제안하는 모델은 도미노 회로 설계시 유용한 guide-line이 될 것이다.

전하 재분포시에 있어서의 이러한 MOSFET의 게이트와 채널간의 intrinsic 캐패시턴스는 DRAM 단위 기억 소자(cell)에서의 read out시에도 영향을 미칠 것이다.

參 考 文 獻

[1] B.T. Murphy, and R. Edwards, "A CMOS 32 bit single chip microprocessor," *Digest of International Solid-State Circuits Conference*, pp. 230-231, 1981.
 [2] R.H. Krambeck, C.M. Lee, and H.-F.S. Law, "High speed compact circuits with CMOS," *IEEE J. of Solid-State Circuits*, vol. SC-17, no. 3 June 1982, pp. 614-619.

[3] N. Weste and K. Eshraghian, *Principles of CMOS VLSI Design*, Addison-Wesley Publishing Co., Reading, MA., U.S.A., 1985, p. 171.
 [4] I.S. Hwang, and A.L. Fisher, "Ultrafast compact 32-bit CMOS adders in multiple-output domino logic," *IEEE J. Solid-State Circuits*, vol. SC-24, no. 2, Apr. 1989, pp. 358-369.
 [5] V.G. Oklobdzija, R.K. Montoye, "Design-performance trade-offs in CMOS-domino logic," *IEEE J. Solid-State Circuits*, vol. pp. 304-306, Apr. 1986.
 [6] M. Annaratone, *Digital CMOS Circuit Design*, Kluwer Academic Publishers, Boston, U.S.A., p. 104, 1986.
 [7] L.A. Glasser, and D.W. Dobberpuhl, *The Design and Analysis of VLSI Circuits*, Addison-Wesley Publishing Co., Reading, MA., U.S.A., p. 341, 1985.
 [8] N. Weste, and K. Eshraghian, op. cit., pp. 186-188.
 [9] J.A. Pretorius, A.S. Shubat, and C.A. Salama "Latched domino CMOS logic," *IEEE J. Solid-State Circuits*, vol. SC-21, no. 4, pp. 514-522 Aug. 1986.
 [10] N. Weste, and K. Eshraghian, op. cit., pp. 125-129.
 [11] P.E. Allen, and D.R. Holberg, *CMOS Analog Circuit Design*, Holt, Rinehart and Winston, New York, pp. 108-111, 1987.
 [12] B. Lee, I. Kang, M. Song, and W. Kim, "Design methodology of minimum-delay CMOS buffer circuits" *Proc. International Electronic Devices and Materials Symposium, Kaohsiung, Taiwan, R.O.C.*, pp. 410-415, Aug. 1988
 [13] 이병호, MOS 논리 소자의 지연 시간 모델링과 그 최소화를 위한 설계 기법, 공학석사학위논문, 서울대학교 대학원 전자공학과, 1989년 1월.
 [14] D.A. Hodges, and H.G. Jackson, *Analysis and Design of Digital Integrated Circuits*, 2nd ed., McGraw-Hill Co., New York, p. 135. 1988
 [15] A. Vladimirescu, and S. Liu, *The Simulation of MOS Integrated Circuit Using SPICE 2*, Memorandum no. ERL M 80/7, College of Engineering, University of California, Berkeley, U.S.A., 1980.
 [16] L.W. Nagel, *SPICE2: A Computer Program*

to Simulate Semiconductor Circuits, Memorandum no. ERL-M520, College of Engineering, University of California, Berkeley, U.S.A., 1975.

[17] P. Yang B.D. Epler, and P.K. Chatterjee, 'An investigation of the charge conservation problem for MOSFET circuit simulation,'

IEEE J. Solid State Circuits, vol. SC-18, no. 1, Feb. 1983, pp. 128-138.

[18] D.E. Ward, and R.W. Dutton, "A Charge oriented model for MOS Transistor Capacitances," IEEE J. Solid-State Circuits, vol. SC-13, no. 5, Oct. 1978, pp. 703-708.

著 者 紹 介



李 莚 浩 (正會員)

1964年 7月 6日生. 1987年 2月 서울대학교 전자공학과 졸업. 1989年 2月 서울대학교 대학원 전자공학과 졸업(석사학위 취득). 1989年 8月~현재 미국 University of California at Berkeley의 Dept. of

Electrical Engineering & Computer Sciences에 국비 유학중



朴 成 駿 (正會員)

1966年 12月 28日生. 1989年 2月 서울대학교 전자공학과 졸업. 1989年 2月~현재 서울대학교 전자공학과 석사과정 재학중. 주관심분야는 BiCMOS 회로 설계 및 A/D, D/A 변환기 설계 등임.

金 元 燦 (正會員) 第26卷 第2號 參照
현재 서울대학교 전자공학과
부교수