

GaAs Power MESFET의 항복전압에 관한 연구

(A Study on Breakdown Voltage of GaAs Power MESFET's)

金漢洙*, 金漢求**, 朴長雨**, 奇鉉哲**, 朴光旻***, 孫尚熙****, 郭桂達**

(Han Soo Kim, Han Gu Kim, Jang Woo Park, Hyeon Cheol Ki,
Kwangmean Park, Sang Hee Son, and Kae Dal Kwack)

要 約

본 논문에서는 pinch-off 상태에서, 소자 파라미터(채널 두께, 도핑 농도, 게이트 길이)에 따른 GaAs Power MESFET's의 게이트-드레인 항복 전압 특성을 해석하였다. Green 함수를 이용하여 공핍된 채널의 이온 전하에 의해 게이트에 유기되는 전하량에 대한 모델을 제시했으며, 이 모델로부터 항복 현상을 판별하기 위하여 게이트-드레인 사이에서의 애벌런치 증식 현상에 의한 impact ionization integral을 사용했다. 특히 균일한 표면 전하 이외에 국부적으로 존재하는 과잉 표면 전하의 영향을 고려하였다.

Abstract

In this paper, under pinch-off conditions, the gate-drain breakdown voltage characteristics of GaAs Power MESFET's as a function of device parameters such as channel thickness, doping concentration, gate length etc. are analyzed.

Using the Green's function, the gate ionic charge induced by the depleted channel ionic charge is calculated. The impact ionization integral by avalanche multiplication between gate and drain is used to investigate breakdown phenomena. Especially, the localized excess surface charge effect as well as the uniform surface charge effect on breakdown voltage is considered.

*正會員, 三星電子 半導體事業部 器輿研究所
SRAM PA Team

(SAMSUNG Electronics)

**正會員 漢陽大學校 電子工學科

(Dept. of Elec. Eng., Hanyang Univ.)

***正會員, 順天鄉大學校 電子工學科

(Dept. of Elec. Eng., Soonchunhyang Univ.)

****正會員, 順天鄉大學校 電算學科

(Dept. of Computer Sci., Soonchunhyang Univ.)

接受日字: 1990年 4月 24日

(※ 본 연구는 1989년도 한양대학교 교내연구비의 지원에 의하여 수행되었음.)

I. 서 론

1971년 Turner에 의해 게이트 길이가 $1\mu\text{m}$ 인 GaAs MESFET가 제작된 이래 GaAs MESFET는 microwave frequency 소자로 주목받게 되었다.^[1] 이는 GaAs가 Si에 비해 전자의 이동도가 6배 빠르고, 최고 속도 또한 2배 빠른 특성을 갖고 있으며,^[2] 이로 인해 Si 소자 보다 낮은 기생저항, 큰 transconductance 및 빠른 transit time을 갖고 있기 때문이며, 또한 GaAs FET는 저항율이 $10^7 \Omega\text{cm}$ 이상(Si: $30 \Omega\text{cm}$)인 반절연 GaAs 기판위에 활성층을 성장시키기 때문에, 이 반절연 기판위에 게이트 pad를 부착

시킴으로써 게이트 bonding-Pad에 의한 기생 용량을 감소시킬 수 있다.

이와 같은 GaAs의 우수성에 의해 GaAs MESFET는 디지털 집적 회로의 고속 스위칭 소자, 저 잡음 소자 그리고, 고주파 영역에서의 전력 증폭 소자 등 여러 분야에서 각광을 받고 있다.^{[3][4]}

전력 증폭 소자로서의 GaAs MESFET은, 1973년 Fukuta에 의해 microwave frequency 에서 동작하는 GaAs Power MESFET이 처음 제작 되었으며,^[5] 그 후로 이에 대한 연구가 활발히 진행되고 있다. 그 성과로 GaAs MESFET에서 얻을 수 있는 출력 전력 (output power) 또한 계속 증가하고 있다(그림 1).

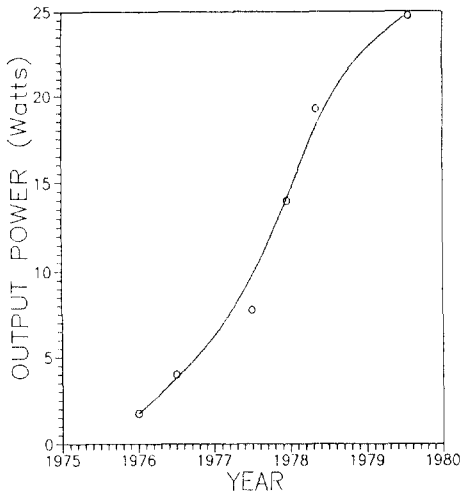


그림 1. GaAs MESFET로 부터 얻을 수 있는 출력 전력의 시간에 따른 증가 추세

Fig. 1. Output power of GaAs MESFET's with years.

현재 GaAs Power MESFET은 microwave 통신 분야에서 전력 증폭단으로 사용되고 있으며, 특히 광통신용 발광 소자로 널리 쓰이는 GaAs 레이저 다이오드의 높은 전류와 큰 주파수에 정합되는 소자로 GaAs Power MESFET이 가장 적합하다.

한편 GaAs Power MESFET이 큰 Power를 가지려면 디바이스에 흐를 수 있는 최대 드레인 전류와 디바이스가 견딜 수 있는 최대 전압(항복 전압)이 커야 한다.^{[6][7]}

본 논문에서는 해석적인 모델을 사용하여 디바이스의 포화 드레인 전류와 소자 파라미터(도핑 농도, 게이트 길이, 채널 두께 등)에 따른 항복전압을 구

하였다. 특히 게이트-드레인 사이에서 균일한 표면 전하 이외에 국부적으로 존재하는 과잉 표면 전하가 애벌런치 항복에 미치는 영향을 고려하였다. 해석 방법으로는 Green 함수와 게이트-드레인 영역에서의 애벌런치 증식현상에 의한 impact ionization integral을 사용했다.

II. 이론 전개

여기에서는 pinch-off 상태에서 디바이스의 파라미터에 따른 게이트-드레인 항복 전압에 관한 모델을 제시한다. Pinch-off 상태에서는 채널이 완전히 공핍화되며 전류의 흐름이 전혀 없다고 가정했다. 인가된 드레인 전압에 따라 게이트의 드레인 단에서 드레인 쪽으로 늘어나는 공핍층 폭을 간단한 일차원적 해석으로 구하였다.

이와같이 공핍층 폭을 알게되면 Green 함수의 근사적인 해석을 통해 공핍된 채널영역의 이온화된 전하에 의해 게이트에 유기되는 전하량을 구할 수 있다. 게이트에 유기되는 전하량으로부터 Gauss 법칙을 이용해 게이트-드레인 사이의 경로에 따른 전계 분포를 구하였다. 최대 전계경로로 게이트-드레인 표면을 선택했으며 이 경로를 따라 충돌에 의한 이온화율(impact ionization rate)을 계산하여 항복현상을 판별했다. 또한 게이트-드레인 사이의 표면전하를 고려하여 이것이 항복전압에 미치는 영향을 알아 보았다.

1. 채널 이온전하에 의한 게이트 전하

공핍된 채널 영역의 이온화된 전하에 의해 게이트에 유기되는 전하량을 구하기 위한 모델은 그림2와 같다. 이 그림에서 채널영역의 공핍층 전하는 게이트 영역의 공핍된 채널 이온 전하와 드레인 쪽으로 확장된 공핍층 이온전하의 두 부분으로 나누어 생각할 수 있다. 한편 인가된 드레인 전압에 따라서 드레인 쪽으로 확장된 공핍층폭 X_B 는 다음과 같다.^[8]

$$X_B = \left\{ \frac{2 \epsilon_0 \epsilon (V_p + V_D)}{q N_D} \right\}^{1/2} \tag{1}$$

여기서, V_p 는 pinch-off 전압이고 V_D 는 드레인 전압이다.

이때 구한 X_B 를 가지고 위의 모델에 Green 함수를 적용해 보자. 게이트-드레인 사이의 공핍 영역의 양(+)의 이온 전하 요소에 의해 게이트의 X_2 점에 유기되는 전하량은 두 점을 잇는 직선 거리(d)에 역비례한다. 이와 같은 가정하에서 드레인 쪽 공핍 영역에 의해 유기되는 전하량을 구하면 다음과 같다.^[1]

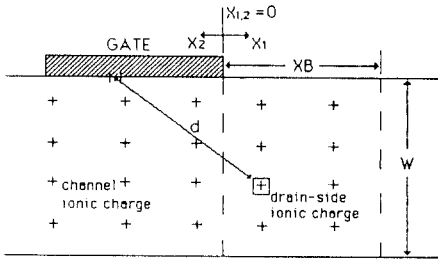


그림 2. 채널 이온 전하에 의해 게이트에 유기되는 전하량을 구하기 위한 모델
 Fig. 2. The model for obtaining charge induced at gate by channel ionic charge.

$$Q_D(X_2) = qN_D W \int_{x_1=0}^{x_1=X_B} dX_1 \frac{\text{Ln} \frac{W + \sqrt{W^2 + (X_1 + X_2)^2}}{(X_1 + X_2)}}{\int_{x_2=0}^{x_2=L} \text{Ln} \frac{W + \sqrt{W^2 + (X_1 + X_2')^2}}{(X_1 + X_2')} dX_2'} \quad (2)$$

또한, 게이트 영역의 공핍된 채널의 이온 전하에 의해 게이트에 유기되는 전하량은 Poisson 방정식의 일차원 해석을 통해 구할 수 있다. 이와 같이 구한 게이트 영역의 채널 전하에 의한 게이트 전하 $Q_C(X_2)$ 는

$$Q_C(X_2) = q N_D W \quad (3)$$

그러므로 게이트에 유기되는 총 전하량 $Q_T(X_2)$ 는

$$Q_T(X_2) = q N_D W \{ 1 +$$

$$\int_{x_1=0}^{x_1=X_B} dX_1 \frac{\text{Ln} \frac{W + \sqrt{W^2 + (X_1 + X_2)^2}}{(X_1 + X_2)}}{\int_{x_2=0}^{x_2=L} \text{Ln} \frac{W + \sqrt{W^2 + (X_1 + X_2')^2}}{(X_1 + X_2')} dX_2'} \} \quad (4)$$

식(4)에서 알 수 있듯이 게이트에 유기되는 전하량은 게이트의 드레인 단에서 매우 크게 되어 이 점에서의 전계 또한 상당히 크게 나타난다. 따라서 낮은 드레인 전압에서도 이같은 강 전계로 인해 게이트의 드레인단에서 항복이 발생할 수 있다. 그러나 본 논문에서 제시하게 될 여러가지 영향에 의해 실제 디바이스에서는 이런 현상이 억제된다.

2. 표면 전하

GaAs 표면에는 매우 높은 상태 밀도가 존재한다. 이들 표면 상태의 발생원인은 아직 명확하지 않으며 단지 표면에서의 원자 배열이 비 주기적이며 Ga 원자의 산화 및 As 원자의 결함에 의해 발생한다고 보고 있다.⁽⁸⁾⁽⁹⁾

한편 이와같은 표면 상태에 의해 표면에서의 페르미 준위가 금지대 내에 존재하는 전기적 중성점 E_{fs} 에 고정(pinning)될 경우 이들 표면 상태에 표면 근처의 캐리어가 포획되어 캐리어가 공핍되는 영역이 생긴다. 이렇게 공핍된 캐리어는 움직일 수 없는 표면 상태에 포획되기 때문에 전기 전도에 영향을 줄 수 없다.⁽¹⁰⁾

대개 표면 상태 밀도는 10^{12}cm^{-2} 정도로 알려져 있으며 이 표면 상태로 인해 발생하는 표면 공핍(surface depletion)에 의한 표면 전위는 0.6-0.8V 정도이다.⁽¹¹⁾⁽¹²⁾

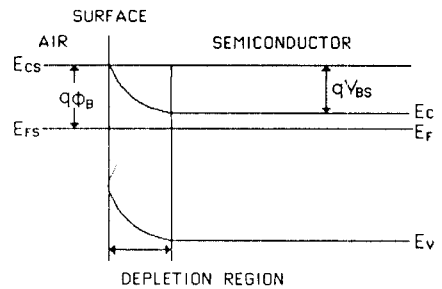


그림 3. GaAs 표면 근처에서의 에너지 밴드 구조
 Fig. 3. Energy band diagram near GaAs surface.

그림 3에서 표면 전위를 V_{BS} 라 할 때

$$V_{BS} = \phi_B - \frac{kT}{q} \text{Ln} \frac{N_C}{N_D - N_A} \quad (5)$$

여기서, N_C 는 전도대의 유효 상태 밀도로서

$$N_C = 2 \left(\frac{2\pi m_e kT}{h^2} \right)^{3/2}$$

이때 h 는 Planck 상수, m_e 는 전자의 유효 질량, k 는 Boltzmann 상수, T 는 절대 온도이다.

식(5)로부터 급격한 공핍단(abrupt depletion edge) 근사의 경우 Poisson 방정식을 풀면 표면에서의 공핍층 폭 L_s 는

$$L_s = \left(\frac{2\epsilon \epsilon_0 V_{BS}}{q(N_D - N_A)} \right)^{1/2} \quad (6)$$

그런데 식(6)의 급격한 공핍단 근사의 경우는 Poisson 방정식에서 불순물 농도에 의한 전하량 즉, N_D 만을 고려한 경우 ($\partial^2 V(x)/\partial x^2 = -\rho(x)/\epsilon_0\epsilon = -qN_D/\epsilon_0\epsilon$)인데, 실제 경우는 공핍단이 급격하지 않고 이 부분에서 다수 캐리어가 어느 정도 성가를 갖고 분포한다 (majority-carrier distribution tails 현상). 이와 같이 다수 캐리어 즉, $n(x)$ 의 영향까지 고려한 경우의 Poisson 방정식은

$$\frac{\partial^2 V(x)}{\partial x^2} = -\frac{\rho(x)}{\epsilon_0\epsilon} = -\frac{q}{\epsilon_0\epsilon}(N_D - n(x))$$

이다.

그리고 이때의 Poisson 방정식을 풀어서 구한 유효 공핍층 폭 L_s' 은

$$L_s' = \left(\frac{2\epsilon_0\epsilon(V_{BS} - kT/q)}{q(N_D - N_A)} \right)^{1/2} \quad (7)$$

이다.¹³⁾

한편 이와 같은 표면공핍을 고려했을 경우에 게이트에 유기되는 전하량은¹³⁾

$$Q_T(X_2) = qN_D W + qN_D W_1 \int_{x_1=0}^{x_1=x_2} \frac{F_1(X_1, X_2)}{F_2(X_1, X_2)} dX_1 \quad (8)$$

여기서, W_1 은 표면 공핍층 폭을 제외한 채널 두께로 $W_1 = W - L_s'$ 이며,

$$F_1(X_1, X_2) = \left[\text{Ln} \frac{W + \sqrt{W^2 + (X_1 + X_2)^2}}{(X_1 + X_2)} - \text{Ln} \frac{L_s' + \sqrt{L_s'^2 + (X_1 + X_2)^2}}{(X_1 + X_2)} \right]$$

$$F_2(X_1, X_2) = \int_{x_2=0}^{x_2=L} \left[\text{Ln} \frac{W + \sqrt{W^2 + X(X_1 + X_2)^2}}{(X_1 + X_2)} - \text{Ln} \frac{L_s' + \sqrt{L_s'^2 + (X_1 + X_2)^2}}{(X_1 + X_2)} \right] dX_2$$

이처럼 균일한 표면 전하를 고려했을 경우에도 게이트의 드레인단에 대단히 큰 전하가 유기되어 이 부분에서 매우 큰 전계가 걸린다. 그러나 앞서 언급했듯이 아래와 같은 이유들로 인해 실제로는 이런 현상이 발생하지 않는다.

첫째로, 실제 공정에서는 게이트단이 매우 뾰족하게 되지않고 어느 정도 곡률을 갖게된다. 또한 영상 전하에 의해서도 이런 현상이 나타날 수 있다.

둘째로, 게이트의 드레인단 부근의 표면에서의 밴드 구조는 벌크 표면의 그것과 다르게 된다. 왜냐하면 이 영역의 강 전계에 의해 전도대와 가전자대의 허용 상태 밀도가 변하게 되며 (Franz-Keldysh 효과)

표면의 초격자 효과에 의해서도 이 부분의 밴드구조가 변한다. 또한 금속의 파동함수가 반도체 안으로 수 격자 거리만큼 침투하게 되어 이 부분의 격자 성질이 벌크의 그것과 달라지게 된다.

이런 이유들로 인해 게이트의 드레인단 부근에서는 10^{14}cm^{-2} 정도로 매우 큰 표면 상태 밀도가 존재한다. 이들 과잉 표면 상태와 함께 그 부분에서의 전계가 상당히 크기 때문에 게이트에 유기되는 전자의 일부가 과잉표면 상태로 field emission 되어 과잉 표면 전하를 형성하며 게이트의 드레인단의 전하는 감소하여 어느 정도 일정한 값에 이른다.

게이트의 페르미 준위에 있는 전자가 일단 tunneling 되면 같은 에너지 상태에 있는 다른 상태로 tunneling 되거나 다른 에너지 상태로 천이하며 전도대로 tunneling 되어 드레인으로 전송될 수도 있다. 그리고 전도대에 있던 전자가 이들 표면 상태로 재결합하거나 표면 상태의 전자가 가전자대로 재결합할 수도 있다.

이와 같은 과잉 표면 전하는 정확히는 이들 표면 상태의 에너지 분포와 방출 및 포획 특성 등에 의해 결정되지만 본 논문에서는 이런 효과를 명확히는 고려하지 않았고 다만 게이트의 드레인단에서의 전계가 field emission을 발생시킬 만큼 큰 경우에는 전자가 field emission 되어 이 부분의 전계가 감소한다는 가정하에 시뮬레이션을 하였다. 즉, 과잉 표면 전하가 작을 경우 게이트의 전자가 field emission 되어 표면 전하 밀도가 증가하며 field emission된 양이 너무 클 경우에는 거꾸로 이들 과잉 표면 전하가 게이트로 field emission 되어 과잉 표면 전하가 감소한다고 생각했다. 다시 말해 과잉 표면 전하 밀도가 이트의 전하량과 같게 되어 표면에 수평인 전계선분이 field emission을 발생시킬 수 있는 인보다 작아지도록 했다.

3. 게이트-드레인 항복 전압 (V_G) 의 계산

게이트-드레인 항복 전압은 게이트의 드레인단과 드레인쪽으로 확산된 공핍층단 사이에서 경로에 따른 전계 분포로부터 구할 수 있다.¹⁴⁾ 본 논문에서는 게이트와 드레인사이의 표면을 최대 전계경로로 잡았다. 이 경로를 따라 전계의 세기가 충분히 커서 캐리어들이 충돌에 의한 이온화를 발생시키게 되면 이때의 게이트-드레인 전압이 항복 전압이 된다. 즉 전계가 충분히 크게되면 캐리어들이 이 강전계에 끌려 격자와 충돌하게 되어 새로운 전자-정공 쌍을 발생시키게 된다. 이와같이 캐리어의 애벌런치 증식이 발생하게 되면 소자가 파괴된다.

본 절에서는 이들 캐리어들의 애벌런치 현상에 의한 이온화율을 이용해 항복 전압을 구한다.

우선, 소자가 pinch-off 상태에 있을 때 인가된 드레인 전압에서의 게이트-드레인 사이의 표면 경로에 따른 전계분포는 다음과 같다.

$$E(X_1) = \frac{Q_T(0)}{\epsilon_0 \epsilon} \left(1 - \frac{X_1}{XB}\right) \quad (9)$$

여기서, ϵ_0 는 진공에서의 유전율, ϵ 는 반도체의 유전상수이고 X_B 는 드레인 쪽으로 확장된 공핍층 폭으로 식(1)과 같다. 그리고 $Q_T(0)$ 는 게이트의 드레인 단에 유기된 총 전하량으로 식(8)과 같다. 이 전계 분포로부터 경로에 따른 충돌에 의한 총 이온화 적분 (impact ionization integral) I^* 는

$$I^* = \int \alpha_n \cdot \exp\left[-\int (\alpha_n - \alpha_p) dx'\right] dx \quad (10)$$

여기서, α_n 과 α_p 는 각각 전자와 정공의 이온화율이다. 그리고 이때의 이온화율 α 와 전계와의 관계는 아래와 같다.

$$\alpha = A \exp\{-[B/E(x)]^m\} \quad (11)$$

식(11)에서 파라미터값 A, B, m은 실험을 통해 관측되는 데이터를 fitting 함으로써 구할 수 있는데 본문에서 사³⁾한 값들은 표 1과 같다.¹⁵⁾

식 (11)의 값이 $I^* \geq 1$ 이 되면, 다시 말해 애벌런치 증식 인자 1 부한대가 되면 이때의 전압이 항복전압이 되며 $I^* < 1$ 일때는 드레인 전압을 증가시키고 위의 과정을 되풀이하여 게이트-드레인 항복전압을 구하였다.

표 1. 이온화율 (Ionization rate), α 의 파라미터 값
Table 1. α and ionization rate.

| Semi-conductors | Electrons | | Holes | | m |
|-----------------|------------------------|------------------------|------------------------|------------------------|---|
| | A (cm ⁻¹) | B (V/cm) | A (cm ⁻¹) | B (V/cm) | |
| Ge | 1.55 × 10 ⁷ | 1.56 × 10 ⁶ | 1.0 × 10 ⁷ | 1.28 × 10 ⁶ | 1 |
| Si | 3.8 × 10 ⁶ | 1.75 × 10 ⁶ | 2.25 × 10 ⁷ | 3.26 × 10 ⁶ | 1 |
| GaAs | 3.5 × 10 ⁵ | 6.85 × 10 ⁵ | 3.5 × 10 ⁵ | 6.85 × 10 ⁵ | 2 |
| Gap | 4.0 × 10 ⁵ | 1.18 × 10 ⁶ | 4.0 × 10 ⁵ | 1.18 × 10 ⁶ | 2 |

III. 시뮬레이션 결과 및 고찰

본 장에서는 위에서 언급한 내용들을 토대로하여 시뮬레이션한 결과를 제시한다.

그림 4는 게이트 길이를 파라미터로 하여 주어진

도핑 농도에서 채널 두께에 따른 소오스-드레인 포화 전류를 나타낸다. 그림 5는 게이트 길이를 파라미터로한 채널 두께에 따른 게이트-드레인 항복전압을 나타낸다. 이들 결과로부터 항복전압은 주어진 게이트 길이에서 채널 두께에 반비례함을 알 수 있다. 이것은 채널 두께가 증가하게 되면 pinch-off 상태에서 공핍된 채널의 이온화된 전하가 증가하며 따라서 게이트에 유기되는 전하량도 증가하기 때문이다.

한편 드레인 포화 전류는 채널 두께와 도핑 농도의 곱에 비례한다. 그림 6, 7, 8은 게이트 길이가 각각 0.3 μ m, 0.5 μ m, 1.0 μ m일 때 드레인 포화전류 즉, 채널 두께와 도핑 농도의 곱에 대한 항복 전압 특성이다. 이들 특성곡선에서 점선으로 표시한 것은 과잉 표면 전하의 영향 즉, field emission을 고려하지 않았을 때의 시뮬레이션 결과이고 실선은 field emission을 고려했을 때의 결과이다. 이들 결과로부터, 드레인 포화 전류가 증가한다는 것은 채널 두께가 증가함을 의미하며 따라서 게이트에 유기되는 전하량이 증가하기 때문에 게이트-드레인 항복전압이 감소함을 확인할 수 있으며 또한 field emission을 고려했을 때의 결과가 실험 데이터³⁾에 더욱 잘 일치함을 알 수 있다. 그런데 이들 항복 전압에 대한 실험 데이터가 어느정도 오차를 나타내는 것은, 한 wafer상

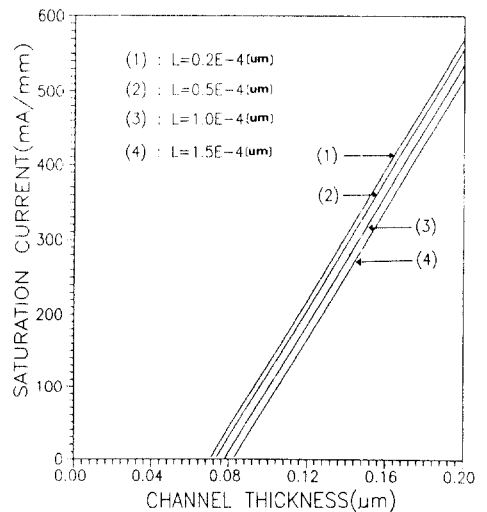


그림 4. 게이트 길이를 매개 변수로 했을때 채널 두께에 따른 드레인 포화 전류 ($N_D = 2.5 \times 10^{17} \text{cm}^{-3}$)

Fig. 4. Source drain saturation current with active layer thickness. ($N_D = 2.5 \times 10^{17} \text{cm}^{-3}$)

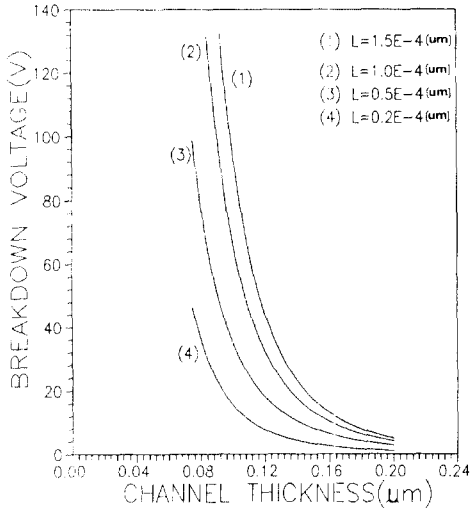


그림 5. 게이트 길이를 매개 변수로 했을때 채널 두께에 따른 게이트-드레인 항복 전압 ($N_D = 2.5 \times 10^{17} \text{ cm}^{-3}$)

Fig. 5. Gate-drain breakdown voltage with channel thickness. ($N_D = 2.5 \times 10^{17} \text{ cm}^{-3}$)

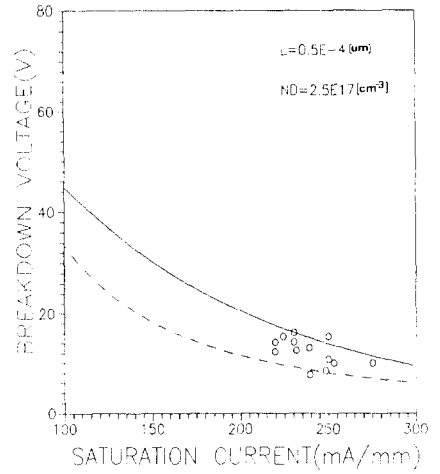


그림 7. $0.5 \mu\text{m}$ 게이트 GaAs Power MESFET의 드레인 포화 전류에 대한 게이트-드레인 항복 전압 ($N_D = 2.5 \times 10^{17} \text{ cm}^{-3}$, \circ : 실험 데이터, -----: 시뮬레이션 결과)

Fig. 7. Gate-drain breakdown voltage of $0.5 \mu\text{m}$ gate length GaAs Power MESFET with source drain saturation current. ($N_D = 2.5 \times 10^{17} \text{ cm}^{-3}$, \circ : experimental data, -----: simulation results)

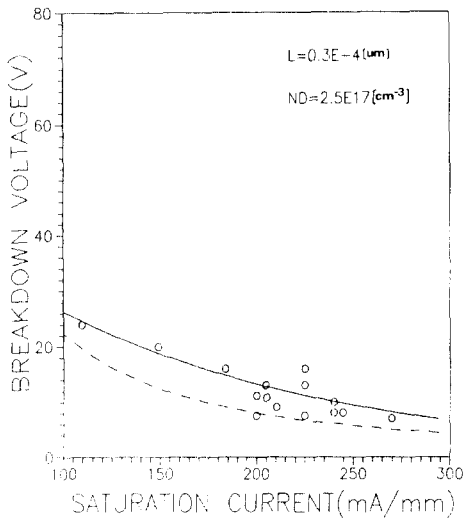


그림 6. $0.3 \mu\text{m}$ 게이트 GaAs Power MESFET의 드레인 포화 전류에 대한 게이트-드레인 항복 전압 ($N_D = 2.5 \times 10^{17} \text{ cm}^{-3}$, \circ : 실험 데이터, -----: 시뮬레이션 결과)

Fig. 6. Gate-drain breakdown voltage of $0.3 \mu\text{m}$ gate length GaAs Power MESFET with source drain saturation current. ($N_D = 2.5 \times 10^{17} \text{ cm}^{-3}$, \circ : experimental data, -----: simulation results)

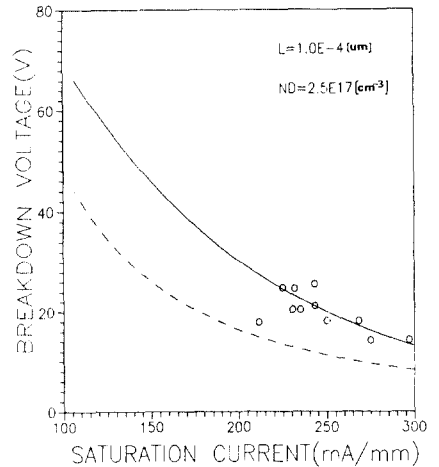


그림 8. $1.0 \mu\text{m}$ 게이트 GaAs Power MESFET의 드레인 포화 전류에 대한 게이트-드레인 항복 전압 ($N_D = 2.5 \times 10^{17} \text{ cm}^{-3}$, \circ : 실험 데이터, -----: 시뮬레이션 결과)

Fig. 8. Gate-drain breakdown voltage of $1.0 \mu\text{m}$ gate length GaAs Power MESFET with source drain saturation current. ($N_D = 2.5 \times 10^{17} \text{ cm}^{-3}$, \circ : experimental data, -----: simulation results)

에서 똑같이 제작한 소자라 할지라도 제조 과정에서 소자 제원, 도우핑 profile 등이 각 소자마다 편차를 나타내게 되며,^{[4][16]} 항복 전압이 이들 소자 파라미터에 매우 민감하게 나타나기 때문이다.

그림 9는 앞의 그림 6, 7, 8을 종합한 것으로 이 결과로부터 주어진 도핑 농도와 채널 두께에 대해 게이트 길이가 증가함에 따라서 항복전압이 증가한다는 것을 알 수 있다. 이에 대한 좀 더 자세한 결과가 그림 10으로서 게이트 길이에 대한 항복 전압의 존재성을 명확히 알 수 있으며, 본 논문에서 시뮬레이션한 결과가 실험 데이터^{[4][17]}와 잘 일치함을 알 수 있다.

IV. 결 론

본 논문에서는 현재 전력증폭 소자로 각광을 받고 있는 GaAs Power MESFET의 디바이스 파라미터에 따른 항복 전압 특성을 구하였다.

Pinch-off 상태에서, Green 함수를 사용하여 인가된 드레인 전압에 따라 게이트에 유기되는 전하량을 구하였으며, 게이트-드레인 사이에서 impact ionization integral을 이용하여 항복 현상을 판별하였다. 특

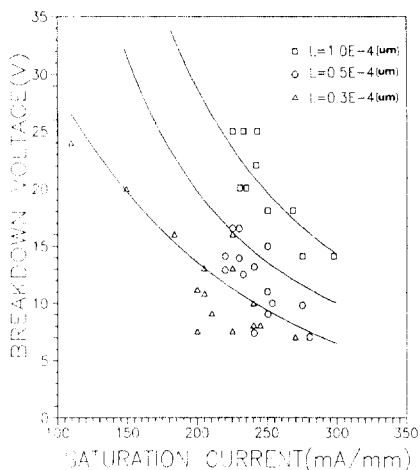


그림 9. 게이트 길이를 매개 변수로 했을때 드레인 포화 전류에 대한 게이트-드레인 항복 전압 ($N_D=2.5 \times 10^{17} \text{cm}^{-3}$, $\circ, \triangle, \square$: 실험 데이터, —: 시뮬레이션 결과)

Fig. 9. Gate-drain breakdown voltage with source drain saturation current. ($N_D=2.5 \times 10^{17} \text{cm}^{-3}$, $\circ, \triangle, \square$: experimental data, —: simulation results)

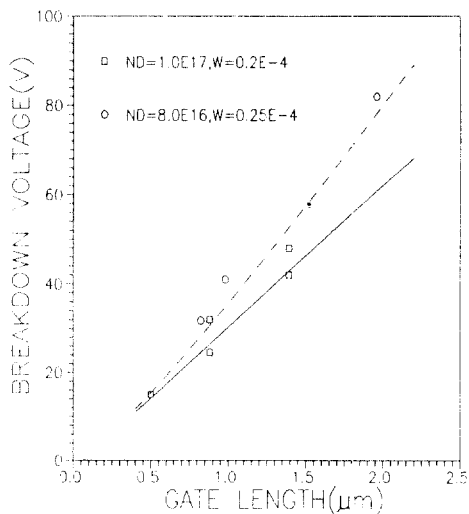


그림 10. 게이트 길이에 따른 게이트-드레인 항복 전압 (\circ, \square : 실험 데이터, ---, —: 시뮬레이션 결과)

Fig. 10. Gate-drain breakdown voltage with gate length. (\circ, \square : experimental data, ---, —: simulation results)

히 균일한 표면 전하 이외에 게이트의 드레인단 부근에 국부적으로 존재하는 과잉 표면 전하의 영향을 고려하여 시뮬레이션하였다. 시뮬레이션한 결과로부터 드레인 포화 전류 즉, 채널 두께와 도핑농도의 곱, 그리고 게이트 길이에 대한 항복 전압 의존성을 확인할 수 있었다. 또한 본 논문에서 구한 결과를 실험 데이터와 비교함으로써 본 논문의 타당성을 입증할 수 있었다.

위에서 살펴 보았듯이, 앞으로 정확한 전압을 예측하기 위하여 소자 파라미터를 정확히 제어할 수 있는 정교한 제조 기술의 개발이 수행되어야 하며 Power FET의 microwave performance를 개선시키기 위하여 기생 효과를 줄일 수 있는 방법과 이에대한 설계 및 제조 기술이 요구된다.

參 考 文 獻

[1] R.S. Pengelly, "Microwave field-effect transistors-Theory, design and applications," *Research Studies Press* pp. 61-94
 [2] J. Ruch and W. Fawcett, "Temperature dependence of the transport properties of GaAs determined by a Monte Carlo method," *J. Appl. Phys.*, vol. 41, pp. 3843-3849, Aug. 1979.

[3] C.M. Lowe, "A study of breakdown voltage for GaAs power transistors with gate lengths in the submicron range," *Ph. D. Thesis Cornell university*, 1984.

[4] T.M. Barton and P.H. Ladbroke, "Dependence of maximum gate-drain potential in GaAs MESFET's upon localized surface charge," *IEEE Electron Device Letters*, vol. EDL-6, no. 3, pp. 117-119, Mar. 1985.

[5] C.A. Liechti, "Microwave field-effect transistors-1976," *IEEE Trans. Microwave Theory and Tech.*, vol. MTT-24, no. 6, pp. 279-300, Jun. 1976.

[6] J.V. Dilorenzo, and W.R. Wisseman, "GaAs power MESFET's: Design, Fabrication, and Performance," *IEEE Trans. Microwave Theory and Tech.* vol. MTT-27, no. 5, pp. 367-378, May 1979.

[7] W.R. Frensley, "Power-limiting breakdown effects in GaAs MESFET's," *IEEE Trans. Electron Devices*, vol. ED-28, pp. 962-970, Aug. 1981.

[8] H. Mizuta, K. Yamaguchi, and S. Takahashi, "Surface potential effects on gate-drain avalanche breakdown in GaAs MESFET's," *IEEE Trans. Electron Devices*, vol. ED-34, no. 10, pp. 2027-2033, Oct. 1987.

[9] F. Heliodore, M. Lefebure, G. Salmer, and O.L. El-sayed, "Two-dimensional simulation of submicrometer GaAs MESFET's: Surface effects and optimization of recessed gate structures," *IEEE Trans. Electron Devices*, vol. ED-35, no. 7, pp. 824-830, Jul. 1988.

[10] A. Chandra, C.E.C. Wood, D.W. Woodard, and L.F. Eastman, "Surface and interface depletion corrections to free carrier-density determinations by Hall measurements," *Solid-State Electronics*, vol. 22, pp. 645-650, 1979.

[11] R. Wroblewski, G. Salmer, and Y. Crosnier, "Theroetical analysis of the D.C avalanche breakdown in GaAs MESFET's," *IEEE Trans. Electron Devices*, vol. ED-30, no. 2, pp. 154-159, Feb. 1983.

[12] S. Tiwari, L.F. Eastman, and L. Rathbun, "Physical and material limitation on burnout voltage of GaAs power MESFET's," *IEEE Trans. Electron Devices*, vol. ED-27, no. 6, pp. 1045-1054, Jun. 1980.

[13] C. Kittle and H. Kroemer, "Thermal physics," W.H. Freeman and Company, 2nd edition, New York

[14] P.H. Ladbroke, "Power limiting due to impact ionization in GaAs MESFET's," *Electron. Letters*, vol. 17, no. 10, pp. 338-339, May 1981.

[15] S.M. Sze and G. Gibbons, "Avalanche breakdown voltages of abrupt and linearly graded p-n junctions in Ge, Si, GaAs, and GaP," *Appl. Phy. Letters*, vol. 8, no. 5, pp. 111-113, Mar. 1966.

[16] T.M. Barton and P.H. Ladbroke, "The role of the device surface in the high voltage behaviour of the GaAs MESFET," *Solid-State Electronics*, vol. 29, no. 8, pp. 807-813, 1986.

[17] J.G. Tenedorio, "The materials properties and microwave performance of the GaAs Power MESFET," *Ph. D. Thesis, Cornell Univ.* 1982

著 者 紹 介



金 漢 洙 (正會員)

1964年 7月 5日生. 1987年 2月 한양대학교 전자공학과 졸업. 1989年 2月 한양대학교 대학원 전자공학과 석사학위 취득. 1989年 1月~현재 삼성전자 반도체부문 기흥연구소 SRAM PA팀 연구원.

주관심분야는 GaAs MESFET Power 소자의 특성 연구, 4M SRAM 개발에 관한 연구 등임.



金 漢 求 (正會員)

1962年 3月 16日生. 1985年 2月 한양대학교 전자공학과 졸업. 1988年 2月 한양대학교 대학원 전자공학과 석사학위 취득. 1988年 3月~현재 한양대학교 대학원 전자공학과 박사과정. 주관심분야는

반도체소자의 modeling, simulation, circuit parameter 추출 등임.



朴長雨(正會員)

1965年 1月 19日生. 1987年 2月 한양대학교 전자공학과 졸업. 1989年 2月 한양대학교 대학원 전자공학과 석사학위 취득. 1989年 3月~현재 한양대학교 대학원 전자공학과 박사과정. 주관심분야는 반도체소자의 모델링 및 시뮬레이션 등임.



奇鉉哲(正會員)

1960年 4月 28日生. 1984年 2月 한양대학교 전자공학과 졸업. 1986年 8月 한양대학교 대학원 전자공학과 석사학위 취득. 1986年 11月~1989年 2月 한국전자통신연구원. 1987年 3月~현재 한양대학교 대학원 전자공학과 박사과정. 1989年 3月~현재 충청실업전문대학 전자과 전임강사. 주관심분야는 반도체소자의 모델링, 전력소자의 구조 설계 및 시뮬레이션 등임.



朴光旻(正會員)

1958年 10月 20日生. 1983年 2月 한양대학교 전자공학과 졸업. 1985年 2月 한양대학교 대학원 전자공학과 석사학위 취득. 1988年 2月 한양대학교 대학원 전자공학과 박사학위 취득. 1988年 3月~현재 순천향대학교 전자공학과 조교수. 주관심분야는 화합물 반도체소자 및 회로 특성의 모델링, 시뮬레이션, TFT 등임.



孫尚熙(正會員)

1960年 3月 25日生. 1983年 2月 한양대학교 전자공학과 졸업. 1985年 2月 한양대학교 대학원 전자공학과 석사학위 취득. 1988年 8月 한양대학교 대학원 전자공학과 박사학위 취득. 1988年 9月 현재 순천향대학교 전산학과 전임강사. 주관심분야는 III-V compound device modeling, process modeling, circuit simulation, circuit extractor etc.



郭桂達(正會員)

1950年 2月 13日生. 1981年~현재 한양대학교 전자공학과 부교수. 주관심분야는 GaAs SRAM의 설계와 circuit extractor 개발, submicron device의 특성해석을 위한 2-D 및 3-D simulator 개발, high-speed 및 power-용 반도체소자의 개발 등임.