

2 μ m CMOS 공정을 이용한 BLC, MTG 가산기의 전기적 특성

(Electrical Characteristics of BLC, MTG Adders Using 2 μ m CMOS Process)

李 承 浩*, 辛 卿 旭*, 李 文 基*

(Seung Ho Lee, Kyung Wook Shin, and Moon Key Lee)

要 約

본 논문에서는 VLSI 프로세서의 기본적인 연산 블록으로 사용될 수 있는 8비트 BLC 가감산기와 MTG 가산기를 설계하고, 각각의 구조적 특징을 비교, 분석하였다. 또한 2 μ m CMOS 공정을 이용하여 설계된 회로를 제작하고 사용된 트랜지스터의 특성 및 최대 지연경로에 대한 지연시간을 측정했다. 측정결과 8비트 2진 덧셈을 기준으로 측정된 BLC 가감산기의 MSB Sum에 이르는 상승 지연시간이 26nsec, 하강 지연시간이 32nsec였고, MTG 가산기의 경우 MSB 캐리 출력에 이르는 상승 지연시간은 28nsec, 하강 지연시간은 38nsec였다. BLC 가감산기는 MTG 가산기보다 4배 가량 큰 면적을 차지하나 빠른 연산 속도를 가지며, MTG 가산기는 지연시간이 길어지나 적은 면적을 차지하는 장점을 갖는다.

Abstract

In this paper, BLC adder/subtractor and MTG adder which can be used as a fundamental operation block in VLSI processors are designed, and their structural and electrical characteristics are analyzed and compared. Also, two circuits are fabricated using 2 μ m CMOS process and their time delays for critical paths are measured. For 8 bit binary addition, the measured critical delays for MSB sum of the BLC adder/subtractor are 26nsec for rising delay and 32nsec for falling. Those for MSB carry out of the MTG adder are 28nsec and 38nsec, respectively. The BLC adder/subtractor has a layout area which is 4 times larger than the MTG adder, and a fast operation speed. On the contrary, the MTG adder has a small layout area and a large time delay.

I. 서 론

2진수 가감산은 대부분의 디지털 신호처리 알고리

즘에 이용되는 가장 기본이 되는 연산이며, 그 구조적 특성에 따라 적용되는 시스템의 성능이 큰 영향을 받게된다. 특히 가산기 회로는 대개 프로세서의 Critical Path에 놓이게 되므로 그 처리속도가 전체의 Clock Cycle Time을 결정하게 된다.^[1]

따라서 Floating Point Processor와 Multiplier 및

*正會員, 延世大學校 電子工學科
(Dept. of Elec. Eng., Yonsei Univ.)
接受日字: 1989年 7月 10日

ALU와 같은 VLSI 설계에 있어서는 레이아웃의 규칙성과 그에 의한 전체 시스템의 면적, 처리속도의 향상을 위한 병렬 연산 가능성등의 관계를 고려하여 그 목적에 맞는 연산기 구조를 선택해야 한다. 특히 2진 가산의 경우 비트수가 증가함에 따라 캐리전송에 의한 지연시간에 의해 그 특성이 크게 좌우되므로 이를 최소화 하려는 가산기 구조가 제안되어 캐리전달 방식에 따라 Carry Lookahead adder, Manchester Carry adder, Binary Lookahead adder, Transmission Gate adder, Carry Select adder 등이 대두되었다.^[2] 그 예로 일반적인 VLSI 시스템에서는 Domino Carry Chain과 Precharge 기법을 이용하여 속도를 개선시키며 적은 면적과 평이한 레이아웃을 갖는 Manchester Carry adder를 주로 이용하나 비트수가 증가할수록 그 지연시간이 비례적으로 증가하는 단점을 갖게 되는등 대개 가산기는 하드웨어의 구현에 따른 면적과 지연시간이 Trade-off관계를 갖게된다. 본 논문에서는 처리속도 면에서 유리한 BLC(binary lookahead carry) 가감산기와 일반적인 TG 가산기를 변형시켜 면적 면에서 유리하도록 만든 MTG(modified transmission gate)가산기를 설계하고 그 구조 및 지연시간 면에서의 특성을 비교, 분석하고자 한다. 설계된 두 가산기는 모두 레이아웃에서 추출될 수 있는 기생효과를 고려하여 시뮬레이션 하였고, 2 μ m CMOS 공정을 이용하여 웨이퍼를 제작하였다. 또한 테스트 패턴의 측정을 통해서 회로 설계에 사용된 트랜지스터의 실제적인 특성을 분석하였다.

II. 회로설계

1. BLC(Binary Lookahead Carry) 가감산기

BLC 가산기는 일반적인 Carry Lookahead 가산기가 내부의 연결에 있어서 매우 복잡하고 팬-인, 팬-아웃에 의한 제한성을 가지므로 이런 문제점을 해결하기 위해 캐리의 계산이 Parallel Prefix Computation에 의해 이루어지도록 만든 Carry Lookahead 방식의 병렬 가산기이다.

8비트를 기준으로 했을 때 그 구성은 그림 1과 같이 Lookahead 부분이 Binary Tree와 Inverse Binary Tree가 결합된 형태를 가지고 있으며, 다른 가산기에 비해 몇개의 연산 블럭이 그림2와 같이 규칙적으로 반복되는 구조로 되어 있으므로 VLSI 구현에 적합하다는 장점을 갖는다.

그림1에서 연산블럭 O는 다음단에서 이용될 캐리를 계산해주는 블럭으로 그 입출력 관계는 다음과 같이

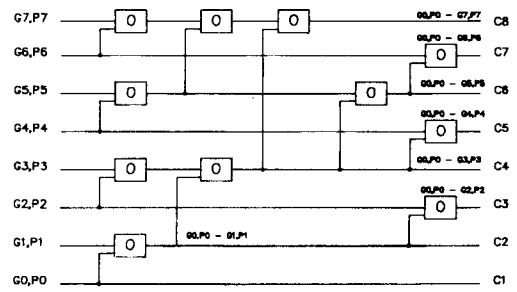


그림 1. BLC 가산기의 Carry 발생회로
Fig. 1. Carry generation circuit of BLC adder.

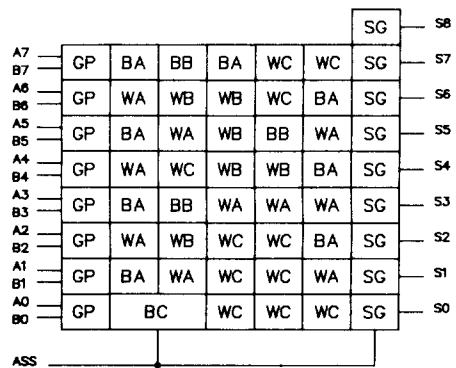


그림 2. 8비트 BLC 가산기의 회로
Fig. 2. Schematic diagram of 8 bit BLC adder.

나타난다.

$$G' = G_i + P_i \cdot G_{i-1}$$

$$P' = P_i \cdot P_{i-1}$$

여기서 G_i , P_i 는 각각 i 번째 입력 A_i, B_i 에 의해 생성된 Generation Signal과 Propagation Signal로 $G_i = A_i \times B_i$, $P_i = A_i + B_i$ 이며, 이 신호는 그림2의 GP 셀에 의해서 계산된다. 또 그림2에서 BA, BB, BC의 Subcell들은 모든 연산 블럭 O의 역할을 하는 셀들이며, 특히 BC 셀은 그림3과 같이 구성함으로써 ASS 입력에 따라 가산기 (ASS=1일때), 혹은 감산기 (ASS=0일때)로 동작할 수 있도록 하였다.

WA, WB, WC Subcell들은 드라이버 역할을 하는 셀이며 SG 셀은 전단의 연산자 O에 의해 계산된 캐리와 그 단의 Propagation Signal을 다음과 같은 기능에 의해 Sum 출력으로 내보내는 셀이다.

$$S_i = P_i \text{ XNOR } C_{i-1}$$

$$S_1 = P_1$$

이와 같은 구조에 의하면 N 비트의 2진수 연산에 $O(\log_2 N)$ 의 시간이 소요되므로^[3] 비트수가 확장되는 경우에도 고속 연산이 가능하게 된다.

이렇게 설계된 회로는 2 μ m P-Well CMOS 설계 규칙을 이용하여 레이아웃하였고 표1은 사용된 설계 규칙의 일부를 나타낸다. BLC 가감산기를 구성하는 모든 Subcell들은 PMOS와 NMOS의 폭의 비를 $W_p/W_n=10/5$ 를 기준으로 하였고 Carry Propagation 경로에 따르는 전체적인 데이터 패스를 고려하여 레이아웃 함으로써^[4], 고도의 모듈적 특성을 갖는 매크로 셀이 되도록 하였다. 8비트를 기준으로 한 전체 면적은 $665\mu m \times 452.5\mu m$ 이다.

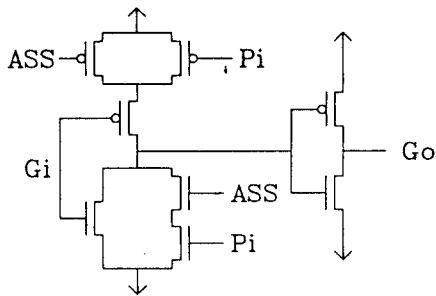


그림 3. BC cell의 회로도
Fig. 3. BC Cell circuit.

표 1. 2 μ m 설계규칙
Table 1. 2 μ m design rule.

Layers	Design rule(μ m)
active layer width	2
active layer spacing	2.5
poly layer width	2
poly layer spacing	2.5
metal 1 width	3
metal 2 width	2
metal 1 spacing	4
metal 2 spacing	3
active contact width	2 \times 2
poly contact width	2 \times 2

2. MTG(Modified Transmission Gate) 가산기
TG(transmission gate) 가산기는 그림4와 같이 CMOS Transmission gate 4개, Inverter 4개, Exclusive OR gate 2개로 구성되며,^[5] Combinational adder

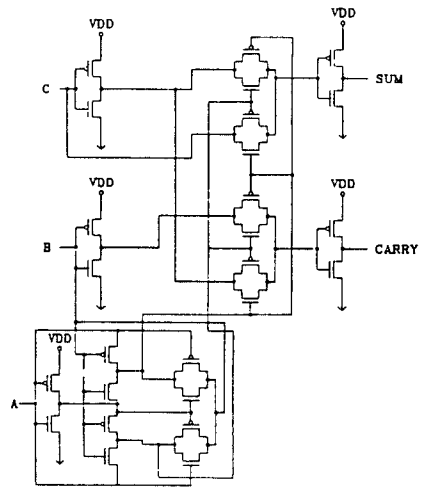


그림 4. CMOS TG 가산기의 회로도
Fig. 4. CMOS TG adder circuit.

와 같이 모두 24개의 트랜지스터가 사용되지만 Sum과 캐리의 지연시간이 유사하고 모두 Non-Inverting Signal이라는 장점을 갖고 있다.

본 논문에서는 이를 응용하여 CMOS Transmission Gate를 사용하는 대신 NMOS, PMOS Transmission Gate를 따로 사용했고 이럴 경우 Sum 부분이 간단하게 되어 그림5와 같은 MTG 가산기를 구성할 수 있다. 이와같이 구성된 MTG 가산기는 16개의 Transmission Gate와 1개의 Inverter로 구성되어 트랜지스터의 수가 감소되며 인접한 NMOS, PMOS의 각 트랜지스터가 Drain, Source 영역을 공유하는 형태를 가지므로 레이아웃시에 면적이 감소한다는 장점을 갖게되고, 따라서 집적화가 요구되는 곳에 효율적으로 적용될 수 있다.^[6] 반면에 캐리 신호

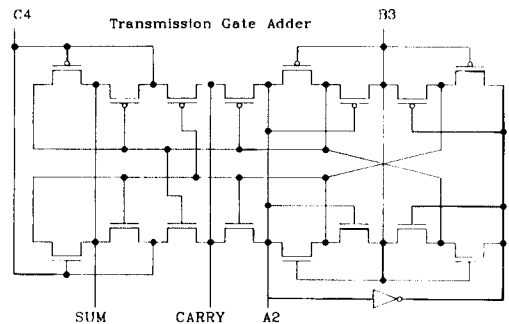


그림 5. CMOS MTG 가산기의 회로
Fig. 5. CMOS MTG adder circuit.

는 리플 캐리방식에 의해 이루어지므로 비트수가 증가함에 따라 지연시간이 길어지는 단점이 있게된다. 또한 Transmission Gate를 사용하는 이유로 인해 Switching Level Simulation에 문제가 있게 되고⁷⁾ 그와 함께 Power 혹은 Ground로의 어떤 연결도 없는 이유로 인해 전압 레벨이 감소하게 되고 여러단을 연결할 경우에 출력단에서의 전압변화가 영향을 받게된다.

일반적으로 n개의 Pass 트랜지스터로 이루어지는 체인에서 그에 의한 지연시간은 대략 n^2 에 비례하여 증가하므로 일정 단마다(4비트 혹은 8비트) 버퍼에 의해 신호를 복원(Restoration) 시켜주는 것이 필요하다.

레이아웃은 1비트에 대한 MTG 가산기는 표준셀로 설계하고, 캐리의 입출력 위치를 일정하게 고정시킴으로써, 임의 비트로의 확장은 외부 배선없이 단순한 셀의 인접에 의하여 쉽게 이루어 지도록 하였다. 본 논문에서 설정한 기본 트랜지스터의 크기는 $W_p/W_n=10/5$ 이나 지연시간을 줄이기 위하여 $W_p/W_n=22/14$ 의 크기를 기준으로 레이아웃 하였고 이 두가지 형태에 대한 레이아웃은 그림6에서 각각 나타나고 있다.

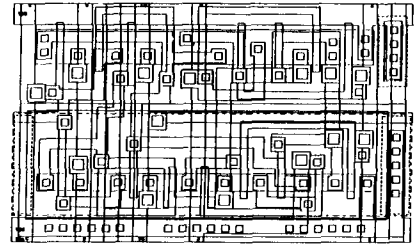
1비트를 기준으로 했을때 MTG 가산기의 면적은 $102.5\mu m \times 89.5\mu m$ 이다.

3. 시뮬레이션

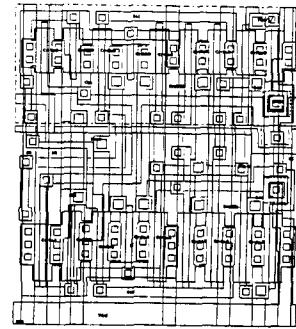
설계된 두 가산기의 데이터 처리속도를 알아보기 위해 SPICE 시뮬레이션을 했다. 특히 모든 회로들은 레이아웃으로 부터 발생할 수 있는 Side Effect 들 즉, 표2와 같이 주어진 공정 변수를 이용한 기생 성분들을 고려하여 시뮬레이션에 추가시켰다. 이러한 기생성분들은 전체적인 회로의 지연시간 면에서 이를 고려하지 않은 경우에 비해 3 Input NAND 게이트의 경우 22%, 그리고 BLC 회로의 경우는 47% 정도의 심한 오차를 나타낸다.⁸⁾ 따라서 이것을 고려하지 않으면 전체 시스템 구성시의 동작도 보장해줄 수 없게 된다.

먼저 BLC 가감산기의 경우 8비트를 기준으로한 최대 지연 경로는 그림7과 같이 LSB(A0, B0, ASS 입력으로 부터 S7의 출력에 이르는 경로가 되며 GP 셀에서 SG 셀에 이르는 8개의 Subcell을 통과하게 된다. 시뮬레이션결과 최대 지연시간은 S7 단자에서 하강의 경우 31nsec가 나왔다.

또 MTG 가산기의 경우는 1비트를 기준으로 했을 때 팬-아웃이 2일 경우 입력으로 부터 캐리 출력에



(a) $W_p/W_n=10/5$



(b) $W_p/W_n=22/14$

그림 6. MTG 가산기의 레이아웃
Fig. 6. MTG adder layout.

표 2. 기생효과 추출에 사용된 파라미터 값
Table 2. Parameter used in parasitic effect extraction.

layer	Resistance (ohm/□)	Capacitance	
		area (aF/λ ²)	perimeter (aF/λ)
Poly	50	28	.
1st Metal	0.05	11.25	.
2nd Metal	0.05	7.81	.
Pdiff	55	72.5	113.5
Ndiff	35	81.5	75

이르는 경로에 대한 시뮬레이션 결과 1.3nsec가 나왔다.

III. Fabrication 및 비교 분석

1. Fabrication

2장에서 설계된 두 가산기를 2um CMOS 폴리 게이트, 이중 금속 P-Well 공정을 이용하여 웨이퍼 제작하였다. 두 가산기는 2-3절에서 시뮬레이션 된 것과 비교하기 위해 8비트의 두 입력중 7개의 입력선을 하나씩으로 묶어 각각 1개의 패드에 연결되도록

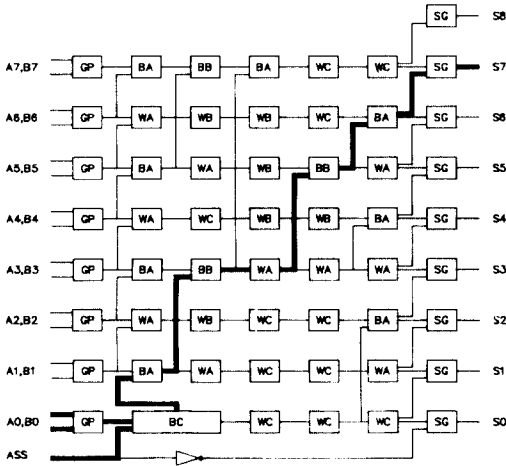
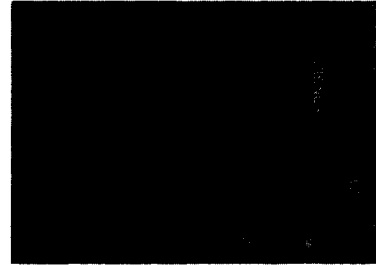


그림 7. BLC 가감산기의 Critical path
Fig. 7. Critical path of BLC adder.



(a) BLC 가감산기



(b) MTG 가산기

그림 9. 제작된 가산기의 웨이퍼 사진
Fig. 9. Photograph of fabricated wafer.

하였고, 출력선은 개별적인 8개의 패드에 연결해 주었다. 또 MTG 가산기는 Transmission Gate의 직렬 연결로 출력레벨이 정확히 0V-5V 사이가 되지 않으므로 출력 패드에 그림8의 (a)와 같이 1:4:18:90의 Tapering Factor를 갖는 출력 버퍼를 연결해주어 보다 정확한 특성을 측정할 수 있도록 하였다. 또 입력 패드에는 그림8의 (b)와 같이 ESD 현상을 방지할 수 있도록 1.2K ohm의 저항과 다이오드로 구성되는 입력보호 회로를 부가하였다. 웨이퍼 제작에는 11장의 마스크가 사용되었으며 그림9는 제작된 두 가산기의 확대 사진을 나타낸다.

2. 테스트 패턴에 의한 트랜지스터의 특성 측정
제작된 회로에 사용된 트랜지스터의 기본적인 특성을 얻기 위해 그림10과 같은 테스트 트랜지스터의 DC 특성을 Parameter Analyzer를 이용하여 측정하

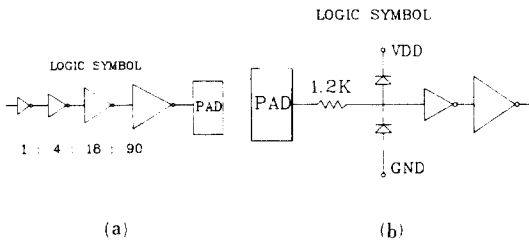


그림 8. 입출력 Pad
(a) 출력 버퍼
(b) 입력 보호 회로

Fig. 8. Input/output pad.
(a) output buffer.
(b) input protection circuit.

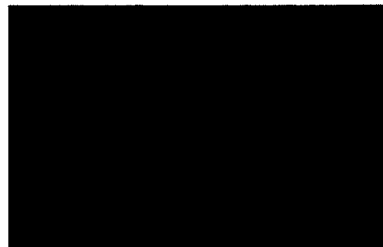


그림 10. 테스트 트랜지스터 사진 (V_{ds}=0.1V)
Fig. 10. Photograph of test transistor (V_{ds}=0.1V).

었다. 회로 설계시 사용된 트랜지스터의 폭이 NMOS의 경우 5-14 μ m, PMOS의 경우 10-22 μ m 정도이므로 이에 근사한 값을 얻기 위해 $W_n, p/L_n, p$ 가 20/2, 2/2인 테스트 트랜지스터를 측정하였다. 그림11은 NMOS, PMOS에 대해 트랜지스터 폭의 변화에 따른 $V_{gs}-I_{ds}$ 곡선의 변화를 나타내며, 이때 곡선의 기울기는 Transconductance(KP)를 나타내고, 점근선이 X축과 만나는 점은 Threshold Voltage(VTO)가 된다. 표3은 그림11의 측정 데이터로 부터 얻은 파라미터의 값을 주어진 공정 변수와 설계시 이용한 Dimension을 고려하여 계산한 값과의 비교를 나타내고 있으며, W/L비가 적어질수록 그 차이는 심해짐을 알 수 있다. 이러한 파라미터의 변화는 SPICE 시뮬레이션시에 영향을 미치게 되므로 실제 측정된 데이터 값과 시뮬레이션값의 차이에 대한 큰 요소로써 작용될 수 있게 된다.

표 3. 파라미터 값의 변화

Table 3. Variation of parameter.

	W/L	VTO(V)	KP(A/V ²)	Calculation(difference)
PMOS	20/2	-0.777	23.5E-6	21.8E-6(7.75%)
	2/2	-0.852	1.28E-6	2.18E-6(41.3%)
NMOS	20/2	0.887	50.0E-6	56.3E-6(11.25%)
	2/2	0.992	3.61E-6	5.63E-6(35.9%)

3. 동작 특성 측정

제작된 두 가산기의 정상적인 동작을 확인하기 위해 그림12와 같이 입력을 주고 LSB의 A0 입력선에 1MHZ의 펄스를 가해 BLC 가감산기의 경우 S7에서의 Sum 출력, MTG 가산기의 경우 최종단의 캐리 출력을 측정하였다. 측정 결과 그림13의 상단과 같은 입력에 대해 하단과 같은 Sum, 혹은 캐리의 출

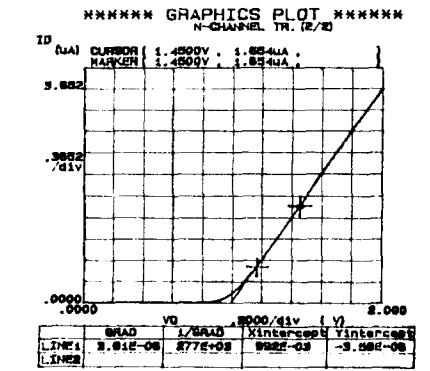
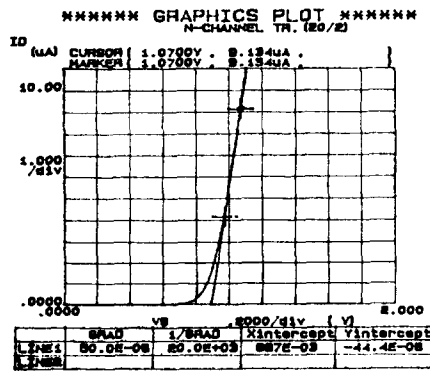
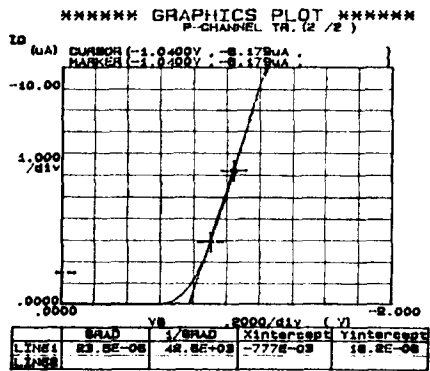
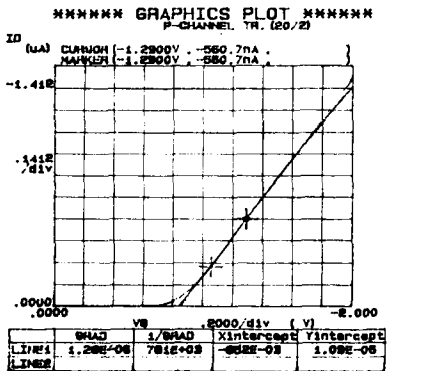


그림11. 테스트 트랜지스터의 특성 ($V_{ds}=0.1V$)
Fig. 11. Characteristic of test transistor ($V_{ds}=0.1V$).

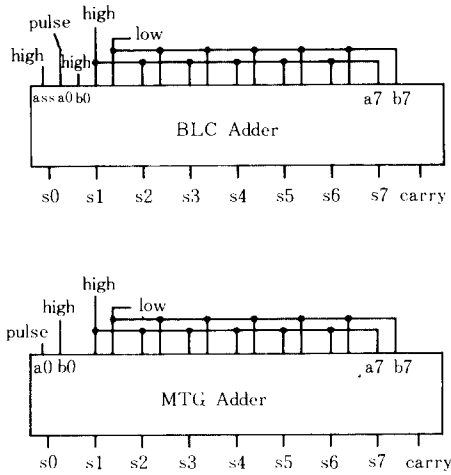
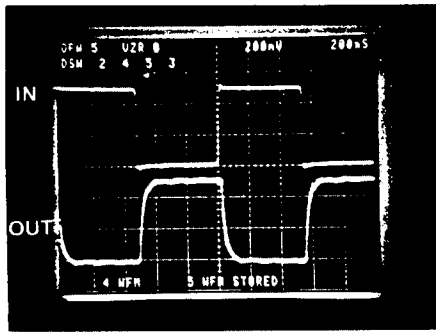
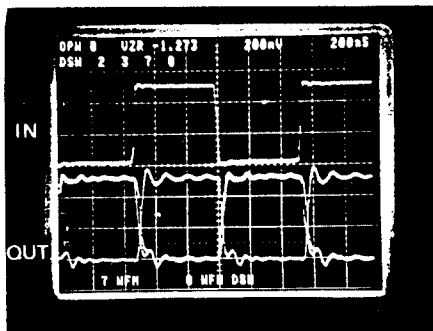


그림12. 측정조건
Fig. 12. Test condition.



(a) BLC 가감산기



(b) MTG 가산기

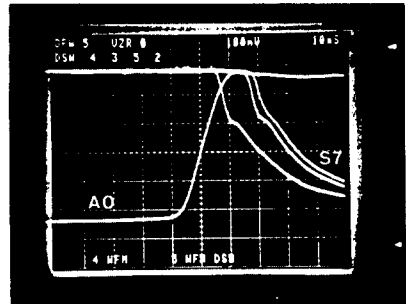
그림13. 논리동작 테스트 결과
Fig. 13. Measurement result of logical operation.

력을 얻음으로써 논리상으로 정상 동작함을 확인하였다.

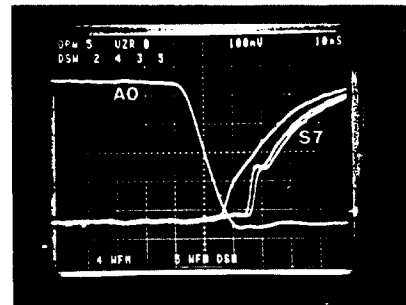
4. 지연시간 특성 측정

1) BLC 가감산기의 지연특성

그림12의 (a)와 같은 입력 조건하에서 LSB의 데이터 입력 A0에 1MHz의 펄스를 가하고 그림 7의 SG 셀 출력에 나타나는 Critical Path에 대한 지연시간을 측정하였다. 그림14에서 나타나듯이 입력의 2.5V에서 출력 S7의 2.5V까지의 상승 시간은 26nsec, 하강 지연시간은 32nsec였으며, LSB의 Sum 출력 (S0)에서 부터 Critical Path 출력 S7까지의 상승 지연시간 차이는 7nsec, 하강 지연시간 차이는 12nsec가 나왔다.



(a) 하강 지연 특성



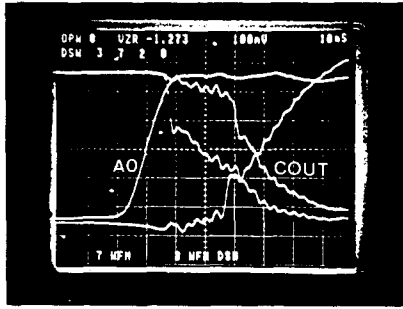
(b) 상승 지연 특성

그림14. BLC 가감산기의 지연특성
Fig. 14. Delay characteristic of BLC adder.

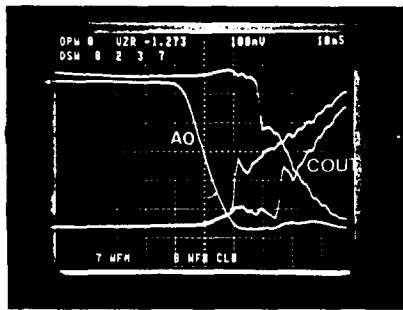
2) MTG 가산기의 지연특성

그림12의 (b)와 같은 입력 조건하에서 LSB 데이터 입력 A0에 1MHz의 펄스를 가한 상태에서 최종단의 캐리 출력에 따른 지연시간을 측정하였다.

그림15와 같이 A0에서 MSB 캐리 출력까지의 상



(a) 하강 지연 특성



(b) 상승 지연 특성

그림 15. MTG 가산기의 지연특성
Fig. 15. Delay characteristic of MTG adder.

승 지연시간은 28nsec, 하강 지연시간은 38nsec였다. 또 LSB의 Sum에서 MSB의 Sum 출력까지의 상승 지연시간 차이는 18nsec였다.

5. 비교 분석 및 응용

표4는 앞에서 설계, 제작된 두 가산기에 대한 총체적인 비교를 나타내고 있다. 이 결과로부터 8비트를 기준으로 했을 경우 BLC 가감산기는 MTG 가산기에 비해 지연시간 면에 있어서 1.2배 가량 우수한 것으로 나타났으나, 면적 면에서는 4배 가량 큰 것으로 나타났다. 그리고 MTG 가산기는 집적도와 면적 X 지연시간²의 면에서 BLC 가감산기 보다 우수한 것으로 나타났다. 또 그림 17은 비트 수의 증가에 따른 두 가산기의 면적 X 지연시간²의 변화를 나타낸다.

따라서 MTG 가산기는 특히 면적이 중요한 요소로 작용하고 임의 비트로의 확장이 요구되는 곳에 이용될 수 있으며, BLC 가감산기는 고도의 모듈적 특성을 가지며 빠른 데이터 처리가 요구되는 곳에 효과적으로 이용될 수 있다.

표 4. 두 가산기의 비교

Table 4. Comparison of two adder.

	BLC adder/subtractor	MTG adder
면적 (um ²)	665 × 452.5	716 × 102.5
트랜지스터 수	540	144
Aspect Ratio *	1.47	6.98
집적도 **	1794.5	1962.12
최대상승지연시간 (ns)	32	38
설계방식	모듈화된 매크로 셀	표준 셀
면적 × 지연시간 ² (ns ² ·mm ²)	308.13	105.98
4리계산방식	Parallel prefix computation	Ripple carry

* Aspect Ratio = 셀의 높이/셀의 넓이
** 집적도 = 사용된 트랜지스터의 수/mm².

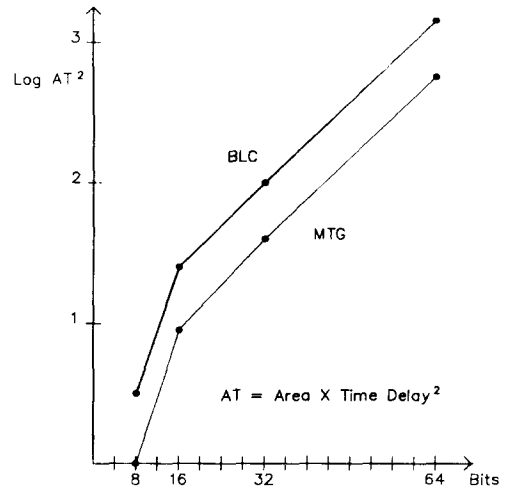


그림 16. BLC, MTG 가산기의 비교
Fig. 16. Comparison of BLC and MTG adder.

이렇게 설계된 두 가산기들은 BLC 가감산기의 경우 20MHz에서 동작되는 FFT를 위한 단일 처리요소 칩의 설계에, MTG 가산기는 12.5MHz로 동작하는 16 Point FFT 프로세서(YUSAF-16)의 설계에 각각 이용되었고, [9][10][11] 측정 결과 그에 적합함을 확인하였다.

IV. 결 론

본 논문에서는 신호처리 프로세서의 기본 연산 블록으로 이용될 수 있는 8비트 BLC 가감산기 및 MTG 가산기를 설계하고, 2μm CMOS 공정을 이용하여 이를 제작하였으며 그 지연 특성을 측정하였다.

그리고 그 결과 나타난 두 가산기의 특성을 비교, 분석함으로써 실제적인 적용 가능성을 제시하였다. 두 가지 가산기를 비교해 보면, 먼저 BLC 가산기의 경우 고도의 규칙성을 갖는 레이아웃 구조를 가지며 모듈화된 8비트 매크로 셀로 구성된다.

또 캐리의 병렬 처리에 의해 비교적 빠른 연산 속도를 갖는 반면 많은 면적을 차지한다는 단점을 갖는다. 반면 MTG 가산기는 특히 비트수가 커질 경우에 캐리 전달에 의한 지연시간이 길어지고 신호감소에 따르는 부가적인 회로가 필요하다는 단점이 있으나, Sum과 캐리의 지연시간이 유사하고 표준 셀방식에 의한 구성으로 임의 비트로의 확장이 용이하고 적은 면적을 차지한다는 장점이 있으므로 특히 집적도가 중요한 요소로 작용하는 곳에 효율적으로 적용될 수 있다.

參 考 文 獻

[1] Yih-Farn Chen, Belle Wei, "QAC: A CMOS implementation of the 32 Q adder," ICCD 85', pp. 49-52, 1985.
 [2] N. Waste, K. Eshranghian, "Principles of CMOS VLSI design-a system perspective," Addison-Wesley, 1985.
 [3] R.P. Brant, H.T. Kung, "A regular layout for parallel adders," *IEEE Trans. on Computer*, vol. C-31, no. 3, pp. 260-264, Mar. 1982.
 [4] D. Allen, S. Boon, J. Smith, "A CMOS

standard cell library for VHSIC application," Proc. of CICC, pp. 6-9, May 1986.
 [5] William M. Penny, L. Lau, "MOS integrated Circuits-Theory, Fabrication, Design and System Application of MOS LSI," Robert E. Krieger, 1972.
 [6] R.W. Cinderman, P.M. Chan, W.H. Ku, P.P. Reusens, "CUSP: A 2um CMOS digital signal processor," *IEEE J. of Solid-State Circuit*, vol. SC-20, no. 3, pp. 761-769, Jun 1985.
 [7] J.K. Ousterhout, "A switching level timing verifier for digital MOS VLSI," *IEEE Trans. on CAD*, vol. 4, no. 3, pp. 336-349, Jul 1985.
 [8] 김승환, "2um 설계 칩수에 의한 CMOS Cell Library의 설계," 연세대학교 석사학위 논문, 1987.
 [9] 이문기, "87 다목적 공동 설계(MPC) 연구 최종 연구 보고서," 연세대학교 전자공학과, 1987.
 [10] K.W. Shin, B.Y. Choi, B.R. Kim, M.K. Lee, "A processing element level implentation Mesh-Connected FFT Array," *ICVC '89 Technical Digest*, pp. 12-15, 1989.
 [11] K.W. Shin, B.Y. Choi, B.R. Kim, M.K. Lee, "A Single chip 16-point FFT processor (YUSAF-16)," *ICVC '89 Technical Digest*, pp. 133-136, 1989.

著 者 紹 介



李 承 浩 (正會員)

1966年 1月 31日生. 1988年 2月 연세대학교 전자공학과 학사학위 취득. 1988年 3월~현재 연세대학교 대학원 전자공학과 석사과정. 주관심분야는 VLSI 설계, CAD 등임.



辛 卿 旭 (正會員)

1961年 10月 26日生. 1984年 2월 한국항공대학교 전자공학과 학사학위 취득. 1986年 2월 연세대학교 대학원 전자공학과 석사학위 취득. 1986年 3월~현재 연세대학교 대학원 전자공학과 박사과정 재학중. 주관심분야는 VLSI 설계, Array Architecture, Parallel processing, DSP 칩 설계 등임.

李 文 基 (正會員) 第25卷 第9號 參照
 현재 연세대학교 전자공학과 교수