

## 계층 비트라인에 의한 최적 페이지 인터리빙 메모리

## (An Optimum Paged Interleaving Memory by a Hierarchical Bit Line)

趙 璟 衍\*, 李 柱 根\*\*

(Gyung Yun Cho and Joo Keun Lee)

## 要 約

32 비트 소형 컴퓨터가 급속히 보급되면서, 구조가 간단하고 효율이 높은 기억장치의 요구가 증대되고 있다.

본 논문에서는 DRAM 비트라인과 SRAM 기능을 가지는 레치를 인터페이스 게이트로 결합한 변형 계층 비트라인으로 메모리 블록을 구성하고, 16개의 메모리 블록을 인터리빙한 새로운 구조의 DSRAM (Dynamic Static RAM)을 제안한다. 이 DSRAM은 16개의 페이지로 동작하므로 페이지 미스율이 작고, 페이지 미스로 인한 RAS precharge 시간을 단축시켜서 최적 페이지 인터리빙을 구현하면서 기존 DRAM과 좋은 호환성을 가진다.

본 DSRAM은 소형 컴퓨터 및 고성능 기억장치가 요구되는 분야에 광범위하게 사용할 수 있다.

## Abstract

With a wide spread of 32 bit personal computers, a simple structure and high performance memory system have been highly required.

In this paper, a memory block is constructed by using a modified hierarchical bit line in which the DRAM bit line and the latch which works as a SRAM cell are integrated by an interface gate. And the new architecture memory DSRAM (Dynamic Static RAM) is proposed by interleaving the 16 memory block. Because the DSRAM works with 16 page, the page miss ratio becomes small and the RAS precharge time which is incurred by page miss is shortened. So the DSRAM can implement an optimum page interleaving and it has good compatibility to the existing DRAMs.

The DSRAM can be widely used in small computers as well as a high performance memory system.

## I. 서 론

\*正會員, 三寶컴퓨터 技術研究所  
(Research Center of Trigem Computer)

\*\*仁荷大學校 電子工學科  
(Dept. of Elec. Eng., Inha Univ.)  
接受日字: 1990年 1月 9日

최근 32 비트 소형 컴퓨터는 UNIX, OS/2등의 고성능 운영체제가 개발되면서 성능이 크게 향상됨에 따라 수요가 급속도로 확대되고 있다. 그런데 마이크로 프로세서의 속도는 25MHz 이상에 이르고 있으나, 대용량 메모리인 DRAM의 속도는 이에 크게 뒤지르

로 여러가지 메모리 관리기법이 연구되고 있다.<sup>[1-3]</sup>  
 대형 컴퓨터에서 발달한 캐시방식<sup>[4-8]</sup>이 소형 컴퓨터에 사용되면서, S. Asai는 SRAM과 DRAM을 한 개의 소자내에 집적할 필요성을 언급하였고,<sup>[2]</sup> R. E. Matick은 종래의 DRAM에 SRAM 기능을 가지는 레지스터를 첨가한 “On-chip Cache”를 제안하였으며,<sup>[9]</sup> M. Asakuro는 DRAM 블록과 SRAM 블록을 종래 캐시방식과 동일하게 집적한 “Cache DRAM”을 발표하였다.<sup>[10]</sup> 한편 메모리의 기본 구조는 비트라인이므로, 필자들은 DRAM 비트라인과 SRAM 비트라인을 동일 비트라인상에 결합한 계층 비트라인을 제안하고, 이를 이용하여 캐시 방식에 적합한 새로운 구조의 메모리인 SPDDRAM을 제안한 바 있다.<sup>[11]</sup>

또한 DRAM을 이용한 페이지 인터리빙 방식<sup>[12]</sup>은 SRAM을 사용하지 않는 간단한 구조로서 현재 소형 컴퓨터에서 많이 사용되고 있으나, 하나의 DRAM뱅크에 한 개의 페이지만 존재하므로 페이지 미스율이 크고, 페이지 미스로 인한 RAS precharge가 빈번히 발생하여 효율(performance)이 나쁘다.

본 논문에서는 페이지 인터리빙 방식의 효율을 개선하면서 기존 DRAM과 호환성을 가지는 새로운 구조의 메모리인 DSRAM(Dynamic Static RAM:가칭)을 DRAM과 SRAM 기능을 가지는 16개의 메모리블록을 인터리빙하여 구성한다. 이 DSRAM은 16개의 페이지로 동작하므로 페이지 미스율이 작고, 페이지 미스로 인한 RAS precharge에 소요되는 시간이 짧다. 또 각 메모리블록은 DRAM 비트라인과 SRAM 기능을 가지는 레지터를 인터페이스 게이트로서 결합한 변형 계층 비트라인으로 구성하여서 write back과 write through 기능을 가진다.

따라서 DSRAM은 효율이 높고, 기존 DRAM과 호환성이 좋아서 소형 컴퓨터는 물론 고성능 기억장치가 요구되는 분야에서 광범위하게 사용할 수 있다.

## II. 최적 페이지 인터리빙 방식

DRAM의 메모리 블록은 워드라인과 비트라인에 의하여 기억 셀을 선택하는 2차원 구조로서 워드라인내의 모든 기억 셀은 각 비트라인의 센스앰프에서 동시에 증폭된다. 따라서 선택된 워드라인내에서의 기억 셀은 센스앰프에서의 증폭 시간이 필요없으므로 빠르게 동작한다. 즉 워드라인이 선택된 동안에 센스앰프는 SRAM처럼 동작하여, 가상의 SRAM이 존재하게 된다.

이러한 특성을 이용한 것이 DRAM의 페이지 동작이다. 1M×1 DRAM은 등가적으로 1024×1024의 2

차원 구조이므로, 페이지 동작은 논리적으로 1K 비트의 가상의 SRAM과 1M 비트의 DRAM으로 구성된 다이렉트 맵 캐시가 된다. 이때 DRAM의 페이지 크기는 등가 캐시의 라인크기가 된다.

32 비트 컴퓨터에서 1M×1 DRAM을 사용한 페이지 인터리빙의 DRAM 뱅크에 따른 등가적인 캐시구성을 표1에 보인다.

표 1. 페이지 인터리빙 방식의 등가 캐시 구성  
 Table 1. Paged interleaving method equivalent direct map cache.

No of bank	Memory size	Cache size	Line size	Data Transfer width
1	4Mbyte	4Kbyte	4Kbyte	4Kbyte
2	8Mbyte	8Kbyte	4Kbyte	4Kbyte
3	16Mbyte	16Kbyte	4Kbyte	4Kbyte

표1에서 보는 바와 같이 페이지 인터리빙은 라인크기가 캐시 용량과 비교하여 대단히 큰 캐시로 되므로 캐시 미스율이 크다.

일반적으로 라인크기의 변화에 따른 캐시 미스율의 변화는 라인크기가 작을 때는 급격히 감소하고, 최적 라인크기에 이르면 변화폭이 둔화되며, 최적 라인크기 이상으로 커지면 캐시 미스율은 급격히 증가한다.<sup>[6,7]</sup> 또 풀어소시에티브(full associative) 맵 캐시에서 최적 라인크기는 Smith<sup>[6,7]</sup>의 연구 결과로 부터 캐시 용량이 32-1024 바이트일 때 (1)식과 같이된다.

$$OLS = 2 \cdot \lceil \log_2 CS + 3 \rceil / 2 \quad (1)$$

OLS=Optimum Line Size

CS=Cache Size

[X] is the ceiling of X

종래의 캐시 방식에서는 라인크기를 크게 하여도 이에 따라서 데이터 전송 폭을 크게할 수 없으므로 결과적으로 효율이 저하되게 된다. 따라서 128 바이트보다 큰 라인크기에서의 미스율 변화는 연구되지 않았다. 그러나 캐시의 특성상 라인크기가 대단히 크지 않은 범위내에서 미스율 변화는 (1)식으로부터 유추할 수 있다.

한편 다이렉트 맵 캐시와 풀 어소시에티브 맵 캐시의 미스율 변화는 같은 형태를 가진다.<sup>[4]</sup> 그러므로 1M 비트 DRAM을 사용하는 페이지 인터리빙 방



셀 블록과 DRAM 셀 블록 사이의 데이터 전송 폭은 64 비트로 하여 64개의 게이트가 하나의 게이트라인을 이룬다.

이러한 메모리 블록 4개로 하나의 그룹을 구성하고, 그룹내의 메모리 블록을 RA7, RA8에 의하여 선택하면 등가적으로 512\*512 DRAM 셀 블록과 4개의 SRAM 셀 라인의 구조가 된다. 또 4개의 그룹을 각각 CA8, CA9에 의하여 선택하면 1024\*1024 DRAM 셀 블록과 16개의 SRAM 셀 라인으로 해석되어 그림 1의 논리적 구조가 형성된다.

DSRAM의 클럭 발생기를 그림 3에 보인다.

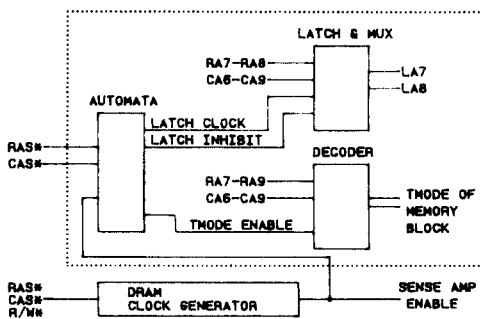


그림 3. DSRAM의 클럭 발생기  
Fig. 3. DSRAM Clock Generator.

메모리 블록 그룹에는 SRAM 라인이 16개 있으며, 이들이 RA7, RA8에 의하여 선택되어 논리적으로 4개의 SRAM 라인으로 된다. 그러나, SRAM 어드레스에는 RA7, RA8이 없으므로 각 SRAM 라인에 해당되는 RA7, RA8을 래치시켜, SRAM만을 사용할 때 이용한다. 이들 래치된 선이 LA7, LA8이다.

RAS\*는 DRAM을 동작시키고, CAS\*는 SRAM을 동작시킨다. DRAM과 SRAM의 동작 순서는 제한이 없으며 DRAM이 동작하고 SRAM이 동작하면 DRAM의 내용이 SRAM에 기억되고, 반대이면 SRAM의 내용이 DRAM에 기억된다. 이러한 동작은 메모리 블록의 인터페이스 게이트에 의하여 이루어지며 그림 4에 인터페이스 게이트 제어 신호 TMODE의 상태 천이도를 보인다.

그림 5에 DRAM 라인을 SRAM 라인에 기억시키고 소자 외부에 출력시키는 동작을 보인다.

RA9-RA0, CA9-CA6으로서 지정되는 64 비트 DRAM 라인을 CA9-CA6로서 지정되는 SRAM 라인에 기억시키고, CA5-CA0로서 선택되는 비트를 출력시킨다.

그림 6에 SRAM의 리드(read) 동작도를 보인다.

RAS\*가 '1'을 유지하여 SRAM을 리드하는 동안에 RAS precharge가 수행된다.

그림 7에 CA9-CA6으로서 지정되는 SRAM 라인을 RA9-RA0, CA9-CA6으로서 지정되는 DRAM 라인에 기억시키는 동작을 보인다.

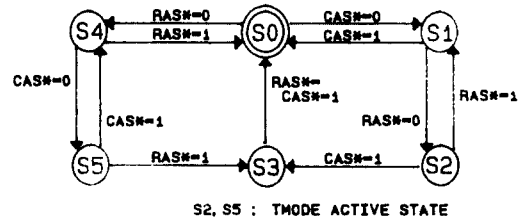


그림 4. TMODE의 상태 천이도  
Fig. 4. TMODE state action diagram.

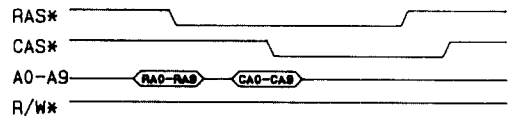


그림 5. DRAM 라인을 SRAM 라인에 기억시키고 소자의부에 출력시키는 DSRAM의 동작도  
Fig. 5. DSRAM read function time chart while moving DRAM line to SRAM line.

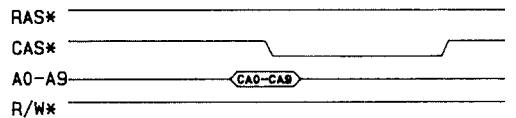


그림 6. SRAM을 리드하는 DSRAM의 동작도  
Fig. 6. SRAM read function time chart.

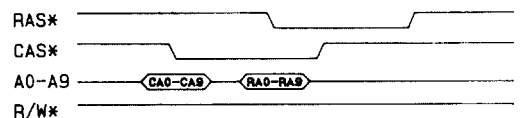


그림 7. SRAM 라인을 DRAM 라인에 기억시키는 DSRAM의 동작도  
Fig. 7. DSRAM operate timing that move SRAM line to DRAM line.

IV. 변형 계층 비트라인

DSRAM의 메모리 블록은 그림2로부터 2개의 DRAM 비트라인이 인터페이스 게이트에 의하여 하나의 SRAM 셀에 연결된 비트라인에 의하여 구성된다. 이때 SRAM 셀의 기능은 증폭된 DRAM 셀의 내용을 일시적으로 기억하는 기능만을 가지면 되므로 단순한 레치로 한다. 이러한 레치는 DRAM 비트라인과는 인터페이스 게이트를 통하여, I/O 데이터 라인과는 I/O 데이터 게이트를 통하여 각기 연결된다. 따라서 이들 인터페이스 게이트 및 I/O 데이터 게이트가 SRAM 셀 게이트의 역할을 하므로 레치가 SRAM 셀의 기능을 가진다.

즉 DSRAM의 비트라인은 2개의 DRAM 비트라인을 인터페이스 게이트에 의하여 1개의 레치에 연결한 변형된 형태의 계층 비트라인이 된다.

본 변형 계층 비트라인을 CMOS로 구성한 예를 그림8에 보인다. 그림8에서 SRAM 셀의  $T_r$  (transistor)은 DRAM 센스앰프의  $T_r$ 보다 크기를 작게 하여서 SRAM과 DRAM 상호간의 데이터 전송을 자유롭게 한다.

또 인터페이스 게이트를 오프(off)하여서 SRAM 셀만을 액세스할 수 있게 한다.

비트라인은 기억소자내에서 워드라인 단위로 동작하므로 상기 동작이 병렬로 수행되어 SRAM과 DRAM 사이의 데이터 전송 폭이 넓게 된다.

본 변형 계층 비트라인의 주요한 동작은 다음과 같다.

1) DRAM 셀의 데이터를 SRAM 셀에 기억시키고, I/O 데이터 라인에 출력시킨다.

그림9에 동작도를 보인다.

그림9에서 TPRE가 '0'이 되어 프리차지가 중지되고,  $WL_n$ 이 '1'이 되어 DRAM 셀 게이트가 동작하여 DRAM 셀에 기억된 전하가 DRAM 비트라인에 전도된다. DRAM 셀의 정전용량은 DRAM 비트라인 부유용량의 수분의 일에 불과하므로 DRAM 비트라인에는 미약한 전압 변화가 생긴다. 이어서 TSAN과 TSAP에 의하여 센스앰프에 전원이 공급되어 DRAM 비트라인의 미약한 전압 변화를 증폭시킨다. 또 인터페이스 게이트가 동작되어 SRAM 셀과 DRAM 비트라인이 연결된다. 본 동작에서 센스앰프를 구성하는  $T_r$ 은 SRAM 셀의  $T_r$ 보다 크기가 크므로, DRAM 비트라인의 데이터가 SRAM 셀에 기억된다. 다음 TCSLI이 '1'이 되어 SRAM 비트라인의 데이터가 I/O 데이터 게이트를 통하여 I/O 데이터 라인에 출력된다.

2) SRAM 셀의 데이터를 DRAM 셀에 기억시킨다.

그림10에 동작도를 보인다. 그림10에서 DRAM 비트라인의 프리차지가 멈추며 인터페이스 게이트가 동작하여 DRAM 비트라인과 SRAM 셀이 연결되어

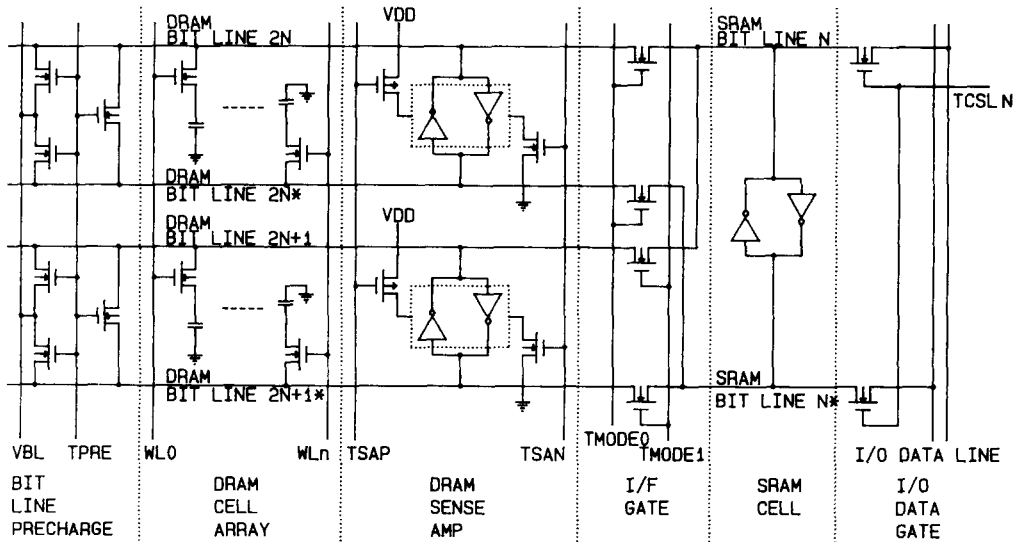


그림 8. 변형 계층 비트라인 구성의 예  
Fig. 8. An example of a modified hierarchical bit line.

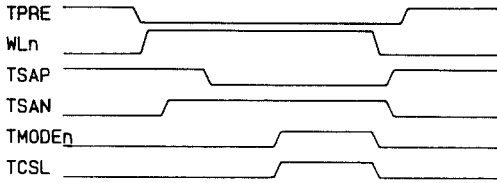


그림 9. DRAM 셀의 데이터를 SRAM 셀에 기억 시키고, 이를 I/O 데이터 라인에 출력시키는 변형 계층 비트라인의 동작도

Fig. 9. Modified hierarchical bit line operate timing that DRAM cell is stored to SRAM cell and goes to output to I/O data line.

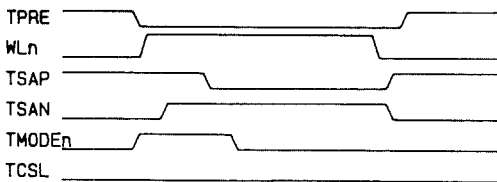


그림 10. SRAM 셀의 데이터를 DRAM 셀에 기억 시키는 변형 계층 비트라인의 동작도

Fig. 10. Modified hierarchical bit line operate timing that SRAM cell is stored to DRAM cell.

서 DRAM 비트라인의 부유용량에 SRAM 셀의 전하가 충전된다. 다음  $WLn$ 이 동작하여 DRAM 셀이 DRAM 비트라인과 연결된다. 그러나 DRAM 셀의 전하량은 SRAM 셀의 전하량보다 작으므로 DRAM 비트라인은 SRAM 셀의 데이터를 가진다. 이어서 DRAM 비트라인의 전압은 센스앰프에서 증폭되어 DRAM 셀에 기억된다.

본 동작에서 DRAM 비트라인의 부유용량에 SRAM 셀의 데이터를 기억시킨 후에 DRAM 비트라인과 SRAM 비트라인을 분리시킬 수 있다. 즉 캐시 방식에서 write through 동작으로써 DRAM 비트라인의 부유용량이 write through buffer 동작을 하여 DRAM의 저속도와 독립적으로 SRAM을 고속도로 동작시킬 수 있다. 또 메모리내에서 비트라인은 워드라인 단위로 병렬로 동작하여 SRAM 워드라인이 DRAM 워드라인에 병렬로 기억되므로 write back 동작도 된다.

3) SRAM 셀의 데이터를 I/O 데이터 라인에 출력시킨다.

인터페이스 게이트를 오픈하여 SRAM 비트라인과

DRAM 비트라인을 분리하여 각각 독립적으로 동작시킬 수 있다.

본 변형 계층 비트라인은 1.2 micron design rule을 적용하여 SPICE로 시뮬레이션하여 동작을 확인하였다. 부록에 “SRAM 셀의 데이터를 DRAM 셀에 기억시키는 동작”의 SPICE 시뮬레이션을 보인다.

### V. DSRAM의 성능 검토 및 결론

본 논문에서 제안한 DSRAM은 기존 DRAM과 호환성이 좋게 DRAM과 SRAM을 한 개의 소자에 집적시켜 확장이 용이하고, 사용 분야가 넓으며, 높은 효율의 기억장치 구성에 적합한 메모리로 다음과 같은 성능을 가진다.

#### 1. 효율이 높다

DSRAM을 32 비트 소형 컴퓨터에 적용하면, 다이렉트 랙, 캐시 용량 4K-16K 바이트, 라인크기 256 바이트의 캐시가 구성된다. 이러한 캐시의 미스율은 Smith<sup>[6,7]</sup>와 Kaplan<sup>[4]</sup>의 연구에 의하여 약 0.03-0.08로 계산된다. 이것은 소형 컴퓨터에서 많이 이용되는 캐시방식<sup>[3]</sup>의 미스율 0.124보다 상당히 낮아서 효율이 높다.

#### 2. Write through와 write back 모두를 사용할 수 있다.

DSRAM은 데이터 전송 폭이 넓고, 매핑이 소자내에서 이루어지므로 write back이 적합하며, CPU 특성과 워드크도에 따라서 write through를 적용할 수 있다. 그러나 write through에서는 DRAM에 기억시키는 동안 또 다른 write 동작이 발생되거나 캐시 미스가 발생되면 대기상태를 가져 효율저하가 발생할 수 있다. 이 문제는 DSRAM 뱅크를 하위 어드레스버스로 인터리빙함으로써 방지한다.

#### 3. 제어기의 구조가 간단하다

DSRAM 제어기는 라인크기가 크기 때문에 캐시 태그의 양이 작고, 매핑이 소자 내부에서 이루어지고 있으므로 구조가 간단하다.

본 논문에서 제안한 DSRAM의 성능을 평가하기 위하여 32 비트 소형 컴퓨터에서 많이 사용되는 Intel의 82385 캐시 제어기 및 페이지 인터리빙 방식과의 비교를 표 2에 보인다. 표 2에서 본 DSRAM이 성능이 우수하고, 구조가 간결함을 알 수 있다.

#### 4. 기존 DRAM과 호환성이 좋다.

DSRAM의 외부 구조 및 동작 방법은 기존 DRAM과 호환성이 높아서 사용범위가 넓다. 표 3에 DSRAM

표 2. 제안된 DSRAM과 기존 방식의 비교

Table 2. Comparison table between proposed DSRAM and other method.

	DSRAM	INTEL 82385	Paged Interleaving
Memory Device	DSRAM	DRAM and SRAM	DRAM
Cache Size	4K byte/bank	32K byte	4K byte/bank
Main memory Size	4M byte/bank	-	4M byte/bank
Cache miss ratio	0.03 - 0.08	>0.124	0.2 - 0.4
Mapping	Direct	2 way set assoc	Direct
Line Size	256 byte	4 byte	4096 byte
Sector Size	-	32 byte	-
No. of tag word	16 word/bank	1024 word	1 word/bank
Write Policy	W. B. / W. T.	W. T.	Page mode write

W. B. = Write back W. T. = Write through

과 기존 DRAM의 비교표를 보인다.

DSRAM은 SRAM의 read, write 기능과 SRAM을 DRAM에 기억시키는 기능을 가진다. 이들 기능을 제외하면 DRAM과 완전한 호환성을 가지며, 이들 기능을 이용하면 효율이 높고, 구조가 단순한 기억장치를 구성할 수 있어 효율이 높다.

또, 기존 DRAM과 메모리 블록 구성 및 제조공정

표 3. DSRAM과 DRAM의 비교표

Table 3. Comparison table between DSRAM and DRAM.

	1M*1 DSRAM	1M*1 DRAM
Pin out	A0-A9 : Address bus RAS* : Control bus CAS* R/W* Din : Data bus Dout	A0-A9 : Address bus RAS* : Control bus CAS* R/W* Din : Data bus Dout
Function	Read/Write DRAM Read modify write DRAM Page mode read/write DRAM Hidden refresh Move SRAM to DRAM Read/Write SRAM	Read/Write Read modify write Page mode read/write Hidden refresh CAS*-before-RAS* refresh

이 동일하므로 4M 비트, 16M 비트 DSRAM으로 확장이 용이하다.

본 DSRAM은 현용 소형 컴퓨터에서 사용되고 있는 캐시 방식과 페이지 인터리빙 방식의 문제점을 해결했으므로, 저속도, 저효율의 DRAM을 대체하여 소형 컴퓨터에는 물론이고, 산업 및 통신 장비등 고성능 기억장치가 요구되는 분야에 광범위하게 이용할 수 있을 것으로 기대된다.

SPICE 시뮬레이션에 의하여 변형 계층 비트 라인의 동작을 검증하여 소정의 결과를 만족하는 것을 확인하였고, 금후에는 반도체 회사에서 DSRAM을 실제 제작하는 것을 기대한다.

부록 : 변형 계층 비트라인의 SPICE 시뮬레이션  
Appendix : SPICE simulation of a modified hierarchical bit line

INPUT CONDITION:

VBL DC 2.5  
VWLN PULSE(0 7 17N 3N 3N 50N 200N)  
VSAP PULSE(5 0 27N 3N 3N 45N 200N)  
VMODE1 DC 0.0  
VPREBT PULSE(5 0 20N 3N 3N 58N 200N)  
VSAN PULSE(0 5 22N 3N 3N 50N 200N)  
VMODE0 PULSE(0 5 10N 3N 3N 15N 200N)  
VCSL PULSE(0 5 60N 3N 3N 15N 200N)

\* : DRAM CELL  
+ : DRAM BIT LINE      = : DRAM BIT LINE\*  
\$ : SRAM BIT LINE      0 : SRAM BIT LINE\*

TIME	DRAM CELL	DRAM BIT LINE	DRAM BIT LINE*	SRAM BIT LINE	SRAM BIT LINE*	0.0	1.25	2.5	3.75	5.0
-.000E+00	5.000E+00	2.500E+00	2.500E+00	2.336E-11	5.000E+00	\$	.	.	.	.
1.000E-09	5.000E+00	2.500E+00	2.500E+00	-3.815E-07	5.000E+00	\$	.	.	.	.
2.000E-09	5.000E+00	2.500E+00	2.500E+00	3.423E-08	5.000E+00	\$	.	.	.	.
3.000E-09	5.000E+00	2.500E+00	2.500E+00	4.467E-09	5.000E+00	\$	.	.	.	.
4.000E-09	5.000E+00	2.500E+00	2.500E+00	3.338E-08	5.000E+00	\$	.	.	.	.
5.000E-09	5.000E+00	2.500E+00	2.500E+00	4.046E-08	5.000E+00	\$	.	.	.	.
6.000E-09	5.000E+00	2.500E+00	2.500E+00	1.974E-08	5.000E+00	\$	.	.	.	.
7.000E-09	5.000E+00	2.500E+00	2.500E+00	1.549E-08	5.000E+00	\$	.	.	.	.
8.000E-09	5.000E+00	2.500E+00	2.500E+00	3.219E-08	5.000E+00	\$	.	.	.	.
9.000E-09	5.000E+00	2.500E+00	2.500E+00	3.302E-08	5.000E+00	\$	.	.	.	.
1.000E-08	5.000E+00	2.500E+00	2.500E+00	1.368E-08	5.000E+00	\$	.	.	.	.
1.100E-08	5.000E+00	2.397E+00	2.493E+00	1.349E-01	5.021E+00	.\$	.	+	.	.
1.200E-08	5.000E+00	1.730E+00	2.492E+00	5.910E-01	5.014E+00	.	.	.	.	.
1.300E-08	5.000E+00	1.004E+00	2.722E+00	6.932E-01	4.442E+00	.	.	.	.	.
1.400E-08	5.000E+00	6.533E-01	2.988E+00	4.681E-01	4.279E+00	.	.	.	.	.
1.500E-08	5.000E+00	4.182E-01	3.122E+00	2.942E-01	4.522E+00	.	.	.	.	.
1.600E-08	5.000E+00	2.743E-01	3.211E+00	1.913E-01	4.653E+00	.	.	.	.	.
1.700E-08	5.000E+00	1.685E-01	3.289E+00	1.165E-01	4.749E+00	.	.	.	.	.
1.800E-08	4.577E+00	1.138E-01	3.348E+00	7.803E-02	4.806E+00	.	.	.	.	.
1.900E-08	1.462E+00	1.168E-01	3.399E+00	7.800E-02	4.849E+00	.	.	.	.	.
2.000E-08	3.698E-01	1.214E-01	3.440E+00	8.224E-02	4.878E+00	.	.	.	.	.
2.100E-08	2.429E-01	9.131E-02	3.472E+00	6.222E-02	4.898E+00	.	.	.	.	.
2.200E-08	1.618E-01	6.277E-02	3.499E+00	4.283E-02	4.915E+00	.	.	.	.	.
2.300E-08	1.103E-01	4.230E-02	3.523E+00	2.903E-02	4.928E+00	.	.	.	.	.
2.400E-08	7.332E-02	2.280E-02	3.544E+00	1.573E-02	4.939E+00	.	.	.	.	.
2.500E-08	4.629E-02	1.260E-02	3.562E+00	8.658E-03	4.947E+00	.	.	.	.	.
2.600E-08	2.882E-02	5.904E-03	3.578E+00	4.055E-03	4.954E+00	.	.	.	.	.
2.700E-08	1.695E-02	3.481E-03	3.593E+00	2.392E-03	4.960E+00	.	.	.	.	.
2.800E-08	2.105E-02	1.577E-03	4.834E+00	8.213E-08	5.000E+00	.	.	.	.	.
2.900E-08	3.241E-03	-6.905E-03	3.685E+00	-9.496E-03	4.987E+00	.	.	.	.	.
3.000E-08	-1.633E-03	-6.882E-03	3.881E+00	-1.066E-02	4.988E+00	.	.	.	.	.
3.100E-08	-3.954E-03	-4.729E-03	4.069E+00	-8.043E-03	4.988E+00	.	.	.	.	.
3.200E-08	-1.937E-03	3.222E-03	4.218E+00	1.228E-05	5.000E+00	.	.	.	.	.
3.300E-08	6.704E-04	3.945E-03	4.339E+00	-9.661E-07	5.000E+00	.	.	.	.	.
3.400E-08	2.235E-03	3.806E-03	4.442E+00	-3.834E-07	5.000E+00	.	.	.	.	.
3.500E-08	2.945E-03	3.552E-03	4.530E+00	5.375E-07	5.000E+00	.	.	.	.	.
3.600E-08	3.144E-03	3.211E-03	4.602E+00	-6.798E-08	5.000E+00	.	.	.	.	.
3.700E-08	3.114E-03	2.851E-03	4.666E+00	-2.621E-07	5.000E+00	.	.	.	.	.
3.800E-08	2.923E-03	2.488E-03	4.720E+00	3.688E-07	5.000E+00	.	.	.	.	.
3.900E-08	2.645E-03	2.156E-03	4.764E+00	8.513E-08	5.000E+00	.	.	.	.	.
4.000E-08	2.347E-03	1.841E-03	4.803E+00	-2.818E-07	5.000E+00	.	.	.	.	.
4.100E-08	2.050E-03	1.577E-03	4.834E+00	8.213E-08	5.000E+00	.	.	.	.	.
4.200E-08	1.770E-03	1.354E-03	4.862E+00	2.107E-07	5.000E+00	.	.	.	.	.
4.300E-08	1.517E-03	1.130E-03	4.884E+00	-6.655E-08	5.000E+00	.	.	.	.	.
4.400E-08	1.294E-03	9.530E-04	4.903E+00	-9.428E-08	5.000E+00	.	.	.	.	.
4.500E-08	1.097E-03	8.021E-04	4.919E+00	1.077E-07	5.000E+00	.	.	.	.	.
4.600E-08	9.264E-04	6.733E-04	4.932E+00	1.210E-07	5.000E+00	.	.	.	.	.
4.700E-08	7.806E-04	5.648E-04	4.943E+00	-3.940E-08	5.000E+00	.	.	.	.	.
4.800E-08	6.561E-04	4.729E-04	4.953E+00	-5.015E-08	5.000E+00	.	.	.	.	.
4.900E-08	5.510E-04	3.963E-04	4.960E+00	7.695E-08	5.000E+00	.	.	.	.	.
5.000E-08	4.618E-04	3.314E-04	4.967E+00	8.096E-08	5.000E+00	.	.	.	.	.
5.100E-08	3.870E-04	2.772E-04	4.972E+00	-2.839E-08	5.000E+00	.	.	.	.	.
5.200E-08	3.237E-04	2.315E-04	4.977E+00	-3.121E-08	5.000E+00	.	.	.	.	.
5.300E-08	2.711E-04	1.938E-04	4.981E+00	6.406E-08	5.000E+00	.	.	.	.	.
5.400E-08	2.265E-04	1.618E-04	4.984E+00	7.101E-08	5.000E+00	.	.	.	.	.
5.500E-08	1.895E-04	1.351E-04	4.987E+00	-3.363E-09	5.000E+00	.	.	.	.	.
5.600E-08	1.577E-04	1.125E-04	4.989E+00	-7.356E-10	5.000E+00	.	.	.	.	.
5.700E-08	1.300E-04	9.347E-05	4.991E+00	7.281E-08	5.000E+00	.	.	.	.	.
5.800E-08	1.097E-04	7.818E-05	4.992E+00	2.565E-08	5.000E+00	.	.	.	.	.
5.900E-08	9.187E-05	6.548E-05	4.994E+00	2.461E-08	5.000E+00	.	.	.	.	.
6.000E-08	7.669E-05	5.465E-05	4.995E+00	2.430E-08	5.000E+00	.	.	.	.	.
6.100E-08	6.419E-05	4.574E-05	4.995E+00	1.295E-01	5.021E+00	.	.	.	.	.
6.200E-08	5.372E-05	3.827E-05	4.996E+00	6.514E-01	5.037E+00	.	.	.	.	.
6.300E-08	4.491E-05	3.199E-05	4.997E+00	1.147E+00	4.184E+00	.	.	.	.	.
6.400E-08	3.762E-05	2.680E-05	4.997E+00	1.053E+00	3.499E+00	.	.	.	.	.
6.500E-08	3.144E-05	2.240E-05	4.998E+00	7.974E-01	3.886E+00	.	.	.	.	.
6.600E-08	2.634E-05	1.877E-05	4.998E+00	5.697E-01	4.317E+00	.	.	.	.	.
6.700E-08	2.209E-05	1.574E-05	4.998E+00	3.999E-01	4.536E+00	.	.	.	.	.
6.800E-08	1.841E-05	1.311E-05	4.999E+00	2.679E-01	4.666E+00	.	.	.	.	.
6.900E-08	1.545E-05	1.101E-05	4.999E+00	1.918E-01	4.730E+00	.	.	.	.	.
7.000E-08	1.284E-05	9.152E-06	4.999E+00	1.156E-01	4.785E+00	.	.	.	.	.
7.100E-08	-1.893E-02	-1.684E-03	4.999E+00	7.628E-02	4.822E+00	.	.	.	.	.
7.200E-08	-4.545E-02	-3.375E-03	4.999E+00	5.084E-02	4.850E+00	.	.	.	.	.
7.300E-08	-7.783E-02	-4.458E-03	4.999E+00	3.105E-02	4.873E+00	.	.	.	.	.
7.400E-08	-8.661E-02	-3.424E-03	5.000E+00	2.019E-02	4.891E+00	.	.	.	.	.
7.500E-08	-8.660E-02	-2.133E-03	5.000E+00	1.283E-02	4.905E+00	.	.	.	.	.
7.600E-08	-8.659E-02	-6.857E-03	5.005E+00	8.311E-03	4.916E+00	.	.	.	.	.
7.700E-08	-8.658E-02	-1.072E-02	5.011E+00	5.284E-03	4.926E+00	.	.	.	.	.
7.800E-08	-8.658E-02	-1.453E-02	5.015E+00	3.378E-03	4.934E+00	.	.	.	.	.
7.900E-08	-8.657E-02	-1.343E-02	5.014E+00	-1.001E-02	4.985E+00	.	.	.	.	.
8.000E-08	-8.656E-02	-1.304E-02	5.014E+00	-1.461E-02	4.988E+00	.	.	.	.	.
8.100E-08	-8.655E-02	-1.293E-02	5.014E+00	-4.886E-03	4.989E+00	.	.	.	.	.
8.200E-08	-8.655E-02	1.319E-02	5.006E+00	2.386E-05	5.000E+00	.	.	.	.	.
8.300E-08	-8.654E-02	2.672E-01	4.852E+00	1.413E-07	5.000E+00	.	.	.	.	.
8.400E-08	-8.653E-02	8.656E-01	4.446E+00	2.870E-08	5.000E+00	.	.	.	.	.
8.500E-08	-8.652E-02	1.492E+00	3.838E+00	2.527E-08	5.000E+00	.	.	.	.	.
8.600E-08	-8.652E-02	1.890E+00	3.365E+00	2.562E-08	5.000E+00	.	.	.	.	.
8.700E-08	-8.651E-02	2.157E+00	3.022E+00	2.532E-08	5.000E+00	.	.	.	.	.
8.800E-08	-8.650E-02	2.320E+00	2.802E+00	2.542E-08	5.000E+00	.	.	.	.	.
8.900E-08	-8.649E-02	2.405E+00	2.680E+00	2.519E-08	5.000E+00	.	.	.	.	.
9.000E-08	-8.648E-02	2.453E+00	2.605E+00	2.509E-08	5.000E+00	.	.	.	.	.
9.100E-08	-8.648E-02	2.481E+00	2.557E+00	2.515E-08	5.000E+00	.	.	.	.	.
9.200E-08	-8.647E-02	2.491E+00	2.537E+00	2.515E-08	5.000E+00	.	.	.	.	.
9.300E-08	-8.646E-02	2.498E+00	2.519E+00	2.514E-08	5.000E+00	.	.	.	.	.
9.400E-08	-8.645E-02	2.500E+00	2.512E+00	2.511E-08	5.000E+00	.	.	.	.	.
9.500E-08	-8.645E-02	2.501E+00	2.507E+00	2.509E-08	5.000E+00	.	.	.	.	.
9.600E-08	-8.644E-02	2.501E+00	2.505E+00	2.498E-08	5.000E+00	.	.	.	.	.
9.700E-08	-8.643E-02	2.501E+00	2.503E+00	2.487E-08	5.000E+00	.	.	.	.	.
9.800E-08	-8.642E-02	2.501E+00	2.502E+00	2.475E-08	5.000E+00	.	.	.	.	.
9.900E-08	-8.642E-02	2.501E+00	2.501E+00	2.463E-08	5.000E+00	.	.	.	.	.
1.000E-07	-8.641E-02	2.500E+00	2.501E+00	2.379E-08	5.000E+00	.	.	.	.	.



## 參 考 文 獻

- [1] Douglas W. Clark, Butler W. Lampson, and Renneth A. Pier, "The memory system of a high performance personal computer," *IEEE Transaction on Computers*, vol. C-30, no. 10, pp. 715-733, Oct. 1981.
- [2] Shojiro Asai, "Semiconductor memory trends," *Proceedings of the IEEE*, vol. 74, no. 12, pp. 1623-1635, Dec. 1986.
- [3] Donald B. Alpert, and Michael J. Flynn, "Performance trade-offs for microprocessor cache memories," *IEEE Micro*, pp. 44-53, Aug. 1988.
- [4] K.R. Kaplan, and R.V. Winder, "Cache based computer system," *Computer*, pp. 30-36, Mar. 1973.
- [5] J. Bell, D. Casasent, and C.G. Bell, "An investigation of alternative cache organizations," *IEEE Transactions on Computer*, vol. C-23, pp. 346-351, Apr. 1974.
- [6] Alan Jay Smith, "Design of CPU cache memories," *Proceedings TENCON 87, IEEE region 10 conference*, pp. 1016-1025, 1987.
- [7] Alan Jay Smith, "Line (block) size choice for CPU cache memories," *IEEE Transactions on computer*, vol. C-36, no. 9, pp. 1063-1075, Sep. 1987.
- [8] Brett Glass, "Caching in on memory systems," *Byte*, pp. 281-285, Mar. 1989.
- [9] Richard E. Matick, "Distributed, on-chip cache," *United States Patent* no. 4, 577, 293, Mar. 1986.
- [10] Mikio Asakuro *et al.*, "An experimental 1 Mb cache DRAM with ECC," *Symposium on VLSI circuits digest of technical papers*, pp. 43-44, May 1989.
- [11] Joo Keun Lee, Gyung Yun Cho, and Chan Ghon Park, "Single Port Dual RAM (SPD-RAM) for the Optimum Cache Memory System," *JTC-CSCC'89*, pp. 312-317, Jun. 1989.
- [12] Chips and technology Inc., *82C322 memory controller*, V1.29, pp. 28-57, 1988.
- [13] Intel, *Microprocessor and Peripheral Handbook*, volume 1-microprocessor, pp. 4 292-4 353, 1989.

## 著 者 紹 介



趙 璪 衍 (正會員)

1955年 2月 19日生. 1981年 인하대학교 전자공학과 학사. 1983年 인하대학교 전자공학과 공학석사 학위 취득. 1990年 인하대학교 전자공학과 공학박사 학위 취득.

현재~주식회사 삼보컴퓨터 기술연구소 책임연구원. 주관심분야는 컴퓨터 구조, 특수 메모리 및 시스템 소프트웨어 등임.

李 柱 根 (正會員) 第26卷 第4號 參照

현재 인하대학교 전자공학과 교수