

CODE MOSFET 소자의 제작 및 특성

(The Fabrication and Characterization of CODE MOSFET)

宋 在 焮*, 金 基 洪**, 朴 榮 俊***, 閔 弘 植***

(Jai Hyuk Song, Gi Hong Kim, Young June Park, and Hong Shick Min)

要 約

MOSFET 소자가 작아짐에 따라 일어나는 DIBL (drain induced barrier lowering) 현상을 줄이기 위해 기판의 농도가 증가하여야 한다. 이 기판의 농도의 증가는 소스와 드레인 영역의 접합 용량과 고온전자에 의한 기판 전류를 증가시켜 소자의 속도 특성과 신뢰도를 나쁘게 한다.

이 논문에서는 이러한 문제점을 해결하기 위해 소자의 채널의 도핑만 증가시키는 새로운 소자의 구조(CODE; channel only dopant enhancement)와 그 제작법을 제시하였고, 제작된 소자를 기존 소자의 특성과 비교하여 이 소자가 DIBL, 기판 전류와 소스, 드레인 접합 용량을 감소시킴을 보였다.

Abstract

With the MOS device scaling down, the substrate concentration must increase in order to avoid punchthrough leakage current due to the DIBL (Drain Induced Barrier Lowering) effect. However the enhancement of the substrate concentration increases source, drain junction capacitances and substrate current due to hot electron, degrading the speed characteristics and reliability of the MOS devices.

In this paper, a new device, called CODE (Channel Only Dopant Enhancement) MOS, and its fabrication are proposed. By comparing the fabricated CODE MOSFET with the conventional device, the improvements on DIBL, substrate current and source, drain junction capacitances are realized

I. 서 론

MOSFET 소자가 소형화 (scaling down) 되면서, 채널의 길이가 짧은 소자의 특성이 정상적인 MOS 소자의 특성을 가지기 위하여 필요한 MOSFET의 소자 파라미터들이 제안되었는데 이를 MOS 소자의 스

케일링 이론이라고 부른다.^[1] 이 이론에 따르면 기판 농도(N_A)는 채널의 길이(L)가 짧아짐에 비례해서 증가해야 한다. 즉 채널길이가 L/s만큼 짧아졌다면 기판농도는 sN_A 로 증가되어야 한다. 이는 트랜지스터의 문턱 전압(V_T) 조절 뿐만 아니라 MOS소자의 소스(source)와 드레인(drain)이 가까워지더라도 드레인 전압에 의해 형성되는 전계가 소스의 전위장벽에 영향(Drain Induced Barrier Lowering, DIBL)을 주지 않기 위해서이다.

실제로는 반도체 기판의 농도를 전체적으로 증가시키지 아니하고, 반도체 표면 부분에만 농도를 증가시키게 되는데 이는 소스와 드레인 영역의 접합용량(junction capacitance)을 증가시키지 않고 back

*準會員, ***正會員, 서울대학교 電子工學科
(Dept. of Elec. Eng., Seoul Nat'l Univ.)

**正會員, 西江대학교 電子工學科
(Dept. of Elec. Eng., Sogang Univ.)

接受日字: 1990年 4月 23日

bias 영향에 의한 V_T 의 증가를 줄이기 위함이다. 보통 반도체 표면에만 농도를 증가시키는 방법으로 이온 주입(Implantation, I/I)을 행하게 되는데 이를 흔히 V_T I/I로 부른다. 그러나 표면 근처에만 농도를 높여줄 경우, DIBL 현상이 표면 전계를 통해서만이 아니고, 기판을 통해서도 일어나게 되어¹²⁾ 채널 깊이 농도를 증가시키는 일이 소자의 최적화를 위하여 필요하게 되었다.¹³⁾ 이를 위한 공정을 deep V_T I/I로 부르기로 하자. 이러한 추세는 결국 소스와 드레인 접합 부근에서의 용량을 증가시키게 될 것이다. 또한 MOS 소자의 스케일링에서 소스와 드레인의 접합 깊이가 작아짐을 고려하면 이러한 문제는 더욱 커질 것이라는 점을 짐작할 수가 있다.

따라서 이러한 점을 개선하기 위해 본 논문에서는 CODE(channel only dopant enhancement) MOSFET 구조를 창안하고 이 구조를 가지는 NMOSFET을 제작하여 종래의 소자와의 특성을 비교, 분석한 결과를 발표함이 목적이다. II 장에서는 소자의 구조 및 제작 순서를 간단히 설명하고 III 장에서는 CODE MOSFET과 같이 제작한 종래의 MOSFET 과의 전기적 특성을 비교하고, IV 장에서는 검토 그리고 결론을 맺고자 한다.

II. CODE NMOSFET의 구조 및 제작

서론에서 설명한 바와 같이 소스와 드레인 사이의 채널 영역에만 농도를 높여주기 위해서 그림 1 과 같

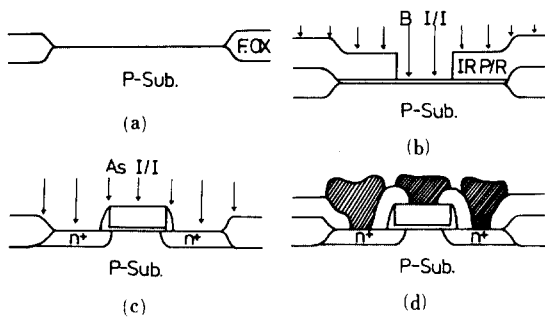


그림 1. CODE N-MOSFET 공정 순서도

- (a) LOCOS 소자 격리
- (b) IR 기술을 이용한 CODE 이온 주입
- (c) 게이트 및 N⁺소스/드레인 형성
- (d) 접촉창 및 금속 형성

Fig. 1. CODE N-MOSFET process sequence.
 (a) LOCOS isolation,
 (b) CODE implantation using IR technique,
 (c) Gate and N⁺ S/D formation,
 (d) Contact and metal formation.

은 공정을 선택하였다. 그림에서 보이지 않은 공정의 순서는 종래의 공정과 일치하기 때문에 생략하였다.

즉 LOCOS 방법으로 소자 격리를 위한 두꺼운 산화막을 기른 후(그림 1(a)), Image Reversal 기술(IR 기술)¹⁴⁾을 사용하여 그림 1(b)와 같이 게이트 아래 부분만을 열어준다. 이 때에는 게이트 마스크를 그대로 사용하면 되므로, 따로 이 공정을 위한 마스크가 필요없음은 물론이다. 그림에서 보는 바와 같이 이를 마스크로 하여, V_T 이온 주입을 행한다(이를 CODE I/I라 하자). 이 때 벌크를 통한 punch-through 현상을 방지하기 위해 100 keV의 에너지를 가지는 깊은 V_T 이온주입이 가능하며 이 내용에 대해서는 표 1에서 정리하였다. 표 1에서 세가지 소자를 보이고 있는데 종래의 소자(Conventional이라 표시)는 CODE 방법을 사용하지 않고 Active 영역 전체에 BF_2 이온을 $2.3 \times 10^{12}/cm^2$ 의 dose, 50 keV의 에너지로 주입한 경우이고, Deep이라고 표시한 소자는 BF_2 이온을 50 keV의 에너지와 $8.5 \times 10^{11}/cm^2$ 의 dose로 주입한 후, B 이온을 $3 \times 10^{12}/cm^2$ 만큼 100keV로 주입한 경우, CODE라 표시한 소자는 Deep 소자와 같으면서 CODE 기술, 즉 채널 부분에만 V_T I/I를 행해준 기술을 사용한 소자이다.

소자 공정	Conventional	Deep	CODE
CODE 적용 여부	×	×	○
얕은 V_T I/I	BF_2 $2.3 \times 10^{12}/cm^2$ 50 keV	BF_2 $8.5 \times 10^{11}/cm^2$ 50 keV	Deep과 같음
깊은 V_T I/I	×	B $3.0 \times 10^{12}/cm^2$ 100 keV	Deep과 같음
V_T ($V_{sub}=0$, $L=25\mu m$)	0.73V	0.82V	0.72V

V_T 조절용 I/I가 끝난 후 첫 게이트 산화막을 식각해 내고 180 Å 정도의 게이트 산화막을 기른 후, N⁺ 폴리실리콘을 형성하고 CVD 산화막을 3000 Å 정도로 증착한 후, RIE 식각을 행하여 2500 Å 정도의 sidewall을 남긴다. 이온 주입 방법으로 arsenic 이온을 $5.5 \times 10^{15}/cm^2$ dose와 80keV의 에너지를 사용, 소스와 드레인을 형성시킨 후, 2000 Å의 CVD 산화막, 8000 Å의 BPSG막을 증착한 후, 930°C에서 20분간 reflow 한 다음 contact과 금속 공정을 행하면 그림 1(d)의 소자가 완성이 된다.

CMOS 공정에 적용시에는 PMOS의 경우에도 gate 아래에만 V_T 이온 주입이 행해지므로, PMOS의 특성은 CODE 공정에 의한 소자의 특성이나 종래의 공

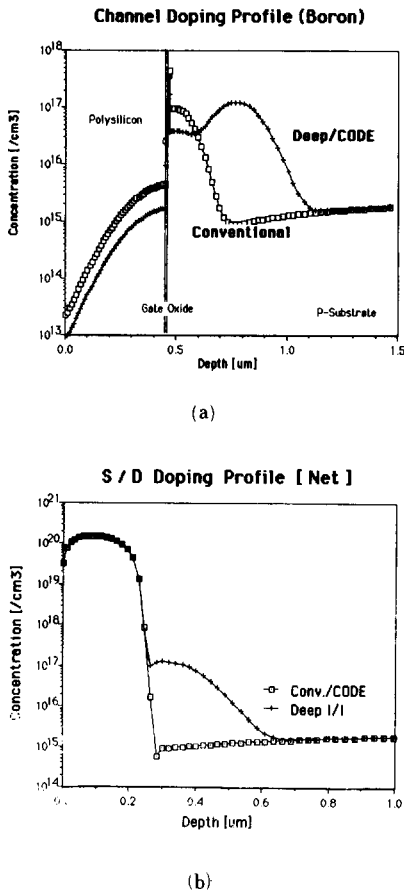


그림 2. SUPREM으로 분석한 (a)채널과 (b)소스-드레인 영역의 doping profile (a)에서 Net는 $|N_D - N_A|$ 를 나타낸다.
 Fig. 2. Doping profiles of (a) Channel and, (b) S/D region from SUPREM simulation.

정에 의한 소자의 특성이 변화가 없을 것으로 생각된다.

그림 2는 공정 시뮬레이터인 SUPREM III로써 표 1의 각 소자에 대해 모의 실험한 채널 영역에서의 보론의 농도 분포(a)와 소스-드레인 영역의 arsenic, boron의 농도 분포(b)를 보이고 있다. 그림(a)에서 보듯이 채널 영역에서 V_T 에 의한 보론 농도 최대치의 깊이가 CODE와 Deep 소자의 경우는 실리콘 표면에서 약 $0.35\mu\text{m}$ 정도에서 생기고, Conventional 소자의 경우는 표면에서 최대이고 $0.2\mu\text{m}$ 정도의 깊이에서 기판 농도와 비슷해짐을 알 수 있다. 이러한 V_T /I에 의한 긴 채널 길이를 가지는 MOSFET의 문턱전압은 표 1에서 보듯이 Conventional, Deep, CODE의

세 소자에 대하여 거의 일정하다.

또한 그림(b)에서 보는 바와 같이 CODE MOSFET는 소스와 드레인 접합 부근에서의 보론의 농도가 Conventional 소자와 비슷한 것을 알 수가 있다. 이는 Conventional 소자의 채널 도핑 증가를 위한 V_T /I의 깊이가 소스-드레인 접합보다도 얇기 때문이다 (그림 1(a)).

III. CODE MOSFET의 특성

앞 절에서 설명한 CODE MOSFET의 소자 특성을 분석하기 위하여 CODE MOSFET과 깊은 V_T 이온 주입 공정을 거친 소자(표 1의 Deep), 그리고 Deep V_T /I를 거치지 않은 종래의 소자(표 1의 Conventional) 각각에 대하여 NMOS 트랜지스터의 중요한 DC, AC 특성을 보이고자 한다. DC특성에는 주로 짧은 채널 소자의 I-V 특성의 비대칭성, 펀치-스루 현상(혹은 DIBL 현상), hot carrier에 의한 기판 전류의 변화 등을 비교하고 AC 특성에서는 소스와 드레인의 접합 용량의 변화를 비교하기로 하자.

1. DC 특성

그림 3(a), (b), (c)는 각각 $L=1.0\mu\text{m}$ 인 Conventional NMOSFET, Deep NMOSFET와 CODE MOSFET의 I-V 특성을 보이고 있다. 그림에서 실선과 점선은 소스와 드레인을 바꾸어 측정한 것으로 CODE MOSFET와 종래의 MOSFET 사이에 큰 차이를 보이고 있지 않는 것을 알 수가 있다. 소스-드레인을 바꾸었을때 약간의 비대칭을 보이는 것은 시험 소자의 패턴의 소스와 드레인의 contact 및 금속성 길이의 비대칭 때문으로 생각된다. 또한 그림(a)에서 보듯이 얇은 BF_2 V_T /I만 행한 소자는 펀치-스루(punch-through) 현상을 보이고 있고, 이는 깊은 V_T /I의 정당성을 입증해 주고 있다. 이는 그림 4의 드레인 전류의 문턱 전압이하의 특성에서 더욱 잘 보이고 있다. 즉, V_D 가 증가하면 Conventional 소자는 DIBL 현상에 약한 것을 볼 수 있다. 그림 3(b)에서 Deep 소자의 전류크기가 다른 소자에 비해 작은 것은 V_T 가 조금 커서 V_{GS} 에 따른 $I_{DS,SAT}$ 의 변화량이 작고, high doping에 따른 mobility의 감소가 그 원인이다.

더욱 재미있는 현상은 이러한 V_T /I의 변화에 의한 짧은 채널 소자에서 고온 전자에 의한 기판 전류 특성의 변화이다. 그림 5는 채널길이가 $1.0\mu\text{m}$ 인 CODE MOSFET와 종래의 MOSFET의 기판 전류 특성을 보이고 있다. 그림에서 Deep V_T /I에 의해 Deep소자의 기판 전류는 Conventional 소자에

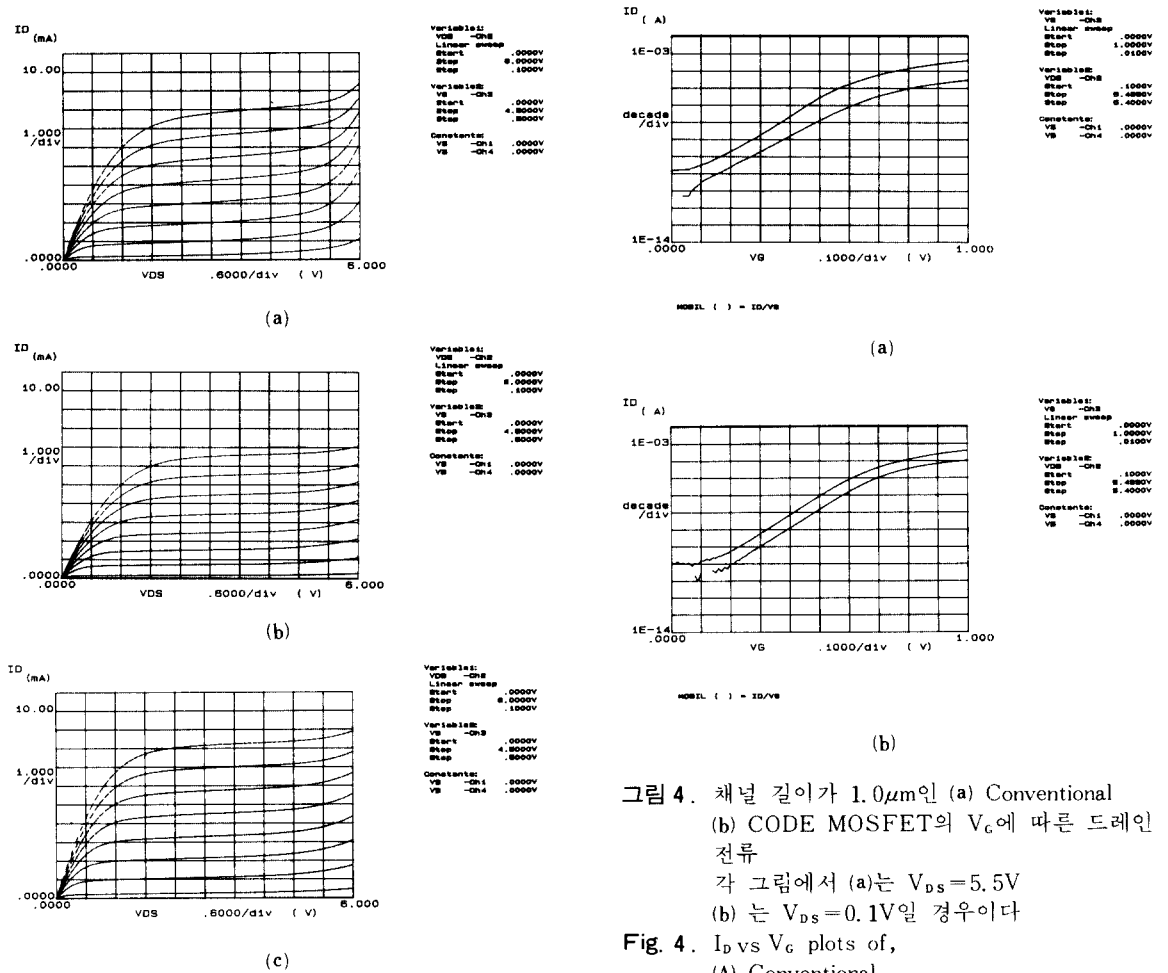


그림 3. 소자의 I_D - V_D 특성 (a) Conventional (b) Deep (c) CODE MOSFET 점선은 소스-드레인을 바꾼 경우이다 ($L=1.0\mu\text{m}$) $V_G=0\sim 4.5\text{V}$ 이고, 각 step은 0.5V이다

Fig. 3. I_D - V_D characteristics of, (a) Conventional, (b) Deep, (c) CODE MOSFET.

비해 50%에서 500%까지 증가하고 있다.

그러나, CODE MOSFET의 I_{SUB}/I_{DS} 는 Deep 소자에 비해 현저히 감소해 있음을 알 수가 있다. 기관 전류 (I_{SUB})가 I_{DS} 에 비해 작을 경우 (weak impact ionization)에는 I_{SUB}/I_{DS} 는 impact ionization 상수의 채널에서의 적분이 되는데, 이는 대부분 드레인 영역에서의 최대 전계 ϵ_m 에 의해 결정된다고 알려져 있다.^[5] 이 이론에 따르면 CODE MOSFET의 드레인 영역에서의 최대 전계가 Deep MOSFET 보다 같은

그림 4. 채널 길이가 $1.0\mu\text{m}$ 인 (a) Conventional (b) CODE MOSFET의 V_G 에 따른 드레인 전류 각 그림에서 (a)는 $V_{DS}=5.5\text{V}$ (b)는 $V_{DS}=0.1\text{V}$ 일 경우이다

Fig. 4. I_D vs V_G plots of, (A) Conventional, (B) CODE MOSFET with $L=1.0\mu\text{m}$.

바이어스 조건에서 줄어 들었다는 뜻이 된다. 이는 드레인 영역에서의 전계가, 같은 arsenic N^+ 드레인에서는 채널의 p형 도핑에 의해 바뀔 수 있다는 것을 의미한다. 정성적으로 보면 그림 1의 CODE MOSFET의 채널의 드레인 영역에서의 p형 도핑이 N^+ 에 닿지 않는 영역이 생기게 되어, 이 영역에서의 전계가 줄어들 수 있다.

만약 CODE I/I와 gate 마스크 정렬 시 오정렬이 되어 최악의 경우 이 영역이 없어진다 하더라도 종래의 MOSFET와 같이 됨을 상상할 수가 있다. 정량적인 분석은 이차원 소자 simulator에 의해 행할 수가 있는데, 이는 CODE I/I의 이차원적 분포에 대한 모델이 설정되어야 하므로 이번의 연구 주제에서 제외하기로 한다.

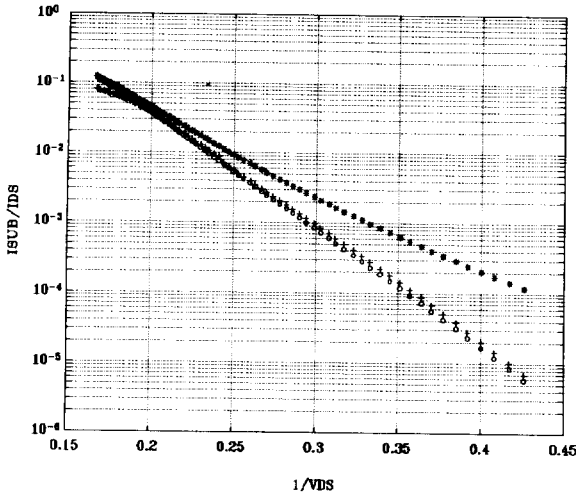


그림 5. 각 소자의 기관 전류와 드레인 전압 특성 ($V_{GS}=1.5V$) 여기서 0는 CODE, +는 Conventional, *는 Deep 소자의 특성이다.
Fig. 5. Substrate current characteristics of each device.

2. AC 특성

소스-드레인 영역의 집합 용량의 감소는 본 CODE MOSFET 형태 고안의 주요 동기임은 두말 할 필요가 없을 것이다. 앞에서 언급하였듯이 이는 소자의 scaling에 의해 채널의 도핑 농도가 높아질수록, 소스-드레인 접합 깊이가 작아질수록 집합 용량은 더욱 커지게 되어 VLSI 회로의 속도 제한 요소가 될 것이다. 그림 2(b)의 SUPREM 모의 실험에서 보듯이 표 1의 Conventional 소자와 CODE 소자인 경우는 N⁺P 접합에서의 보론의 농도 차이가 없는데 비해(여기서 Conventional 소자의 알은 BF₂ V_T I/I의 농도가 arsenic 영역에 모두 묻혀 버려 있음에 유의하자), Deep 소자의 경우는 N⁺P 접합에서 보론의 농도가 증가해 있음을 보이고 있다. 이를 실험적으로 보이기 위해 면적이 1400 μm^2 인 N⁺P 다이오드의 역방향 전압에 따른 집합 용량 측정치를 그림 6에서 보이고 있다. 그림에서 (a)는 종래의 구조, (b)는 CODE 소자, (c)는 Deep 소자에 대한 측정치이다. 예측한 바와 마찬가지로 Deep 소자의 경우가 Conventional 소자와 CODE 소자의 경우에 비해 바이어스 전압에 따라 15에서 50% 정도의 정전 용량이 증가되어 있음을 보이고 있으며 이는 그림 2(b)에서의 SUPREM 모의 실험 결과와 잘 일치한다.

IV. 검토 및 결론

그림 3과 4를 보면 Conventional MOSFET은 기

관을 통한 punch through가 문제가 된다(소스 전류를 측정해보면 hot electron보다 bulk punch through 현상으로 인한 전류 증가라는 것이 확인된다.)이 문제는 MOSFET 소자가 소형화(scaling down)되면 더욱 심각해지며, 소형화에 큰 장애 요인이 된다. 이에 비해 Deep V_T I/I 공정을 거친 Deep MOSFET와 CODE MOSFET가 이점에서 훨씬 더 개선이 이루어지고 있음을 알 수가 있다. 그림 3(c)의 CODE MOSFET I-V 특성에서 소스-드레인을 바꾸었을때 전류차이가 CODE를 사용하지 않은 경우의 Deep MOSFET의 그것에 비해 크지 않은 것으로 보아(그림 3(b)) CODE V_T I/I시의 마스크 오정렬에 의한 영향이 I-V특성의 비대칭성에 영향을 주지 않음을 알 수가 있다.

그림 5에서 기관을 통한 punch through를 방지하기 위해 제작된 Deep MOSFET는 MOSFET 소자의 소형화와 신뢰도에 또 하나의 장애 요인인 기관 전류가 커지는 것을 알 수 있고, 그림 6에서 보듯이 소스-드레인 영역의 집합 용량이 커져 속도 특성도 안 좋아진다. 그러나 본 연구에서 제안한 CODE MOSFET의 특성을 보면 그림 3(c)에 보듯이 기관을 통한 punch through를 Conventional MOSFET에 비해 대략 70% 정도 감소시켰다. 또한 그림 5와 그림 6에서 보듯이 기관 전류가 CODE를 쓰지 않은 소자보다 감소하였고, 소스-드레인 영역의 집합 용량은

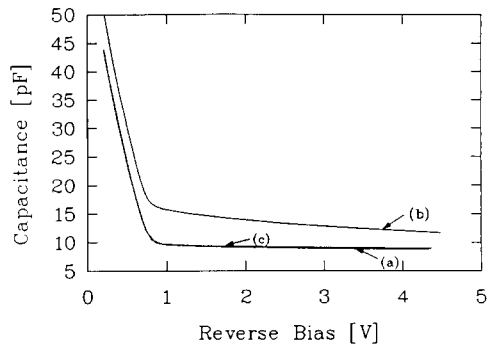


그림 6. (a) Conventional (b)Deep (c) CODE MOSFET에 대한 역방향 전압에 따른 소스/드레인 영역의 집합용량(용량 패턴의 넓이는 1400 μm^2 이다)

Fig. 6. S/D junction capacitance as a function of reverse bias of,
 (a) Conventional,
 (b) Deep and,
 (c) CODE MOSFET.

기관을 통한 punch through를 방지하기 위해 Deep V_T I/I를 한 Deep MOSFET보다 현저히 감소시켰다. 즉, CODE MOSFET은 MOSFET 소자의 소형화와 신뢰도에 있어서 큰 장애 요인인 기관을 통한 punch through와 기관 전류를 감소시켰으며 속도 특성의 저하를 방지한 소자인 것이다. 이러한 특성을 지닌 CODE MOSFET 소자는 소자의 신뢰도를 향상시켜 주고, 소형화를 더욱 가능하게 해줄 것이다.

参 考 文 献

[1] R.H. Dennard, F.H. Gaensslen, H.N. Yu, V. L. Rideout, E. Bassons and A.R. LeBlanc, "Design of Ion-implanted MOSFET's with very small physical dimensions." *IEEE J. Solid Circuits*, vol. SC-9, no. 5, pp. 256-267, 1974.

[2] R.R. Troutman, "VLSI limitations from drain induced barrier lowering." *IEEE*.

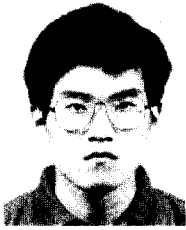
Trans. Electron Devices, voll ED-26, no. 4, pp. 461-469, 1979.

[3] A.E. Schmitz and J.Y. Chen, "Desigh, modeling and fabrication of subhalf-micrometer CMOS transistors." *IEEE Trans. Electron Devices*, vol. ED-33, no. 1, pp. 148-153, 1986.

[4] R.M.R. Gijzen, H.J.J. Kroon, F.A. Vollenbroek, R. Vervoordeldonk, "A quantitative assessment of image reversal, a candidate for a submicron process with improved linewidth control." SPIE vol. 631, *Advances in resist technology and processing III*, 1986.

[5] C. Hu, S.C. Tam, F. Hsu, P. Ko, T. Chan and K. Terril, "Hot-Electron-Induced MOSFET Degradation-MODEL, Monitor and improvement." *IEEE Tran. Electron Devices* vol. ED-32, no. 2, pp. 375-385, 1985.

著 者 紹 介



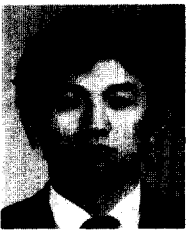
宋 在 爨(准會員)

1967年 8月 3日生. 1990年 한국과학기술원 과학기술대학 전자전산학부 회로및 시스템학과 학사학위 취득. 1990年 3月~현재 서울대학교 공과대학 전자공학과 석사과정 재학중. 주관심분야는 반도체 물성및 재료, 전자소자 등임.



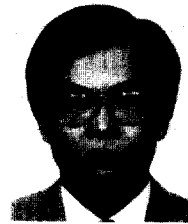
金 基 洪(正會員)

1958年 10月 7日生. 1981年 서강대학교 전자공학과 학사학위취득 1985年 서강대학교 대학원 석사학위 취득. 1987年~현재 서강대학교 대학원 박사과정 재학중. 1984年~현재 금성일렉트론 (株) 선임연구원. 주관심분야는 VLSI 공정과소자 및 SOI 등임.



朴 榮 俊(正會員)

1952年 11月 17日生. 1975年 서울대학교 전기공학과 학사학위 취득. 1977年 서울대학교 전기공학과 석사학위 취득. 1983年 Massachusetts대학 전기공학과 박사학위 취득. 1983年~1985年 IBM, East Fishkill 연구원. 1985年~1988年 금성반도체 연구소 책임연구원. 1988年~현재 서울대학교 전자공학과 조교수. 주관심분야는 전자소자 모델링및 BIC-MOS 등임.



関 弘 植(正會員)

1943年 12月 9日生. 1966年 서울대학교 전자공학과 학사학위 취득. 1969年 Univ. of Minnesota Dept. of Elec. Eng 석사학위 취득. 1971年 Univ. of Minnesota Dept. of Elec. Eng 박사학위 취득. 1966年 금성사 주임. 1967年~1971年 Univ. of Minnesota Dept. of Elec. Eng 강의 연구조교. 1971年~1972年 Univ. of Minnesota Dept. of Elec. Eng 연구원 1973年 1976年 고려대학교 조교수. 부교수. 1976年~1986年 서울대학교 전자공학과 조교수. 부교수. 1986年~현재 서울대학교 전자공학과 교수. 주관심분야는 반도체 소자 Noise 및 Carrier Transport 등임.