

# 雙線型 變換에 依한 過標本化率의 시그마-델타 A/D 變換器

## (Oversampled Sigma-Delta A/D Converters Designed by Bilinear Transform)

朴 鍾 演\*

(Chong Yeun Park)

### 要 約

本 研究에서는 한개의 루프를 갖는 過標本化率의 시그마-델타 A/D 變換器를 雙線型 변환 및 지연 소자를 이용하여 설계하였다. 또한 양자기 및 Decimator 出力信號의 주파수 스펙트럼을 FFT에 依하여 각각 分析하였고 정현파 입력신호의 진폭, 주파수, 過標本化率, 入力 직류값, 루프이득 및 積分器의 最大出力 값을 변수로 하고 Simulation 및 FFT를 利用하여 신호 대 잡음비를 구하였으며 시스템의 成能을 기존의 시스템과 비교하였다. 그 결과 雙線型 변환에 의한 한 개의 루프를 갖는 過標本化率의 시그마-델타 A/D 변환기는 기존의 연구결과와 비교하여 入力信號의 진폭 및 過標本化率의 比에 대한 SNR이 約 6dB 증가하였고 入力信號의 動作영역은 약 60dB 이었다.

### Abstract

This paper treats with the design method for the single loop oversampled Sigma-Delta A/D converter with one delay and the digital integrator. Such an integrator was generated by means of the bilinear transform of the analog integrator.

The frequency spectrums of the quantizer and the decimator output signal are evaluated by FFT respectively. With the performance evaluation system, the values of SNR are obtained versus the input sinusoidal signal amplitude, frequency, the oversampling ratio, the DC-input level, the loop gain and the limiting value of the integrator.

As compared with existing results, values of SNR versus the input signal amplitude and the oversampling ratio for the suggested system are about 6dB higher then previously reported results respectively.

Furthermore, this approach achieves an about 60dB input dynamic range.

\*正會員, 江原大學校 電氣工學科

(Dept. of Electrical Eng., Kangweon Nat'l, Univ.)

接受日字: 1989年 12月 15日

(※本 論文은 1989년도 연암문화재단의 지원에 의하여 研究되었음.)

### I. 序 論

PCM方式에 依한 A/D 變換器가 面路 要素에 對한 感度가 크기 때문에 VLSI 제작이 어려운 단점을 補完하기 위해서 發見된 過標本化率을 갖는 시그마-델타 A/D 變換器<sup>(1)</sup>는 最近의 研究結果<sup>(2)-(6)</sup>에 의하면

주로 세 가지의 장점을 갖는다. 첫째, 標本化率을 나이퀴스트 標本化率의 M(過標本化率의 比) 倍로 하여 구성하고 Decimator에서 標本化率을 1/M로 함으로써 量子化 雜音을 줄일 수 있다. 둘째, 1-bit의 量子器 및 D/A 變換器를 使用함으로써 面路 要素 값의 變化에 대한 感度가 낮다. 셋째, 디코더에서는 귀환을 쓰지 않음으로써 일반적인 델타 變調方式보다 채널 오차가 작다.

그러나 1-bit 量子器는 非線型 素子이며 發生하는 雜音이 백색 雜音이 아닌 것으로 밝혀지고 있기 때문에 해석이 어렵다.<sup>[9]-[11]</sup> 그러므로 아날로그 시그마-델타 A/D 變換器<sup>[11]</sup>를 디지털 시스템으로 變換하는 過程에서 最適의 方法이 알려져 있지 않다. 現在까지는 아날로그 시그마-델타 A/D 變換器에 使用되는 積分器를 逆방향차분(reverse difference) 및 순방향차분(forward difference)<sup>[7]</sup>에 의한 變換方法을 活用하여 기본 주파수대역에서 發生하는 量子化 雜音을 기본 주파수대역 밖으로 이동시키는 原理를 適用하고 있다.

따라서 본 연구에서는 기존의 방법<sup>[8]-[10]</sup>과는 서로 다른 方法으로써 아날로그 積分器를 雙線型 變換方法으로 變換하고 지연소자를 첨가한 디지털 積分器에 의한 A/D 變換기를 구성하여 量子化 雜音을 줄이고자 하였다. 이러한 原理에 의한 한 개의 루프를 갖는 過標本化率의 시그마-델타 A/D 變換기를 설계하였다. 또한 이러한 시스템과 Decimator를 포함한 全体 시스템의 Simulation 및 成能評價方法과 結果를 나타내었다. 그리고 기존의 결과와 장단점을 比較하였다.

II. 過標本化率의 시그마-델타 A/D 變換器의 구조 및 원리

過標本化率의 A/D 變換기는 그림 1과 같은 잡음 함수 N(f)에 의하여 說明될 수 있다.<sup>[8]-[11]</sup> 이러한 N(f)는 量子化 잡음의 전체 양을 줄이는 것이 아니며 저주파 成分의 雜音을 고주파 대역으로 이동시키는 것이다.<sup>[9]-[11]</sup> 따라서 기본 信號대역에서 잡음을 작게 하여 SNR을 크게 할 수 있으며 다음 각각의 시스템에 利用된다.

1. 시그마-델타 A/D 變換기의 信號 및 雜音 전달함수

한 개의 루프를 갖는 시그마-델타 A/D 變換기는 그림 2와 같이 표현되며 H(z)는 아날로그 시스템<sup>[11]</sup>의 積分器를 表示하며 D/A 變換기는 理想的인 것으로 간주하였다. 따라서 量子化 오차는

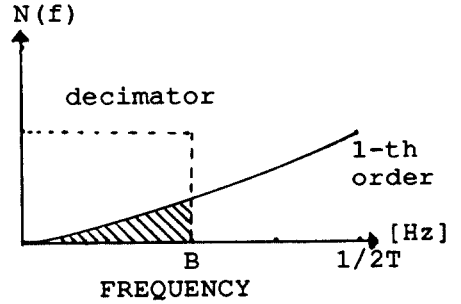


그림 1. 시그마-델타 A/D 變換기의 잡음 모양함수 Fig. 1. Noise shaping function for the Sigma-Delta A/D converter.

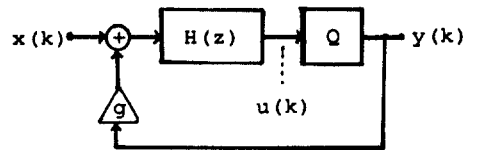


그림 2. 한 개의 루프를 갖는 시그마-델타 A/D 變換기의 구성도 Fig. 2. Block diagram of the single-loop Sigma-Delta A/D converter.

$$e(k) = u(k) - y(k) \tag{1}$$

로써 정의되며 x(k), y(k) 및 e(k) 각각의 Z- 變換을 X(Z), Y(Z) 및 E(Z)라고 할 때 出力信號는

$$Y(Z) = S(Z) \cdot X(Z) + N(Z) \cdot E(Z) \tag{2}$$

로 表現되며 이때 S(Z) 및 N(Z)를 각각 信號전달함수 및 雜音 전달함수라고 한다. 또한 잡음 전달함수 N(Z) 및 양자화오차 e(k)의 스펙트럼 밀도 S<sub>E</sub>(f)를 구할 수 있으면 量子化 雜音의 出力 스펙트럼 밀도

$$Y_N(f) = |N(Z)|^2_{z=e^{j\omega T}} \cdot S_E(\omega) \tag{3}$$

으로 주어지며 따라서 잡음 전력은

$$P_N = \int_0^\infty Y_N(f) \cdot df \tag{4}$$

으로 주어진다.<sup>[12]</sup>

그림 2에 대하여 S(Z) 및 N(Z)를 각각 S<sub>1</sub>(Z) 및 N<sub>1</sub>(Z)라고 하면

$$S_1(Z) = \frac{H(Z)}{1+g \cdot H(Z)} \tag{5}$$

$$N_1(Z) = \frac{1}{1+g \cdot H(Z)} \tag{6}$$

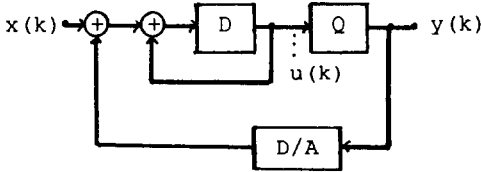
의 관계식들을 얻을 수 있으며 식(6)의  $N_1(Z)$ 를 그림 1의  $N(f)$ 로 변형시킬 수 있다.

2. 기존 시스템의 양자화 잡음

기존의 시스템은 그림 2의 구성도에서 적분기의 전달함수

$$H(Z) = \frac{1}{Z-1} \tag{7}$$

로 대치하고 루프이득  $g=1.0$ 으로 취한 것으로 그림 3과 같다.<sup>10)</sup>



D: Delay element  
Q: 1-bit Quantizer  
D/A: 1-bit D/A converter

그림 3. 한 개의 루프를 갖는 기존의 시그마-델타 A/D 변환기의 구조

Fig. 3. Block diagram of the existing Single-loop Sigma-Delta A/D converter.<sup>10)</sup>

이러한 그림 3의 시스템에서 식(5)와 식(6)의  $S_1(Z)$  및  $N_1(Z)$ 를 각각  $S_{1E}(Z)$  및  $N_{1E}(Z)$ 라고 하면 다음 관계식이 성립한다.

$$Y(Z) = S_{1E}(Z) \cdot X(Z) + N_{1E}(Z) \cdot E(Z) \tag{8}$$

$$\left. \begin{aligned} S_{1E}(Z) &= Z^{-1} \\ N_{1E}(Z) &= 1-Z^{-1} \end{aligned} \right\} \tag{9}$$

여기서 入力 정현파 신호를 가정하고 양자화 오차  $e(k)$ 가 발생하는 잡음을 백색잡음으로 가정하면 스펙트럼 밀도는 다음과 같다.

$$S_E(f) = \left(\frac{2}{f_s}\right) \cdot \left(\frac{\Delta^2}{12}\right) \tag{10}$$

단,  $f_s$ : 標本化率

$\Delta$ : 1-bit 量子器의 스텝크기

따라서 식(3)과 식(4)를 이용하여 雜音電力을 구하고 정현파의 入力信號電力<sup>16)</sup>은  $Am^2/2$  (단,  $Am$ : 진폭) 이므로 SNR은 다음과 같다.

$$SNR = \frac{3}{2\pi} \left(\frac{Am}{\Delta}\right) \cdot M^{3/2} \tag{11}$$

여기서  $M$ 는 過標本化率의 비이며 식(11)은 Candy<sup>16)</sup>에 의하여 유도된 것과 같다.

III. 제안된 過標本化率의 시그마-델타 A/D 변환기

本 研究에서는 그림 2에서 적분기의 傳達函數를

$$H(Z) = \frac{Z+1}{Z-1} \tag{12}$$

와 같이 雙線型變換方法으로 대치하고 Delay-Free루프의 방식을 위하여 양자기와 直列로 지연소자를 連結하면 그림 4와 같은 시스템을 구성할 수 있다. 이러한 그림 4에서 出力信號  $Y(Z)$ 는 다음과 같이 表現된다.

$$Y(Z) = S_{1P}(Z) \cdot X(Z) + N_{1P}(Z) \cdot E(Z) \tag{13}$$

$$\left. \begin{aligned} S_{1P}(Z) &= Z^{-1} \cdot \left(\frac{1+Z^{-1}}{1+Z^{-2}}\right) \\ N_{1P}(Z) &= \frac{1-Z^{-1}}{1+Z^{-2}} \end{aligned} \right\} \tag{14}$$

여기서 기존의 시스템 특성을 나타내는 식(9)와 比較하면 식(14)는 다음과 같다.

$$S_{1P}(Z) = \frac{1+Z^{-1}}{1+Z^{-2}} \cdot S_{1E}(Z) \tag{15}$$

$$N_{1P}(Z) = \frac{1}{1+Z^{-2}} \cdot N_{1E}(Z) \tag{16}$$

또한 낮은 信號대역에서 過標本化率의 A/D 변환기는  $f \cdot T \rightarrow 0$ 인 特性을 갖기 때문에 식(15)와 식(16)으로부터

$$|S_{1P}(f)| \cong |S_{1E}(f)| \tag{17}$$

$$|N_{1P}(f)| \cong 1/2 \cdot |N_{1E}(f)| \tag{18}$$

의 관계식들을 얻는다. 그러므로 그림 4의 시스템은 기존의 시스템인 그림 3보다 SNR이 약 6dB 증가될

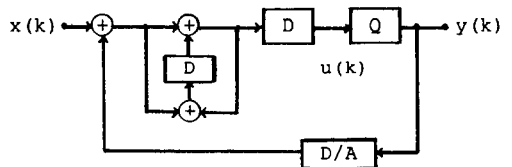


그림 4. 제안된 한 개의 루프를 갖는 시그마-델타 A/D 변환기의 구조

Fig. 4. Proposed single-loop Sigma-Delta A/D converter.

것이다. 그러나 이러한 수식들은 식(1)의 e(k)에 의해서 發生하는 잡음을 백색잡음으로 가정하였으므로 정확한 理論的 수치를 얻을 수 없다. 따라서 Simulation에 의한 特性의 比較가 중요하다.

IV. Simulation 및 成能評價方法

본 논문에서 다루는 過標本化率의 시그마-델타 A/D 變換기는 量子器를 線型소자로 간주할 境遇에는 理論과 Simulation 結果가 많은 차이점을 나타내며 Decimator의 設計方法에 따라 特性이 달라지므로 기존의 시스템과의 成能比較를 위해서는 同一한 조건에서 同一한 Decimator에 의하여 얻은 結果가 의미가 있다. 따라서 Simulation 및 成能評價를 위한 全体시스템의 구성, Decimator의 設計및 特性, 그리고 成能評價方法 等을 먼저 다루었다.

1. Simulation 및 成能評價 시스템

Simulation 및 成能評價를 위한 시스템의 全体구성은 그림 5와 같다.

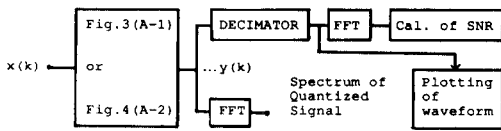


그림 5. 시그마-델타 A/D 變換기의 性能평가 및 Simulation을 위한 全体시스템.

Fig. 5. Block diagram for simulation and performance evaluation of Sigma-Delta A/D converters.

이러한 그림 5와 같은 시스템에 의하여 기존 시스템과 제안된 시스템의 Simulation은 부록(A-1) 및 부록(A-2)의 프로그램을 利用하고 成能評價에 중요한 역할을 하는 FFT는 y(k)의 신호에 대해서는 8192點 FFT를 活用하였으며 Decimator 出力信號에 對해서는 512點을 利用하였다.

2. Decimator의 設計 및 特性

過標本化率의 시그마-델타 A/D 變換器에 쓰이는 Decimator는 信號대역 外의 양자화잡음 및 기타 잡음을 제거하며 過標本化率의 比  $M=M_1 \cdot M_2$ 로 하여  $M_1=M/2$ 과  $M_2=2$ 로 分離하여 設計하는 것이 效率的인 것으로 연구<sup>[19,20]</sup> 되었다. 따라서 7뎀만으로 實現가능한 Comb-필터<sup>[18]</sup>를 利用하였다. 그러므로 그림 5의 Decimator는 3次的 Comb-필터와 Hamming窓

에 의한 61次的 FIR필터<sup>[21]</sup>를 利用하였다. 이와같이 實現한 그림 6에 보인 Comb-필터의 전달함수는 다음과 같다.

$$C(Z) = \left(\frac{1}{1-Z^{-1}}\right)^k \cdot (1-Z^{-M_1})^k \quad (19)$$

또한 FIR-LPF와 直列連結하여 통과대역을 0-4 KHz로 設計한 Decimator의 전달함수는

$$D(Z) = C(Z) \cdot H(Z^{M_1}) \quad (20)$$

이며 주파수特性은 그림 7과 같다.

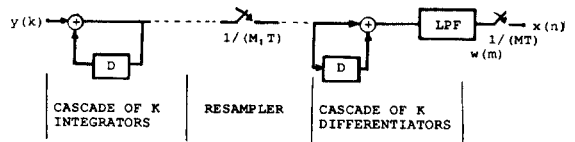


그림 6. Decimator의 실현  
Fig. 6. Realization of decimator.

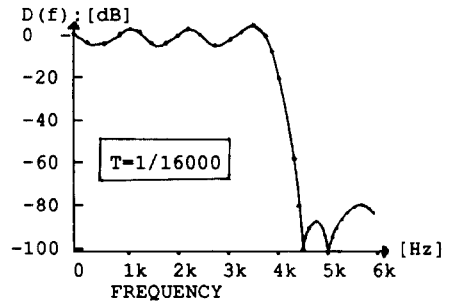


그림 7. Decimator의 주파수 특성  
Fig. 7. Frequency characteristic of decimator.

3. 成能評價 方法

成能評價方法은 量子器 出力信號의 스펙트럼 分析과 Decimator 出力信號에 對한 SNR을 各種 변수에 대해서 구하는 것이다. 그러므로 그림 5에서 入力信號

$$x(k) = A_m \cdot \sin(2\pi f_x k T) \quad (21)$$

단,  $0 \leq f_x \leq 4000$

을 가한 뒤에 Decimator 出力信號는 나이퀴스트 標本化率을  $f_N$ 이라하면 다음과 같다.

$$W(n) = a_1 \cdot \sin(2\pi f_x n / f_N) + e(n) + a_0$$

$$+ \sum_{k=2}^{\infty} a_k \cdot \cos(2\pi k f_x n / f_N) \quad (22)$$

여기서  $a_1$ 은 信號成分의 진폭,  $e(n)$ 은 고조파成分을 제외한 기타잡음,  $a_0$ 은 出力에 나타나는 D-C 값이며  $a_k$ 는  $k$ 차 고조파항의 진폭이다. 이러한 식(22)에서 FFT에 의하여 信號成分의 진폭  $a_1$ 을 구할 수 있다.<sup>20)</sup> 따라서 信號 및 雜音電力을 各各  $\sigma_s^2$  및  $\sigma_n^2$ 이라하면 다음과 같이 구할 수 있으며  $E[\cdot]$ 는 기대치를 표시한다.

$$\left. \begin{aligned} \sigma_s^2 &= \frac{1}{2} a_1^2 \\ \sigma_n^2 &= E[W^2(n)] - \frac{1}{2} a_1^2 \end{aligned} \right\} \quad (23)$$

V. Simulation과 成能評價의 結果 및 檢討

Simulation 및 成能評價를 위한 그림 8의 시스템에서 얻은 結果는 주파수 스펙트럼 및 各種 변수에 대한 SNR 값들이다. 本 研究에서 취한 변수는 정현파 入力信號의 진폭, 주파수, 過標本化率의 比, D-C 入力の 크기, 루프이득 및 積分器의 제한된 최대 出力 값이다.

1. Decimator 入力 및 出力信號에 대한 주파수 스펙트럼

제안된 그림 4를 그림 5에서 Simulation한 뒤 Decimator 入力 및 出力信號에 對한 주파수 分布는 그림 8(a), (b)와 같다. 여기서 T는 標本化時間, f는 入力信號의 주파수이며 a는 入力信號의 진폭이다.

이러한 그림 8(a)는 그림 3의 시스템에 관한 Gray<sup>5)</sup>의 結果와 유사하며 그림 8(b)에서는 고조파의 영향이 비교적 크게 나타나는 것을 볼 수 있고 Norsworthy<sup>14)</sup>가 얻은 結果와 비슷한 주파수 스펙트럼 分布이다. 그러나 이러한 스펙트럼 分布만으로는 시스템의 成能을 評價하기 어렵다. 왜냐하면 入力信號의 주파수와 진폭등 다른 변수에 따라서 스펙트럼 分布가 달라질 수 있기 때문이다.

2. 入力信號의 진폭에 對한 SNR

기존의 시스템인 그림 3의 入力動作영역(Dynamic Range) 특성을 제안된 그림 4의 시스템과 比較하기 위하여 그림 5를 활용하여 얻은 結果는 그림 9(a), (b)이다.

그림 9에서 그림 3과 그림 4의 시스템이 나타내는 動作영역은 약 60dB이며 제안된 시스템이 기존의 시스템보다 약 6dB 큰 SNR값을 갖는다. 이 값은 식(17)과 식(18)에서 추측할 수 있지만 0-10 dB의 入力信

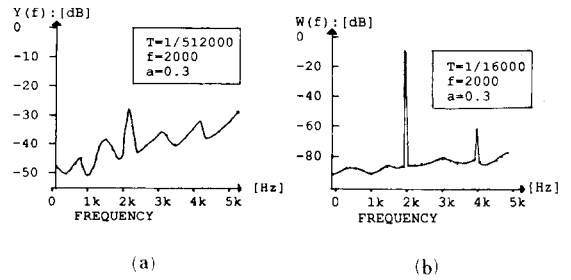


그림 8. 그림 4의 시스템에서 Decimator (a) 입력신호 (b) 출력신호에 대한 주파수분포

Fig. 8. Spectrum of quantized signal for Fig. 4. (a) before decimation, (b) after decimation.

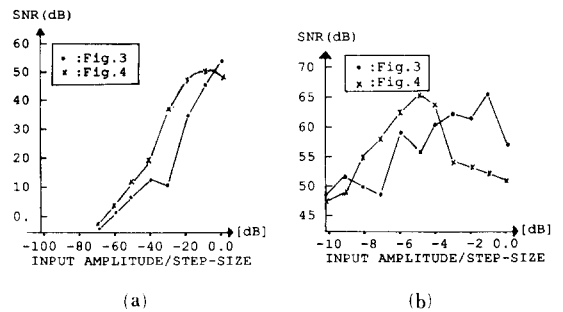


그림 9. 한 개의 루프를 갖는 시그마-델타 A/D 변환기에서 M=64, f=2000일 때 입력신호의 진폭에 대한 SNR (a) 전체입력동작영역 (b) 0-10dB의 동작영역특성

Fig. 9. SNR versus signal amplitude of single-loop Sigma-Delta A/D converter for M=64, f=2000. (a) over full dynamic range, (b) over the top 10[ dB] of dynamic range.

號 진폭에서는 成立하지 않는다.

3. 入力信號의 주파수에 對한 SNR

SNR값을 나타내는 식(1)에 의하면 SNR은 入力주파수와는 서로 獨立의이다. 그러나 그림 3과 그림 4의 시스템에서 1-bit 量子器와 D/A 변환기가 非線型 동작을 하므로 그림 10과 같이 주파수에 따라 SNR이 변하는 結果를 얻었다. 이러한 그림 10으로부터 제안된 시스템의 주파수 특성이 기존의 시스템보다 우수함을 알 수 있다.

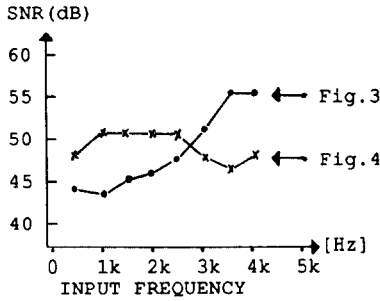


그림 10. M=64, a=0.3일 때 입력신호 주파수에 대한 SNR  
 Fig. 10. SNR versus baseband frequency for M=64, and a=0.3.

4. 過標本化率의 比에 對한 SNR

過標本化率의 比 M에 對한 SNR은 그림 11에 表示 되었다. 여기서 SNR은 식(11)에 의하면  $M^{3/2}$ 에 비례 한다. 그러나  $M \leq 8$ 에서는 過標本化率의 시스템成能 이 저하되며  $M \geq 16$ 에서만 예측된 結果를 얻었다.

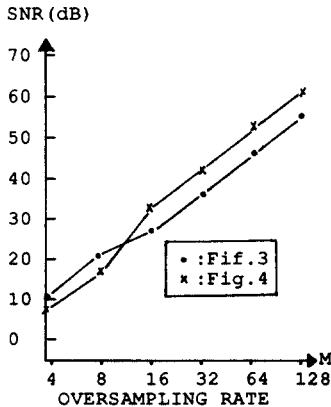


그림 11. f=2000, a=0.3일 때 과표본화율의 비 M에 대한 SNR  
 Fig. 11. SNR versus oversampling ratio for f=2000 and a=0.3.

5. 기타 변수에 대한 SNR과 二重루프의 시그마-델타 A/D 變換기에 本 理論을 適用하는 問題

本 연구에서는 D-C入力에 對한 SNR의 값을 구하였으나 Candy<sup>[2]</sup> 및 Friedman<sup>[15]</sup>에 의한 結果와 차이가 없었기 때문에 表示하지 않았다. 또한 VLSI 제작과정에서 變할 수 있는 루프이득은 규정치의  $\pm 10\%$

범위 內에서는 SNR에 영향이 없음이 確認되었으며 SCF (switching capacitor filter)에 의해서 만들어지는 積分器에서 出力값의 最大値에 제한조건은 積分器와 1-bit 양자기가 直列連結되었기 때문에 SNR에 영향을 미치지 못하였다. 그리고 本 理論을 二重 루프를 갖는 시그마-델타 A/D 變換기에 適用하는 問題는 現在 연구중이다.

VI. 結 論

雙線型 變換原理를 適用하여 한 개의 루프를 갖는 過標本化率의 시그마-델타 A/D 變換器를 제안하였다. 기존의 시스템과 제안된 시스템을 Simulation 시키기 위한 Decimator를 포함한 成能評價시스템을 구성하였다. 이러한 시스템에 의하여 量子器와 Decimator 出力信號에 대한 주파수 스펙트럼分佈를 얻었다.

또한 시스템의 成能評價 結果, 제안된 시스템이 기존 시스템보다 入力信號의 진폭에 대한 SNR과 過標本化率의 比에 대한 SNR 값이 약 6dB 증가하였으며 入力信號의 動作영역은 약 60dB이었다. 그러나 入力信號와 量子器의 스텝크기의 比가 -10dB-0dB 사이에서는 SNR이 理論値와 다르며 특히 標本化率의 比  $M \leq 8$ 에서는 過標本化率의 特性이 상실되었다. 그리고 주파수특성은 약간 개선되었으나 入力D-C특성, 루프이득 및 積分器의 最大出力제한에 따른 SNR은 제안시스템과 기존시스템에서 차이가 없었다.

부 록(A-1)

C \*SIMULATOR OF FIG.4 (REF.[10])

```

subroutine esdml(x, y, lt, xll)
dimension x(lt), y(lt)
u1=0.0
y(1)=0.0
q=0.0
xi=x(1)
do 10 k=2,lt
u=u1+xi
if (u.gt. xll) u=xll
if (u.lt. -xll) u=-xll
u1=u
y(k)=0.5
if (u.lt. 0.0) y(k)=-0.5
q=1.0
if (y(k).eq. -0.5) q=-1.0
xi=x(k)-q

```

10

```

continue
return
end

```

## 부 록(A-2)

## C \*SIMULATOR OF FIG.6 PROPOSED

```

subroutine psdml(x, y, lt, xl1)
dimension x(lt), y(lt)
u1=0.0
y(1)=0.0
q=0.0
xi=x(1)
do 10 k=2, lt
u=u1+xi
if(u.gt. xl1)u=xl1
if(u.lt. -xl1) u=-xl1
v=u+u1
u1=u
y(k)=0.5
if(v.lt. 0.0) y(k)=-0.5
q=0.707
if(y(k).eq.-0.5) q=-0.707
xi=x(k)-q
10 continue
return
end

```

## VII. 감사의 글

本 研究를 할 수 있도록 경제적으로 도와준 연암 문화재단 구자경 理事長님과 관계자 여러분에게 감사드립니다. 그리고 美國 U. C. L. A. 대학교 電氣工學科 G. C. Temes 교수의 助言이 많은 도움이 되었음을 밝힙니다.

## 參 考 文 獻

- [1] H. Inose, and Y. Yasuda, "A unity bit coding method by negative feedback," *Proceeding of the IEEE*, vol. 51, pp. 1524-1535, Nov. 1963.
- [2] J.C. Candy and O.J. Benjamin, "The structure of quantization noise from sigma-delta modulation," *IEEE Trans. Commun.* vol. COM-29, pp. 1316-1323, Sept. 1981.
- [3] R.M. Gray, "Oversampled sigma-delta modulation," *IEEE Trans. Comm.*, vol. COM-35, no. 5, pp. 481-488, May 1987.
- [4] R.M. Gray, "Spectral analysis of quantization noise in a single loop sigma-delta modulator with dc input," *IEEE Trans. Commun.*, vol. 37, no. 6, pp. 1316-1326, June 1989.
- [5] R.M. Gray, "Quantization noise in single loop sigma-delta modulation with sinusoidal input," *IEEE Trans., Commun.*, vol. 37, no. 9, pp. 956-968, Sept. 1989.
- [6] J.C. Candy, "A use of double integration in sigma-delta modulation," *IEEE Trans., COM-33*, no. 3, pp. 249-258, March 1985.
- [7] R.E. Crochiere and L.R. Rabiner, "*Theory and application of digital signal processing*," pp. 205-226, Engliwood Cliffs, NJ: Prentice Hall, 1975.
- [8] S.H. Ardalan and J.H. Paulos, "An analysis of nonlinear behavior in delta-sigma modulator," *IEEE Trans. Circuit and System*, vol. CAS-34, no. 6, pp. 593-603, June 1987.
- [9] J.C. Candy, "An overview of oversampling methods for A/D and D/A," *AT and T Bell Lab.*, 1989.
- [10] B.E. Boser, "Design and implementation of oversampled analog-to-digital converters," *Stanford Electronics Lab. of Stanford Univesity*, Oct. 1988.
- [11] J.C. Iwersen, "Calculated quantization noise of single integration delta-modulation codes," *Bell Syst. Tech. J.*, vol.48, pp. 2359-2389, Sept. 1969.
- [12] S.K. Tewbury, "Oversampled, linear predictive and noise-shaping codes of order  $N > 1$ ," *IEEE Trans. Circuit and Syst.* vol. Cas-25, no. 7, pp. 436-447, July 1987.
- [13] B.P. Agrawal and K. Sheno, "Design methodology for sigma-delta mod," *IEEE Trans. Commun.*, vol. COM-31, pp. 360-370, March, 1983.
- [14] S.R. Norsworth, I.G. Post and H.S. Fetterman, "A 14-bits 80-KHz sigma-delta A/D converter, design, and performance evaluation," *IEEE J. of Solid-State*, vol. 24, no. 2, pp. 256-266, April 198.
- [15] V. Friedman, "The structure of the limit cycles in sigma delta modulation," *IEEE Trans. Commun.* vol. 36, no. 8, pp. 972-979, August 1988.
- [16] G.R. Cooper and C.D. Mcgille, "Probabilistic methods of signal and system analysis," pp. 136-141, Holt, Rinehart and Winston, Inc., 1971.
- [17] A. Antoniou, "Digital filters: analysis and design," pp. 361-362, McGraw-Hill Inc., 1979.
- [18] S. Chu and C.S. Burrus, "Multirate filter designs using comb filters," *IEEE Trans. on Circuit and Systems*, vol. CAS-31, no. 11, pp. 913-924, Nov. 1984.

[19] J.C. Candy, "Decimation for sigma delta modulation," *IEEE Trans. on Commun.* vol. COM-34, no. 1, pp. 72-76, Jan.1986.  
 [20] B.E. Boser, K.P. Karmann, H. Martin, and

B.A. Wooly, "Simulating and testing oversampled analog to digital converters," *IEEE Trans. on Computer-aided design*, vol. 7, no. 6, pp. 668-673, June 1988.

---

著 者 紹 介

---



朴 鍾 演 (正會員)

1951年 2月 23日生. 1969年 3月~  
 1973年 2月 고려대학교 전자공학과 (공학사). 1978年 3月~1980年  
 2月 경북대학교 대학원 전자공학과 (공학석사). 1980年 3月~1984年  
 2月 경북대학교 대학원 전자공학과 (공학박사). 1973年 3月~1977年 2月 한국과학기술  
 연구소 (KIST) (연구원). 1977年 3月~1984年 8月 울  
 산공과대학 전기및 전자공학과 (부교수). 1984年 9月  
 ~1990年 4月 현재 강원대학교 전기공학과 (부교수)  
 1989年 8月~1990年 4月 현재 미국 UCLA대학교전  
 기공학과 (연구교환교수), 주관심분야는 아날로그 및  
 디지털 신호처리 (시그마-델타 A/D 변환기) 등임.