

論文 90-27-4-19

## 게이트 어레이 레이아웃 시스템의 설계 :

## HAN-LACAD-G

(The Design of Gate Array Layout System :

## HAN-LACAD-G)

姜 秉 益\*, 鄭 正 和\*

(Byung Ik Kang and Jong Wha Chong)

## 要 約

본 논문에서는 새로운 게이트 어레이 레이아웃 시스템, HAN-LACAD-G (HANyang LAYout CAD system for Gate array)를 제안한다.

HAN-LACAD-G는 배치, global 배선, detailed 배선 및 출력 처리부로 구성된다. 배치 설계는 clustering과 min-cut 분할에 의한 초기 배치와 pairwise interchange 개념에 의한 배치 개선으로 구성된다. Global 배선 설계에서는 각 채널에서의 배선 혼잡도를 고려하여 핀 할당을 행하며, feedthrough 할당시 오버플로우의 발생을 최대로 방지한다. Detailed 배선은 2층 배선 및 3층 배선을 사용한다. 레이아웃 결과는 대화형 레이아웃 에디터를 이용하여 사용자가 쉽게 결과를 확인하고 수정할 수 있다.

## Abstract

This paper describes a new gate array layout system, HAN-LACAD-G (HANyang LAYout CAD system for Gate array).

HAN-LACAD-G is composed of placer, global router, detailed router, and output processor. In placement design, initial placement is performed by repetitive clustering and min-cut partitioning followed by placement improvement using the concept of pairwise interchange. In global routing phase, pins are assigned in each channel considering the routing congestion estimation and overflows in feedthroughs are restricted. For the detailed routing, we use two layer and three layer channel routing techniques. Layout results are displayed graphically and modified interactively by the user using the layout editor.

## I. 서 론

ASIC(application specific integrated circuit)에 대한 관심과 수요가 크게 증가함에 따라 회로 설계 시

간을 단축 하기 위하여 규칙적인 기본 구조를 이용하는 반주문형 집적회로 설계 방식이 널리 사용되고 있다. 게이트 어레이 방식은 표준셀 방식과 함께 가장 널리 사용되고 있는 반주문형 설계 방식으로, 설계 방식 중 칩 개발기간이 가장 짧다는 장점으로 인해 소량 다품종의 LSI/VLSI 칩 설계에 많이 이용되고 있다.<sup>[1]</sup>

\*正會員, 漢陽大學校 電子工學科  
(Dept. of Elec. Eng., Hanyang Univ.)  
接受日字 : 1990年 2月 19日

게이트 어레이 방식의 레이아웃은 배치 설계<sup>(2,3)</sup>와 배선 설계<sup>(4,5,9)</sup>의 2단계로 나누어 행해진다. 배치 설계는 칩의 100% 배선율을 달성하기 위하여 배선장의 최소화과 배선 혼잡도의 균일화를 목적함수로 하며, 보통 초기배치와 배치개선으로 나뉘어 수행된다. 배선 설계는 각 채널에서의 핀 정보를 출력하는 global 배선 설계와 핀 정보를 이용하여 최종 배선 패턴을 결정하는 detailed 배선의 2 과정으로 구성된다.

본 논문에서는 매크로셀의 처리가 가능하고 I/O pad와 내부영역 간의 배선을 자동화한 게이트 어레이 레이아웃 시스템, HAN-LACAD-G를 제안하고 PC 상에 실현한다. HAN-LACAD-G는 자동 배치, 배선 및 그래픽 출력처리, 대화형 편집기능 등을 포함하는 통합 시스템으로 적은 하드웨어 비용으로 레이아웃 설계의 전과정을 수행하도록 한다.

배치설계 중 초기배치에서는 I/O pad의 위치를 고려하여 clustering 한 후 min-cut 분할을 반복적으로 수행하여 각 셀의 위치 좌표를 결정한다. 배치개선은 최대 배선밀도의 최소화를 목적함수로 하여 pairwise interchange 개념<sup>(6)</sup>을 이용한 셀 이동 알고리즘에 의하여 수행된다.

Global 배선에서는 I/O pad와 매크로셀을 고려하여 신호선의 가상 경로를 결정한다. 이때 각 채널에서의 배선 혼잡도를 칩 상에 균일하게 배분하여 오버플로우가 발생하지 않도록 하기 위해 배선 혼잡도의 균일화를 시도한다. 또한, feedthrough 할당시 오버플로우를 방지하기 위하여 라이브러리를 참조하여 사용되지 않은 입력 핀들을 feedthrough로 할당 해주며 I/O pad와 내부 셀 간의 가상 경로까지 결정할수 있는 알고리즘을 제안한다. Detailed 배선에서는 각 채널에서의 최종 배선 패턴을 결정하기 위하여 배선요구를 그래프로 모델링하여 효율적으로 수직, 수평 제한을 고려할 수 있는 2층 배선과, 공정기술의 발달에 따라 배선 영역을 보다 감소할 수 있는 HVH방식의 3층 채널 배선법을 사용한다.<sup>(9,12)</sup>

제안된 배치 및 배선 설계의 결과는 CIF(caltech intermediate form)의 형태로 출력되며 레이아웃 에디터 상에서 편집하거나 플로터로 출력한다.

## II. CMOS 게이트 어레이 칩과 라이브러리

### 1. CMOS 게이트 어레이 칩의 구조

게이트 어레이 칩은 그림 1과 같이 기본셀(basic cell 또는 core cell)들의 집합인 셀 row와 이들간의 신호선 연결을 위한 채널 영역의 반복적인 구조로 되어있는 내부 영역 및 bonding pad와 I/O 버퍼셀들

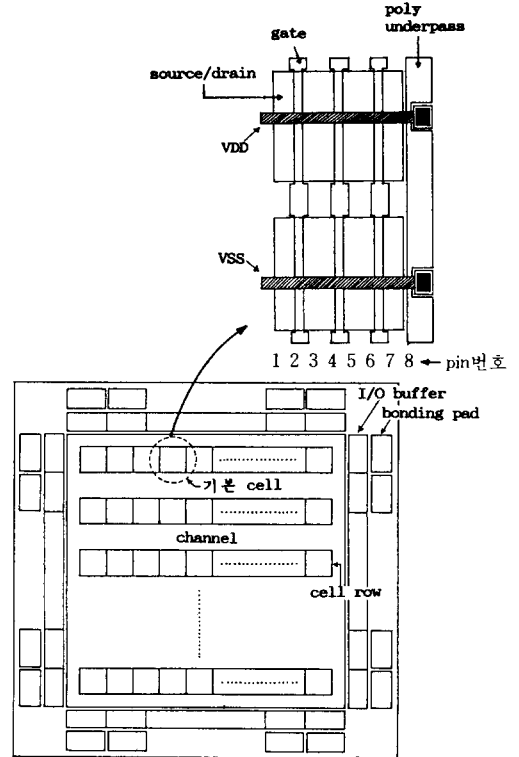


그림 1. CMOS 게이트 어레이 칩의 구조  
Fig. 1. The structure of a CMOS gate array chip.

로 이루어진 외부 영역으로 구성된다. 기본셀은 3쌍의 nmos, pmos 트랜지스터와 하나의 feedthrough를 위한 폴리실리콘 라인(poly-underpass)으로 구성되며, 그림 2와 같이 1층의 메탈층과 contact층의 패턴을 결정함으로써 NAND, NOR, NOT등의 기본 게이트 및 AND-NOR, 플립플롭등의 매크로셀을 형성할 수 있다. Feedthrough를 할당할 때에는 오버플로우를 방지하기 위해서 논리 게이트를 형성하지 않는 폴리실리콘 라인위에 메탈층을 형성함으로써 feedthrough로 사용할 수 있다. I/O pad 셀들을 제외한 모든 기본셀들은 상하 양핀이 등전위를 이루는 양방향성 핀으로 구성된다.

### 2. 데이터 베이스

주어진 회로를 설계하기 위하여 사용되는 베이스 어레이(또는 master chip)와 셀의 정보는 데이터 베이스에 저장한다.

베이스 어레이에 대한 정보는 셀 row에 존재하는 기본셀의 갯수, 채널당 최대배선 트랙수, 기본셀 당 feedthrough 할당용의 핀 갯수 및 feedthrough를 포

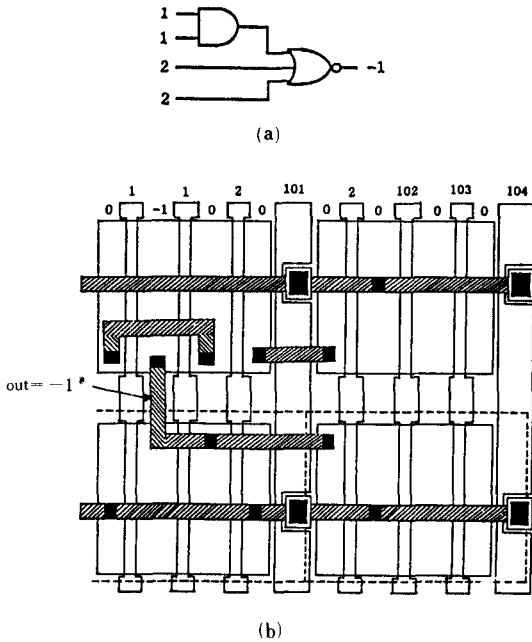


그림 2. 논리게이트의 실현 예  
 (a) AND-NOR 회로 (b) 마스크 패턴  
**Fig. 2.** The realization of a logic gate.  
 (a) AND-NOR, (b) Mask pattern.

함한 최대 핀수, 그리고 북, 동, 남, 서 방향의 I/O pad 수 등이 포함되어 있다. 또한 셀에 대한 정보는 셀의 크기, 핀 위치 및 등가 핀 정보, feedthrough 핀 정보 등이 포함된 셀 라이브러리(LIB)와 각 셀의 마스크 패턴을 CIF의 형태로 저장하고 있는 CIF 라이브러리가 있다(그림 3). 라이브러리의 내용은 사용자가 필요에 따라 쉽게 추가, 변경할 수 있다.

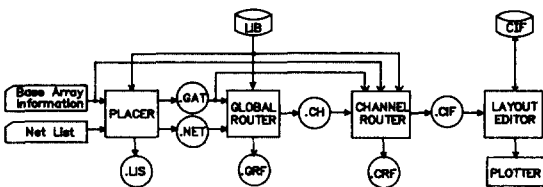


그림 3. HAN-LACAD-G의 시스템 구성도  
**Fig. 3.** System configuration of HAN-LACAD-G.

III. 시스템 구성

현재 HAN-LACAD-G는 EGA 그래픽 보드와 640 KB 이상의 메모리를 갖는 IBM/PC DOS상에서 수행된다. 전체 시스템은 C 언어로 프로그램하였으며,

GSS\*CGI 그래픽 라이브러리<sup>[7]</sup>를 사용한다. HAN-LACAD-G는 그림 3과 같이 크게 PLACER, GLOBAL ROUTER, CHANNEL ROUTER, LAYOUT EDITOR의 4개의 프로그램 모듈로 구성된다.

시스템의 입력은 사용할 베이스레이의 정보와 실현할 회로의 netlist이다. PLACER는 이 2개의 입력화일을 받아서 라이브러리를 참조하여 셀들을 배치하고 extension이 각각 .GAT, .NET, .LIS인 3화일을 출력한다. 이중 .GAT, .NET는 각각 GLOBAL ROUTER의 입력으로 사용되는 배치 결과 및 변형된 netlist이다. GLOBAL ROUTER는 이를 입력으로 하고 라이브러리를 참조하여 각 채널 및 외부 영역에서의 핀 정보(.CH)를 출력한다. 배치 및 global 배선 설계가 끝나면 CHANNEL ROUTER가 수행된다. CHANNEL ROUTER는 배치 및 global 배선의 결과(.GAT와 .CH)를 입력으로 하여 각 채널 및 I/O pad와 칩의 내부영역 간의 배선을 행한다.

시스템의 최종 출력으로 생성된 .CIF 화일은 LAYOUT EDITOR에 의해 EGA 모니터상에 디스플레이되거나 대화형 수정이 가능하며 플러터로 출력된다. 그림 3의 .LIS, .GRF, .CRF는 각각 PLACER, GLOBAL ROUTER, CHANNEL ROUTER의 출력 화일로서 사용자를 위한 정보 및 에러메시지등을 저장하는 화일이다.

IV. 배치 및 배선 설계

1. 배치 설계<sup>[8]</sup>

배치 설계는 그림 4와 같이 초기분할, 초기배치 및 배치개선의 3단계로 구성된다.

(1) I/O pad의 위치를 고려한 초기 분할

총 배선장을 줄이고 I/O pad와 내부 셀 간의 배선을 용이하게 자동화하기 위해서 I/O pad와 연결도가 많은 셀들을 그 I/O pad 부근에 배치한다. 이를 위하여 배치 알고리즘의 첫 단계에서는 I/O pad와의 연결도를 고려하여 전체 회로를 5개의 부회로로 분할한다. 그림 5에서와 같이 I/O pad의 위치에 따라 동, 서, 남, 북 방향의 I/O pad와 직접 연결된 셀들을 대응하는 각 그룹의 seed로 선정하고 연결도를 고려하여 셀들을 clustering 함으로써 전체 회로를 5개의 그룹으로 분할한다.

(2) Clustering/min-cut에 의한 초기 배치

초기 배치 과정에서는 분할된 5그룹에 대하여 수직과 수평 방향의 분할을 반복적으로 적용하여 각 셀의 위치를 결정한다. 하나의 그룹은 하나의 slice

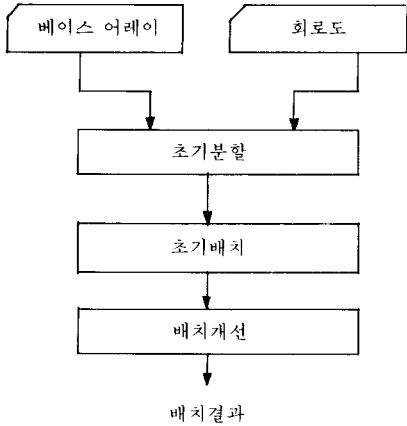


그림 4. 배치 설계의 흐름도  
Fig. 4. Placement design flow diagram.

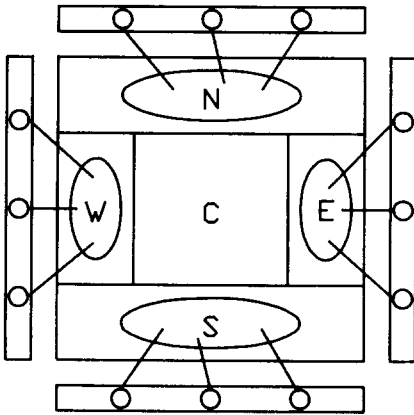


그림 5. Clustering에 의한 초기 분할  
Fig. 5. Initial partitioning by clustering.

line에 의해 2개의 서브 그룹으로 분할된다. 그룹내의 셀들 중에서 I/O pad나 인접그룹 내에 있는 셀과 직접 연결된 셀 들을 분할될 2서브 그룹의 seed로 선택하고, clustering에 의해 2서브 그룹을 결정한다. 다음에 min-cut 알고리즘<sup>13)</sup>에 의해 2서브 그룹 간의 신호선의 수가 최소가 되도록 셀을 이동하여 분할한다. 분할 과정은 한 그룹을 노드로 하고 분할된 2서브 그룹을 child로 하는 2진 트리로 표현되며, 트리내의 모든 leaf 노드들이 하나의 셀 만을 포함할 때 까지 반복된다.

(3) 배치 개선

게이트 어레이는 배선 영역이 결정되어 있으므로

채널 내의 한 부분에서라도 배선 밀도가 배선 트랙 수를 초과하면 100% 배선이 불가능하게 된다. 따라서 배치 개선 시에는 칩 내의 각 부분의 배선 밀도가 균일하게 되도록 최대 배선 밀도를 최소화하는 pairwise interchange<sup>6)</sup>를 적용한다.

2. Global 배선 설계<sup>10)</sup>

Global 배선은 신호선들의 가상경로를 결정하여, 배치된 셀들의 핀들을 신호선에 할당하여 각 채널에서의 핀 정보를 출력하는 과정이다. Global 배선의 흐름도는 그림 6 과 같다.

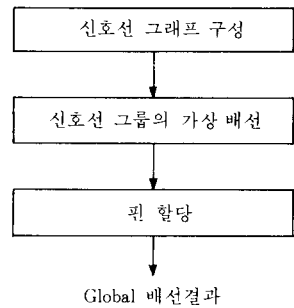


그림 6. Global 배선의 흐름도  
Fig. 6. Global router flow diagram.

(1) 신호선 그래프 구성

배치 후 사용되지 않은 셀들을 feedthrough로 사용할 수 있도록 dummy 셀로 할당한다. 하나의 dummy 셀은 4개의 feedthrough로 사용할 수 있다. 또한 모든 매크로셀을 할당된 신호선들의 위치에 따라 기본 셀 단위로 분할하여 배선문제를 단순화시킨다.

다점간 신호선 Ni에 속하는 셀들을 절점으로 하는 완전그래프를 구성한다. Ni에 속하는 임의의 2셀 Ca와 Cb의 좌표를 각각 (Ya, Xb), (Yb, Xb)라고 할 때, 2셀을 연결하는 에지에 다음과 같은 웨이트를 부여한다.

$$W(a, b) = |Xa - Xb| + d * f * |Ya - Yb| + \frac{|Ya - Yb|}{\text{셀row수} - 1} \tag{1}$$

식(1)에서, 상수 d는 모델링된 칩에서 고려되지 않은, 실제 칩에서 채널의 폭을 보상하는 값이다. 또한 변수 f는 x방향에 대한 y 방향의 웨이트를 조정하는 값으로, feedthrough가 부족한 경우 이 값을 크게 하여 feedthrough 사용을 억제한다. 마지막 항은 웨이트에 tie가 발생했을 경우 x방향에 유리하도록 하기

위한 값이다. 각 에지에 부여된 웨이트에 따라 minimum spanning tree를 구하고 2점간 신호선으로 분할하여 신호선 그래프를 구성한다.

(2) 신호선 그룹의 가상배선

모든 2점간 신호선들을 인접한 2셀 row간의 연결요구가 있는 A그룹 신호선, 셀 row를 통과하여 연결요구가 있는 B그룹 신호선, 동일 셀 row상에 연결요구가 있는 C그룹 신호선으로 분류한다. 이중 B그룹 신호선들에 대해서는 feedthrough 할당요구를 계산하여 수직 배선 가능성을 판정하고, 불가능시에는 식(1)의 feedthrough 사용요구를 조절하는 f값을 증가시켜 신호선 그래프를 다시 구성한다.

신호선 그룹 간의 배선순서는 A그룹-B그룹-C그룹의 순으로 행한다. 같은 신호선 그룹 내에서는 웨이트가 큰 신호선이 상대적으로 우회할 수 있는 경로가 더 많이 존재하므로, 웨이트가 작은 신호선의 경로를 먼저 결정한다. 가상경로 결정시 오버플로우가 발생한 채널의 경우 maze 알고리즘을 적용하여 오버플로우가 발생한 채널을 우회하여 가상경로를 찾는다.

(3) 핀 할당

기본셀들은 상측(p-타입)과 하측(n-타입)핀이 등전위를 이루는 양 방향성 핀으로 구성되어 있으며 논리적으로 서로 등가인 핀들은 교환할 수 있다.

핀 할당은 수직핀 할당과 수평핀 할당으로 구분된다. 수직핀 할당에서는 셀이 연결된 신호선의 경로가 그 셀의 위 방향으로 연결된 경우에는 p-타입 핀을 할당하고, 아래쪽 방향으로 연결된 경우에는 n-타입 핀을 할당한다.

수평핀 할당 시에는 왼쪽으로 연결요구가 있는 핀은 '-1'의 웨이트를 부여하고 오른쪽으로 연결요구가 있는 핀은 '1'의 웨이트를 부여하여, 각 신호선들의 가상경로가 결정된 후, 셀 라이브러리에서 논리적으로 등가인 핀끼리 웨이트가 증가하는 순으로 정렬하여 핀 할당함으로써 배선장의 최소화를 기한다.

3. Detailed 배선<sup>[11],[12]</sup>

HAN-LACAD-G의 detailed 배선기는 채널 배선기로, 2층 배선과 HVH 방식<sup>[9]</sup>의 3층 배선이 가능하다. 주어진 배선요구에 대하여 각 트랙에서 다음에 설명하는 과정을 반복하여 배선을 완료한다. Detailed 배선의 흐름도는 그림 7과 같다.

(1) 채널 그래프 구성

다점간 신호선 연결 요구를 2점간 신호선으로 분할하여 배선 트랙수를 감소시킬 수 있다. 모든 신호선들을 2점간 신호선으로 분할한 후, 채널 내의 배선

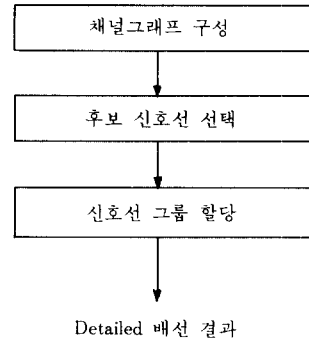


그림 7. Detailed 배선의 흐름도  
Fig. 7. Flow diagram of detailed routing.

요구를 표현하는 채널 그래프를 구성한다.<sup>[11]</sup>

채널 그래프의 절점은 핀의 위치(열 번호)를 나타내며 에지는 2핀을 연결 요구로 갖는 신호선의 연결상태를 표현한다. 즉 에지는 신호선의 시작열과 마지막 열이 모두 상측 블럭과 연결될 때 무 방향성 에지, 시작열과 마지막 열이 각각 상측 블럭과 하측 블럭에 연결되는 경우에는 1방향성 에지, 시작 열과 마지막 열이 모두 하측 블럭에 연결되는 경우 양 방향성 에지로 표시된다.

(2) 후보 신호선 선택

수직제한이 없는 신호선들을 선택하기 위해 채널 그래프의 각 에지의 양 끝에 다음과 같이 웨이트를 부여한다.

한 절점에 방향성 에지와 무 방향성 에지가 동시에 존재하면 방향성 에지에 "3", 무 방향성 에지에 "0"의 웨이트를 부여하고, 한 종류의 에지만이 존재하면 "1"의 웨이트를 할당한다. 양 끝에 할당된 웨이트의 합으로 에지 웨이트를 할당한 후, 현 트랙에 할당 가능한 후보 신호선을 선택한다. 이때 웨이트의 합이 2이하이면 그 신호선보다 상측에 배선 되어야 하는 다른 신호선이 존재하지 않는 경우이므로 현 트랙에 할당 가능하며 이러한 신호선의 집합을 후보 신호선 집합(CNG)이라 한다.

(3) 신호선 그룹 할당

가) 2층 배선

CNG는 수직 제한 조건이 해소된 신호선들이므로 이들 중에서 수평 제한 조건을 만족하여 하나의 트랙에 할당 가능한 신호선의 집합인 신호선 그룹(NG)들을 구성한다. NG 중에서 아직 할당되지 않은 신호선들과 수직 제한이 많은 NG, 그리고 트랙 내에서 가급적 많은 부분을 차지하는 신호선 그룹의 순으로

우선 순위를 주어, 하나의 NG를 선택하고 현재 트랙에 할당한다.

#### 나) 3층 배선<sup>[12]</sup>

CNG의 신호선들 중에서 수평 제한을 만족하는 신호선 집합을 구성하기 위해 우선적으로 배선하여야 하는 seed 신호선을 선택한다. 각 신호선에 대해 최대 배선 밀도를 지역을 지나는 열의 수만큼 가중치를 부여하여 가장 큰 값을 갖는 신호선을 seed 신호선으로 선택한다. Seed 신호선이 결정되면 seed 신호선을 중심으로 수평제한 조건을 만족하는 신호선 그룹을 구성하고 seed 신호선에 대하여 CNG의 각 신호선을 노드로 하고 수평 제한 조건을 만족하는 신호선들 사이에 방향성 에지를 부여하는 신호선 그룹 그래프를 구성한다.

신호선 그룹의 각 신호선의 지역 밀도를 합하여 지역 밀도 총합이 최대인 신호선 그룹을 선택하여 먼저 1층에 배선한 후, 3층에 배선할 신호선 그룹을 선택하기 위해서 현재 구성되어 있는 후보 신호선집합(CNG)에서 1층에 배선된 신호선을 제거하고, 같은 방법으로 신호선 그룹을 선택하여 3층에 배선한다.

## V. 출력 처리

HAN-LACAD-G에서 출력 처리부의 목적은 레이아웃 결과를 그래픽 처리함으로써 사용자가 설계 결과를 시각적으로 볼 수 있도록 하여 빠른 시간 내에 설계한 칩의 결과를 파악하고 설계상의 오류를 쉽게 찾아내어 수정할 수 있도록 하는 것이다. 출력 처리부의 구성은 그림 8과 같다. 시스템 제어 모듈은 레이아웃 데이터 베이스와 레이아웃 에디터 간의 정보 처리 및 에디터의 수행을 제어한다. 레이아웃 에디터의 각 모듈은 다음과 같다.

### 1. 사용자 인터페이스

사용자 인터페이스란 시스템과 사용자 간의 상호 작용 방법의 총체를 의미하며 일반적으로 명령어의

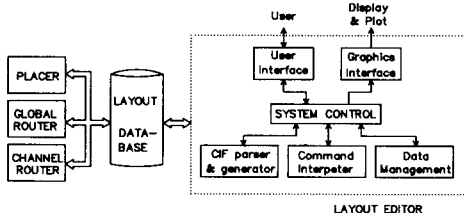


그림 8. 출력처리부의 구성

Fig. 8. Configuration of output process unit.

입력 및 그 결과의 표시 방법과, 명령의 수행 및 데이터의 생성 방법의 2가지로 볼 수 있다.

효율적인 대화형 출력처리를 위해서 명령어는 메뉴 시스템을 이용하여 마우스로 입력하고, 명령의 수행에 있어서 bit mapped block image의 rubber band와 net highlighting 기능 등을 첨가하였다. 또한 자동 연결 기능을 부여하여 wire와 wire, wire와 pin의 연결 정보를 자동 생성하게 한다.

### 2. 그래픽 인터페이스

기본적인 그래픽 관련 명령어 들로서 GSS\*CGI 그래픽 라이브러리<sup>[7]</sup>를 사용 하며, 플로터 인터페이스는 독자적으로 개발하여 사용한다.

### 3. 명령어 해석기

레이아웃 에디터의 기본 명령어 집합은 edit 명령, view명령 및 그래픽 메타파일의 입출력 명령 등이다. Edit 명령은 copy, move, delete, draw primitives 등이다. View 명령에는 redraw, zoom in/out/all, pan, grid, snap, layer filtering 등의 기본적인 명령어들과 배치된 셀의 icon image와 내부 마스크 패턴을 보여주는 CIF on/off 기능 등이 있다.

### 4. CIF 파서 및 CIF 생성기

표준화된 레이아웃 정보의 입출력을 위해서 CIF 파서와 CIF생성기를 첨가하였다.

### 5. 데이터 관리

기본적인 그래픽 데이터는 wire와 모듈이며 모듈에는 심볼 icon과 마스크 패턴, 그리고 핀 정보가 있다. Viewing에 있어서 빠른 응답을 위하여 multiple storage quad tree<sup>[14]</sup>를 기본 데이터 구조로 사용한다.

## VI. 실험 및 고찰

본 논문의 게이트 어레이 자동 레이아웃 시스템은 C언어로 프로그래밍하여 IBM/PC의 DOS 상에서 실현하였다.<sup>[13]</sup>

표 1은 여러 예제 회로에 대해 본 논문에서 제안한 레이아웃 시스템을 적용한 결과이다. 칩 사용율은 베이스 어레이의 core셀 갯수 중 논리 형성을 위해 사용된 셀의 비율을 나타내며, 크기는 회로를 실현하기 위해 사용된 core 셀의 갯수를 표시한다. 최대 배선 밀도는 각 채널 영역 중 가장 혼잡한 부분을 지나는 수평 트랙의 수를 나타낸다. 각 예제 회로에 대해 배치와 global 배선을 수행한 후, detailed 배선은 2층 배선 및 3층 배선으로 실현했다. 표에서 나타난 바와 같이 모든 예제 회로에 대해서 3층배선

표 1. 레이아웃 결과  
Table 1. Layout results.

예제 회로	셀수	신호선수	크기	칩사용률 (%)	최대배선 밀도		수행시간 (초)	
					2층	3층	2층	3층
MUXO	62	69	131	93.6	5	3	40.15	41.31
ADDER	91	100	91	95.0	9	5	33.78	35.20
CNT8	112	124	149	84.7	11	6	72.19	72.57
CCT	131	140	156	88.6	12	6	70.47	70.07
CNT16	261	267	360	91.8	20	-	115.10	-

한 결과는  $\lceil n/2 \rceil$ 의 트랙 수( $n$ 은 2층 배선의 트랙수) 트랙수를 사용하여 배선되므로 효율적으로 칩 면적을 감소할 수 있음을 보인다. 수행시간은 PC-386 (21 MHz) 상에서 배치에서 배선까지의 시간을 측정된 결과이다.

그림 9는 HAN-LACAD-G에 의한 예제회로 CCT의 레이아웃 결과(3층 배선)를 플로터로 출력한 그림이다. 그림10은 예제회로 CCT의 레이아웃 결과 중 일부분을 확대하여 본 그림이다. 그림 중 wire는 선으로 나타내었다.

Ⅶ. 결 론

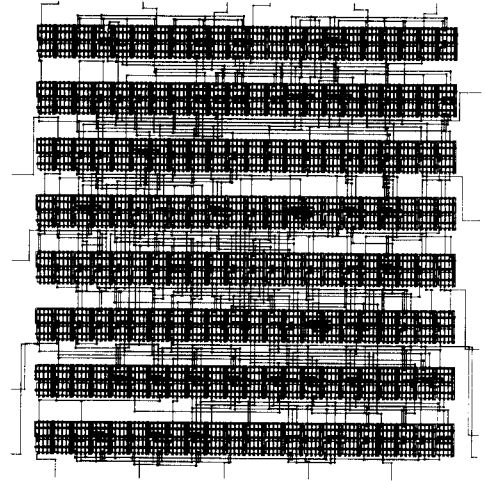
본 논문에서는 반주분형 집적회로 설계 방식 중 게이트 어레이 방식의 레이아웃 설계 자동화 시스템, HAN-LACAD-G를 제안하였다. HAN-LACAD-G는 자동 배치, 배선을 포함하여 레이아웃 에디터, 플로터 등의 전체 CAD 프로그램을 통합하여 PC 상에서 시스템화 하였다.

본 논문의 게이트 어레이 레이아웃 시스템은 내부 영역과 I/O pad와의 배선을 자동화하였으며 매크로 셀의 처리가 가능하게 하였다. 그러나, PC가 갖는 하드웨어적인 제약, 즉 메모리의 한계성등으로 인하여 작은 소규모의 칩 설계에만 사용이 가능하다.

앞으로의 연구 과제로는 레이아웃 검증 시스템의 개발이 뒤 따라야 할 것이며, 현재 over-the-cell 배선기와 sea-of-gate의 레이아웃 시스템에 대한 연구가 진행 중이다.

參 考 文 獻

[1] W.F. DeCamp, R.A. Bechade and M.P. Concannon, "Gate Array and Standard Cell



CCT

그림 9. CCT의 HAN-LACAD-G 레이아웃 결과 (3층 배선)

Fig. 9. HAN-LACAD-G Layout of CCT (three layer routing), .

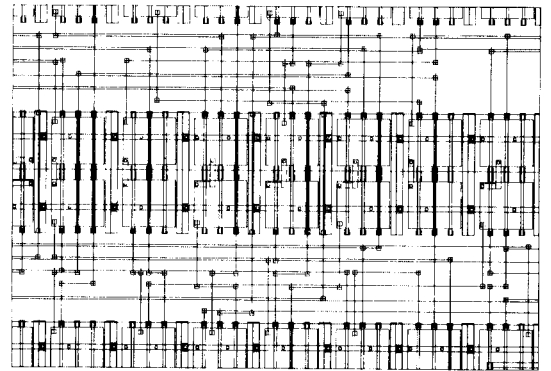


그림 10. CCT의 레이아웃 결과의 일부분 (3층 배선)

Fig. 10. Sections of layout result of CCT.

(three layer routing).

Approach," in Chap. 2, in Design Methodologies, S. Goto Ed. North-Holland, 1986.  
[2] C.A. Palesko and L.A. Akers, "Logic Partitioning for Minimizing Gate Arrays," *IEEE Trans. on CAD*, vol. CAD-2, no. 2, pp. 117-121, Apr. 1983.  
[3] B.W. Kernighan and S. Lin, "An Efficient

- heuristic procedure for partitioning graphs," Bell system technical journal, vol. 49, no. 2, pp. 291-307, Feb. 1970.
- [4] Jeong-Ting Li and M.M. Sadowska, "Global Routing for Gate Array," *IEEE Trans. on CAD*, vol. CAD-3, no. 4, pp. 298-307, Oct. 1984.
- [5] T. Yoshimura and E.S. Kuh, "Efficient Algorithms for Channel Routing," *IEEE Trans. on CAD*, vol. CAD-1, no. 1, pp. 25-35, 1982.
- [6] M.A. Breuer, "Design Automation of Digital Systems: Theory and Techniques," Chap. 4-5, Prentice Hall, 1972.
- [7] Graphics Software Systems Inc., "GSS\*CGI Programmer's Guide for DOS," May, 1987.
- [8] 강병익, 정정화, "새로운 게이트 어레이 배치 알고리즘," 대한전자공학회 논문집, 제26권, 제5호, pp. 117-126. 1989, 5월.
- [9] Y.K. Chen and M.L. Liu, "Three Layer Channel Routing," *IEEE Trans. on CAD*, vol. CAD-3, no. 1, pp. 156-163, Apr., 1984.
- [10] 이승호, "Macro셀과 I/O pad셀을 고려한 CMOS Gate Array Global Router에 관한 연구," 한양대학교 석사학위논문, 1988, 12월.
- [11] 박순홍, "LSI/VLSI의 배선 설계에 관한 연구," 한양대학교 석사학위논문, 1984, 12월.
- [12] 이동훈, 강병익, 이병호, 정정화, "Three-layer 채널 배선 알고리즘" 대한전자공학회 추계종합학술대회 논문집, 제11권, 제1호, pp. 504-507, 1988. 11
- [13] Hanyang Univ. CAD Lab., "HAN-LACAD-G USER'S MANUAL," 1989. 4.
- [14] R.L. Brown, "Multiple Storage Quadtree: a Simple Faster Alternative to Bisector List Quadtree," *IEEE Trans. on CAD*, vol. CAD-5, pp.413-419, July, 1986.

---

 著 者 紹 介
 

---



## 姜 秉 益 (正會員)

1961年 11月 22日生. 1984年 한양대학교 전자공학과 졸업. 1986年 한양대학교 대학원 전자공학과 졸업. 공학석사학위 취득. 1986年 3月~현재 한양대학교 대학원 전자공학과 박사과정 재학중.

주관심분야는 VLSI CAD, Layout 및 Simulation등임.

## 鄭 正 和 (正會員) 第27卷 第3號 參照

현재 한양대학교 전자공학과 교수