

SC 필터의 자동 설계를 위한 프로그램의 개발

(A Development of a Software Tool for Automatic SCF Design)

李祥源*, 金鎔燮*, 金聖元*, 姜旭*, 金壽遠*, 金惠鎮*

(Sang Won Lee, Yong Seop Kim, Seong Won Kim, Wook Kang, Soo Won Kim, and Duck Jin Kim)

要 約

Cascaded SC (switched capacitor) 필터를 설계하는 전 과정을 분석하여 SC 필터를 자동 설계하는 프로그램을 개발하였다. 프로그램에는 사용자가 선택할 수 있는 몇가지 approximation 방법과 total capacitance를 줄이기 위한 알고리즘이 포함되어 있다. Partial positive feedback과 clock frequency 가 total capacitance에 미치는 영향을 분석하였고 이 두가지 설계 요소를 조절하여 total capacitance를 최적화 하는 과정을 설계 예를 들어 제시함으로써 프로그램의 효율성을 증명하였다.

Abstract

A software tool implementing cascaded SCF (Switched Capacitor Filter) is developed. A comprehensive procedure is described for the design of cascaded SCF, and some design considerations are discussed. In program several user-selectable filter approximation techniques, and two optimising methods which reduce the total capacitance are included. Analysis of the partial positive feedback and the effect of clock frequency to total capacitance are presented in detail. Two practical examples are given to prove its validity in reducing the total capacitance. Developed tool can be used for general SCF generator.

I. 서 론

통신기기를 비롯한 여러 응용 분야에서 필터는 전기적 특성을 결정하는 가장 중요한 블록으로 이용되고 있다. 60년대에 비교적 저렴한 OP-AMP가 개발되면서부터 능동 RC 필터가 수동 RLC 필터에 대

용되어 널리 사용되어 왔다. 능동 RC 필터는 RLC 필터에 비하여 부피가 작고, 저주파 대역에서 특성이 우수하며, tuning이 쉬운 장점이 있으나 IC화 할 경우 process variation이 큰 저항소자로 인하여 안정된 RC 시상수를 얻을수 없기 때문에 집적화 하기에 적합하지 않은 것으로 판명되었다. 그러므로 최근 반도체 집적기술의 급격한 발달과 더불어 점차 필터를 one-chip화 할 필요성이 증가하면서 능동 RC 필터의 이용은 그 한계에 이르게 되었다. 따라서 필터의 집적회로화를 위한 여러가지 방법의 노력이 시도되었는데 그가운데 SC (switched capacitor) 기술은 이러한 process variation이 큰 저항소자를 switch와 capacitor로 대체하는 방법으로, 회로의 전달함수가

*正會員, 高麗大學校 電子工學科
(Dept. of Elec. Eng., Korea Univ.)

接受日: 1990年 1月 29日

(※ 본 연구는 1989년도 문교부지원 학술진흥재단의 자유공모과제 학술연구 조성비에 의하여 연구 되었음.)

capacitor의 비(ratio)만으로 결정되므로 process variation에 덜 민감하며 tuning이 쉬울뿐 아니라 집적화에 적합하다는 장점이 있다. 이러한 MOS switch를 이용한 SC 필터는 크기가 작고 전력소비가 적으며 대량 생산이 가능하고 생산 비용이 적게 드는 장점 때문에 현재 음성영역에서 동작하는 시스템등 많은 응용 분야에서 쓰이고 있다.^[1]

SC 필터의 설계는 복잡한 산술연산 과정으로 이루어지며 연산과정에서 고도의 정확성이 요구된다. 또한 설계의 최적화를 위해 이러한 연산과정을 반복하여 실행해야 하는 어려움이 따른다. 따라서 효율성과 경제성을 감안할때 컴퓨터를 이용하여 필터를 설계하는 프로그램의 개발이 요구된다.

본 논문에서는 SC필터의 설계와 최적화 과정의 전반적인 알고리즘을 분석하여 cascaded SC필터를 자동설계하는 프로그램을 개발하였다.

II. SC필터의 설계 과정

필터의 설계는 주어진 specification을 만족하는 회로와 그 회로를 구성하는 소자들의 값을 구하는 것을 의미한다. 이러한 설계과정은 일반적으로 approximation과 realization의 두가지 과정으로 나눈다.^[2]

1. Approximation 과정

Approximation은 필터의 전달함수를 선형함수로 근사시켜 구하는 과정으로 수학적 연산에 의하여 이루어지며 근사 방법에 따라 Butterworth, Chebyshev, Elliptic등으로 분류된다. 이때 approximation방법에 따라 전달함수는 서로 다른 주파수응답 특성을 가지며 같은 주파수 specification에서 각기 다른 차수의 함수로 구현된다.

필터를 정의하는 specification의 입력으로 부터 discrete-time domain에서의 전달함수 $H(z)$ 를 구하는 과정은 다음의 몇가지 단계로 구분할 수 있다.

[단계 1] Approximation type을 결정하고 주어진 specification으로 부터 전달함수의 차수(n)를 결정한다. 차수는 각 band에서의 감쇠 정도와 normalize된 주파수로 부터 유도된 식에서 구할 수 있다.^[3-4]

[단계 2] 수식의 연산으로 pole을 구하고 normalize된 LPP(low pass prototype)을 구한다.^[3-4]

[단계 3] Frequency transformation으로 필터 종류에 따른 전달함수를 단계 2)의 LPP로 부터 구한다.

[단계 4] (1)식과 같이 continous-time domain에서의

전달함수를 구한다.

$$H(s) = \frac{K(s^n + a_{n-1}s^{n-1} + a_{n-2}s^{n-2} + \dots + a_1s + 1)}{s^n + b_{n-1}s^{n-1} + b_{n-2}s^{n-2} + \dots + b_1s + 1} \quad (1)$$

[단계 5] Continous-time domain에서의 전달함수를 discrete-time domain에서의 전달함수로 변환한다. 이러한 s-domain에서 z-domain으로의 변환 방법에는 forward transform, backward transform, bilinear transform등이 있는데 stable한 특성 때문에 bilinear transform이 가장 많이 쓰인다.^[5] (2)식은 bilinear transform의 식을 나타내며 (3)식은 discrete-time domain에서의 전달함수의 일반적인 표현식이다.

$$s = \frac{2}{T} \frac{1-z^{-1}}{1+z^{-1}} \quad (2)$$

$$H(z) = \frac{\alpha_0 + \alpha_1 z + \dots + \alpha_{n-1} z^{n-1} + \alpha_n z^n}{\beta_0 + \beta_1 z + \dots + \beta_{n-1} z^{n-1} + \beta_n z^n} \quad (3)$$

2. Realization과정

Realization 과정은 approximation하여 구한 전달함수를 two-port network로 구현하는 과정으로 구현할 필터의 구조에 따라 설계 과정이 결정된다. SC 필터는 biquad 블록을 이용한 cascade 구조와 ladder 구조로 설계 할 수 있는데 고차 active 필터 설계의 경우 biquad 블록을 cascade하여 설계하는 것이 비교적 간단하고 실용적이다.^[6]

Biquad블록을 cascade하여 설계하기 위해서는 (3)식의 전달함수를 인수분해 하여 2차 함수의 곱의 형태로 바꿔야 하며 biquad를 구현하는 특정 SC 회로를 선택해야 한다.

Biquad를 구현하는 SC topology를 결정할때 다음의 몇가지 사항을 고려해야 한다.

1) 구현 가능한 filter의 종류

LP, HP, BP, BR의 네가지 type의 필터의 구현이 가능한 구조를 택한다.

2) Sensitivity와 Total capacitance

Low sensitivity를 가지며 적은 total capacitance로 biquad의 구현이 가능한 구조를 택한다. 이때 sensitivity와 total capacitance는 모두가 중요한 설계 parameter로 동시에 강조 되어야 하나 일반적으로 sensitivity와 total capacitance사이에는 trade off가 있으므로^[7] 두 parameter를 최적화한 설계가 요구된다.

3) 기생 capacitance(parasitic capacitance)의 영향

기생 capacitance는 stray insensitive한 switching 구조를 가지는 SC 소자로 biquad 회로를 구성하여 그 영향을 줄일 수 있다.^[5]

SC biquad 회로의 전달함수는 (4)식과 같이 표현되며 일반적으로 2개의 OP-AMP를 가지는 회로로 구현된다.

$$H(z) = \frac{N(z)}{D(z)} = \frac{\gamma + \epsilon z^{-1} + \delta z^{-2}}{1 + \alpha z^{-1} + \beta z^{-2}} \quad (4)$$

그림 1은 본 논문에서 채택한, biquad topology로 parasitic insensitive한 switched capacitor를 사용하여 기생 capacitance에 의한 영향을 최소화하고 partial positive feedback으로 total capacitance를 줄일 수 있으며 OP-AMP의 nonideality에 의한 영향이 최소화 되도록 switching되어 설계된 구조이다.^[6] 이 회로의 전달함수는 (5)식과 같으며 LP, HP, BP, BR의 네가지 type의 필터의 구현이 가능하다.

$$H(z) = \frac{V_o(z)}{V_{in}(z)} = \frac{-K(1 - 2r_0 \cos \theta_0 z^{-1} + r_0^2 z^{-2})}{1 - 2r \cos \theta z^{-1} + r^2 z^{-2}} \quad (5)$$

위 식에서

$$K = C_5 / C_4 / (1 + C_8 / C_4) \quad (5a)$$

$$2r_0 \cos \theta_0 = [C_6 / C_4 + C_5 / C_4 - C_2 / C_4 (C_1 C_3 + C_{10} / C_3)] / (C_5 / C_4) \quad (5b)$$

$$r_0^2 = (C_6 / C_4 - C_2 C_{10} / C_4 C_3) / (C_5 / C_4) \quad (5c)$$

$$2r \cos \theta = (2 + C_8 / C_4 + C_9 / C_4 - C_2 C_7 / C_3 C_4) / (1 + C_8 / C_4) \quad (5d)$$

$$r^2 = (1 + C_9 / C_4) / (1 + C_8 / C_4) \quad (5e)$$

이다.

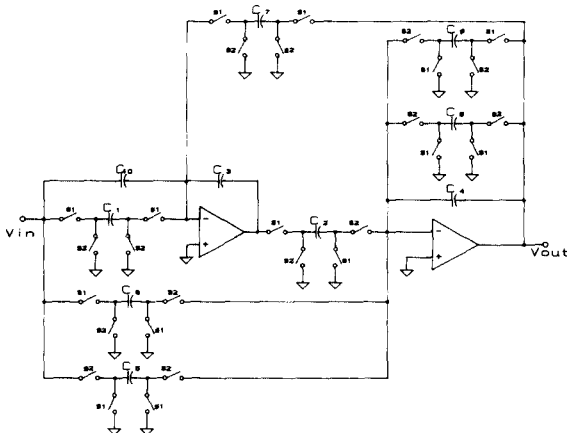


그림 1. 2차의 SC 필터 회로
Fig. 1. Biquadratic SC filter.

그림 1의 biquad 회로의 또 다른 구조적 특징은 zero forming capacitor pair를 이용한 것이다. 회로에서 C5와 C6는 전달함수의 zero를 결정하는 capacitor pair인데 그 값이 같을 경우 등가적으로 하나의 capacitor로 동작한다. 이와같은 unswitched capacitor를 한쌍의 switched capacitor로 구현하는 zero forming capacitor pair를 쓰면 sensitivity와 total capacitance를 줄이는 효과를 얻을 수 있다.^[9]

그림 2는 기본적인 1차의 SC topology로 이 구조는 low pass 필터나 high pass 필터의 홀수 차수의 전달함수를 구현할때 biquad 블록들과 cascade 되어 이용된다. 이 회로의 전달함수는 (6)식과 같이 해석된다.

$$H(z) = \frac{V_o(z)}{V_{in}(z)} = \frac{-a_3 z (1 + a_1 / a_3) - 1}{z (1 + a_2) - 1} \quad (6)$$

설계의 최종 단계는 (5)와 (6)식과 같이 회로소자의 향으로 구해지는 회로 전달함수의 계수를 approximation하여 계산된 (3)식의 계수와 matching하여 각 블록의 capacitor의 값을 결정하는 과정이다.

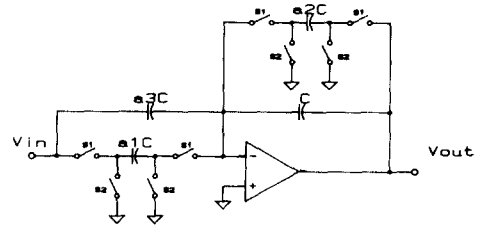


그림 2. 1차의 SC 필터 구성 블록
Fig. 2. First-order SC building block.

이상의 과정이 SC 필터를 설계하는 일반적인 과정이며 최적화 과정과 layout generator 개발을 포함한 SC 필터 generator 구현의 전과정을 그림 3에 요약 하였다.

III. 설계의 최적화와 capacitor의 값을 구하는 과정

본장에서는 설계시 가장 고려되어야 할 capacitance를 줄이는 방법과 이를 이용하여 각 블록의 capacitance를 결정하는 과정에 대하여 논하기로 한다.

1. 최적화 알고리즘

이상적인 SC 필터는 매우 작은 sensitivity, maximum output voltage swing, minimum total capacitance

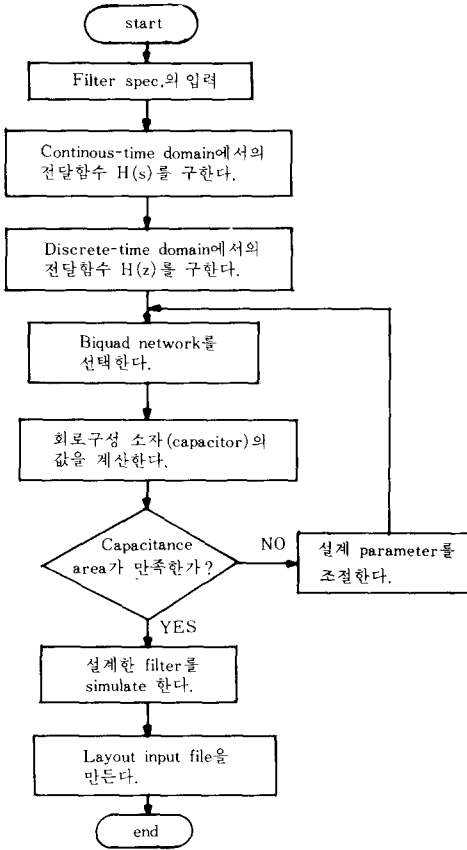


그림 3. Cascaded SC 필터의 설계 순서도
 Fig. 3. Cascaded SC filter design flow chart.

ance 등의 조건을 만족하여야 한다. 그러나 이러한 설계 parameter들 간에는 trade off가 있으므로 위의 조건 모두를 동시에 만족하는 필터를 설계하는 것은 불가능하다. 일반적으로 이러한 고려사항은 설계 하고자 하는 필터의 특성에 의해 결정되며 설계된 필터의 실제 구현 가능 여부는 설계 parameter들 간의 최적화 과정의 효율성에 의하여 결정된다. 실제로 일반적인 SC topology에서 high Q를 가지는 biquad 블록은 capacitance가 큰 값으로 설계 되므로 필터를 IC화 할때 가장 문제가 된다. 따라서 설계과정에서 Q값이 큰 biquad 블록의 capacitance를 줄일 수 있는 방법이 필요한데 본 프로그램에서는 partial positive feedback loop가 있는 SC topology⁽¹⁰⁾를 이용하여 total capacitance를 효과적으로 줄이는 방법을 이용했다.

Partial positive feedback구조가 회로의 전달함수와 Q sensitivity에 미치는 영향을 알아보기로 한다. Sampling rate와 Q가 매우 클 경우 (4)식의 α 와 β

는 (7)식과 (8)식으로 근사될 수 있다.⁽¹¹⁾

$$\alpha = -2 + \frac{\omega_0 T_s}{Q} + \omega_0^2 T_s^2 \quad (7)$$

$$\beta = 1 - \frac{\omega_0 T_s}{Q} \quad (8)$$

여기서 ω_0 는 공진주파수이고 T_s 는 sampling 주기이다.

(7)식과 (8)식을 matching하면 Q는 (9)식으로 표현된다.

$$Q = \frac{\sqrt{(C_8 + C_4)C_2C_7}}{(C_8 - C_9)^2 C_3} \quad (9)$$

위 식으로 부터 $S_{C_9}^Q$ 은 (10)식과 같이 유도된다.

$$S_{C_9}^Q = \frac{C_9}{C_8 - C_9} \quad (10)$$

(9)식과 (10)식에서 partial positive feedback 구조를 이용하면 C_9 capacitor의 Q sensitivity를 희생하여 high Q를 갖는 biquad 블록의 total capacitance를 줄여서 구현하는 것이 가능함을 알 수 있다.

Total capacitance에 관계되는 또 다른 설계 parameter로 clock frequency가 있으며 일반적인 SC 회로에서 sampling rate가 크면 total capacitance가 큰 값으로 구현 되게 된다. 본 프로그램에서 이용한 biquad의 pole angle θ 는 Q값이 클 경우 (11)식으로 근사된다.

$$\theta \approx 2\pi f_0 / f_s = \frac{\sqrt{C_2 C_7}}{(C_8 + C_4) C_3} \quad (11)$$

윗 식에서 clock frequency가 커질수록 θ 가 작아지며 따라서 우향의 capacitor값들의 spread가 커져 total capacitance가 큰 값으로 결정 됨을 알 수 있다. 그러므로 clock frequency는 허용된 total capacitance를 고려하여 적절하게 결정되어야 한다.

2. Capacitor값을 결정하는 과정

위에서 고찰한 partial positive feedback을 이용한 최적화 알고리즘은 capacitor의 값을 결정하는 과정에 직접 이용될 수 있다. 즉 각 블록의 Q 값을 판단하여 1보다 작은 Q값을 갖는 블록의 경우 C_9 을 0으로 하여 계산하고 Q값이 1보다 클 경우 C_9 과 C_8 의 값을 (12)식과 (13)식으로 부터 계산하여 capacitance를 줄인다.

$$C_9 = (\beta - 1) / [1 - \beta(1 + S_{C_9}^Q) / S_{C_8}^Q] \quad (12)$$

$$C_8 = C_9(1 + S_{C_9}^Q) / S_{C_8}^Q \quad (13)$$

이때 다른 capacitor의 값을 결정하는 방정식은 여

러해를 가질수 있으므로 특정해를 결정하는 알고리즘이 필요하다. 본 프로그램에서 사용한 capacitor를 결정하는 알고리즘은 low-pass biquad의 경우 그림 4와 같다. 그림 4에서 NX, DX는 전달함수의 분자, 분모 각각의 계수들의 합으로 정의한다.

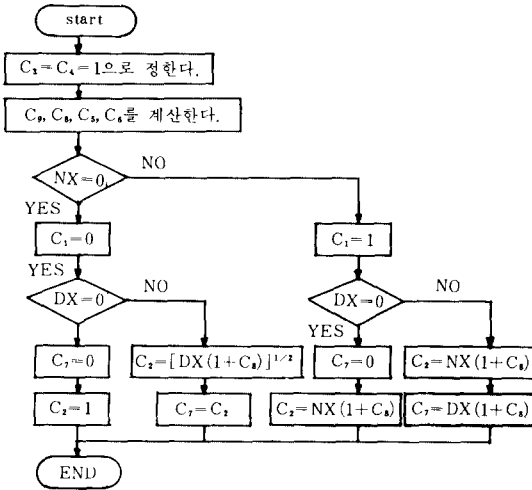


그림 4. Capacitor값을 결정하는 알고리즘(Low-Pass 필터)
 Fig. 4. Algorithm for determining capacitor values. (Low-Pass filter)

IV. 프로그램 실행과 결과 고찰

본장에서는 프로그램화된 알고리즘의 적절함을 입증하기 위해 실예를 들어 그 결과를 고찰 하기로 한다. 본 논문에서 개발된 프로그램은 Butterworth, Chebyshev, Elliptic approximation으로 LP(low-pass), HP (high-pass), BP (band-pass), BR (band-reject) 필터를 설계할 수 있다. 필터 type에 따른 입력은 다음과 같다.

- Ap : passband에서의 최대 허용 감쇠량 (dB)
- As : stopband에서의 최소 허용 감쇠량 (dB)

LP와 HP 필터의 경우

- Fpass : pass frequency
- Spass : stop frequency

BP와 BR 필터의 경우

- FpassL : 하위 passband frequency
- FpassH : 상위 passband frequency
- FstopL : 하위 stopband frequency
- FstopH : 상위 stopband frequency

설계 1) 2400bps의 speed를 갖는 PC 통신용 Modem(modulation and demodulation)에서 anti-aliasing 필터로 쓰이는 cutoff frequency가 3.4KHz인 lowpass 필터를 Chebyshev approximation으로 설계 하였다. CCITT에서 제안하고 있는 규격은 아래와 같고 이 spec.을 만족하는 설계된 8 차의 lowpass 필터의 전달함수의 특성곡선을 그림 5에 보였다.

Fpass=3.4KHz, Fstop=4.7KHz, Ap=0.5dB, As=40dB

Clock frequency와 total capacitance와 관계를 나타내기 위하여 clock frequency의 변화에 따른 total capacitance와 최대 최소 capacitance의 비 (Cmax/Cmin)의 변화를 표 1에 요약하였다. 표에서 clock frequency를 적절히 선택하면 SC 필터의 크기를 허용된 크기로 조절하여 설계할 수 있음을 알 수 있다. 표2는 clock frequency를 56KHz로 택하여 설계 했을때 각 블록의 capacitor들의 값이다.

설계 2) Modem에서 채널 분리용으로 쓰이는 band-pass 필터의 사양은 다음과 같다.

FpassL=800Hz, FpassH=1600Hz, FstopL=701.4Hz, FstopH=1824.9Hz, Ap=0.5dB, As=55dB

이 사양으로 Elliptic approximation을 한 결과 12 차의 전달함수가 구해졌다(그림 6). 표 3은 clock frequency를 56.7KHz로 하여 필터를 설계한 결과이고 각 biquad블록의 Q 값과 total capacitance를 표

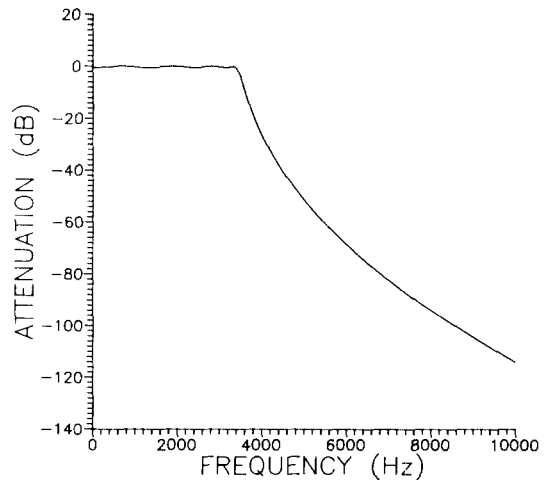


그림 5. 8 차 Chebyshev Low-Pass 필터의 전달함수
 Fig 5. Frequency response of designed Chebyshev Low-Pass filter.

표 1. Clock frequency와 total capacitance와의 관계(설계 1)

Table 1. Clock frequency versus total capacitance. (example 1)

CLOCK FREQ.	Total CAP.	Cmax/Cmin
20KHz	147.9	25.1
38KHz	234.9	64.3
56KHz	646.0	120.0
74KHz	1026.0	191.8
92KHz	1514.0	793.2
110KHz	2096.0	1147.0

4에 나타냈다. 표 4에서 전반적으로 Q값이 큰 블록은 total capacitance가 크게 구현됨을 알 수 있다. Q sensitivity를 최소화하여 설계된 필터의 total capacitance를 줄인 결과를 표 5에 나타내었다. 표 5에서 high Q 특성의 block 5, block 6의 Q sensitivity를 3으로 하여 total capacitance를 약 825 C₀(unit capacitance)만큼 줄일 수 있음을 보였다. 이와같은 최적화 과정을 통하여 SC 필터의 크기를 실제 구현 가능한 크기로 조절할 수 있다.

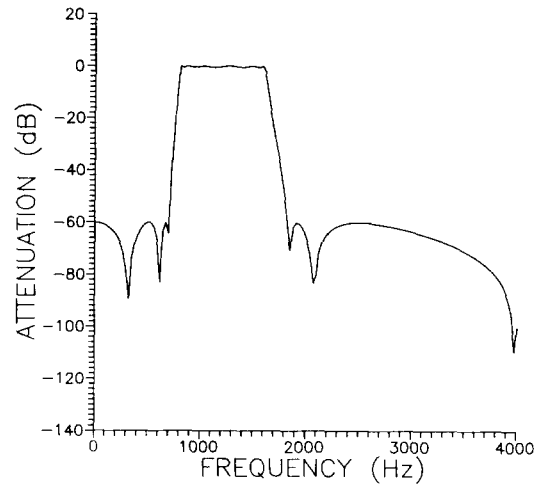


그림 6. 12차 Elliptic Band-Pass 필터의 전달함수
Fig 6. Frequency response of designed Elliptic Band-Pass filter.

V. 결 론

Biquad블록을 이용한 cascaded SC 필터의 설계과정을 분석하여 프로그램화 하였다. 설계 1에서 clock

표 2. 설계1의 SC필터구현 (Clock frequency=54KHz)

Table 2. Capacitor values for all blocks of example1. (clock frequency=54KHz)

	S ₀ ⁰	TC	C ₁	C ₂	C ₃	C ₄	C ₅	C ₆	C ₇	C ₈	C ₉	C ₁₀
BLACK 1	1	410	1.0	51.7	12.9	289.3	1.0	1.0	1.0	51.8	0	0
BLACK 2	1	121	1.0	20.4	5.1	60.6	1.0	1.0	1.0	21.1	10.5	0
BLACK 3	1	62	1.0	12.7	3.1	32.2	1.0	1.0	1.0	6.8	3.4	0
BLACK 4	1	52	1.0	12.1	2.8	30.2	1.1	1.1	1.1	2.0	1.0	0
Total capacitance = 646.0												

표 3. 설계2의 SC 필터 구현 (S₀⁰=1)

Table 3. Capacitor values for all blocks of example 2. (S₀⁰=1)

	S ₀ ⁰	TC	C ₁	C ₂	C ₃	C ₄	C ₅	C ₆	C ₇	C ₈	C ₉	C ₁₀
BLOCK 1	1	65.3	1.0	4.4	23.0	28.7	1.0	1.0	3.1	2.0	1.0	0
BLOCK 2	1	385.0	1.0	4.3	284.2	36.7	12.1	12.1	31.7	2.0	1.0	0
BLOCK 3	1	233.1	1.0	7.9	33.0	81.6	51.7	51.7	3.1	2.0	1.0	0
BLOCK 4	1	100.4	1.0	8.1	10.0	45.8	15.4	15.4	1.6	2.0	1.0	0
BLOCK 5	1	879.5	1.0	28.4	18.8	317.3	254.7	254.7	1.7	2.0	1.0	0
BLOCK 6	1	391.5	1.0	28.6	7.1	157.7	96.4	96.4	1.3	2.0	1.0	0
Total capacitance = 2054.8												

표 4. 각 블록의 Q값과 total capacitance와의 관계
Table 4. Q versus total capacitance.

	Q	total cap.
BLOCK 1	4.2480	65.3
BLOCK 2	4.2480	385.0
BLOCK 3	7.8396	233.0
BLOCK 4	77.8396	100.4
BLOCK 5	28.1526	879.5
BLOCK 6	28,1526	391.5

frequency와 total capacitance의 관계를 프로그램 실행 결과를 통하여 비교 하였고 설계 2에서 high Q를 갖는 두 biquad 블록의 Q sensitivity를 1에서 3으로 증가 시킴으로서 12차 bandpass필터의 total capacitance가 약 40% 감소됨을 보였다. 이상의 두가지 설계 예를 통하여 프로그램에 포함된 total capacitance를 줄이는 과정의 효율성을 증명하였고 설계 parameter들 간에 tradeoff가 있음을 보였다.

현재 최대 20차의 LP, HP, BP, BR 필터가 Butterworth, Chebyshev, Elliptic approximation으로 구현 가능하며 필요에 따라 더 고차의 필터 설계도 가능하다. Program은 FORTRAN language로 구현 되었고 IBM PC MS-DOS상에서 실행하였다.

본 연구는 all pass 필터 블록과 third-order 블록 등의 다양한 SC structure를 library화 하고 OP-AMP의 nonideality를 설계 과정에 포함하는 등의 프로그램을 보완 하는 방향과 SC 필터 설계의 완전 자동화를 위한 layout generator를 개발하는 방향으로 진행되고 있다.

参 考 文 献

[1] P.E. Allen and E. Sanchez-Sinencio, Switched-Capacitor Circuits. New York: Van Nostrand Reinhold, 1984.

[2] A.S. Sedra and P.O. Brackett, Filter Theory and Design. Matrix Publishers, Inc. 1978.
 [3] G. Daryanani, Principles of Active Network Synthesis and Design. Bell Lab. Inc. 1976.
 [4] Y-F Lam, Analog and Digital Filters. Prentice-Hall, Inc. 1979.
 [5] K. Martine and A.S. Sedra, "Stray-insensitive switched-capacitor filter based on the bilinear Z-transform," *Electron Lett.*, vol. 15, pp. 365-366, June 1979.
 [6] R. Gregorian, "Swiched-capacitor filter design using cascade sections," *IEEE Trans. Circuit Syst.*, vol. CAS-27, pp 515-521, June 1980.
 [7] E. Sanchez-Sinencio, J. Silva-Martinez, and R.L. Geiger, "Tradeoffs between passive sensitivity, output voltage swing and total capacitance in biquadratic SC filters," *IEEE Trans Circuit Syst.* vol. CAS-31, pp.984-987, Nov. 1984.
 [8] E. Sanchez-Sinencio, J. Silva-Martinez, and R.L. Geiger, "Biquadratic SC filters with small GB effect," *IEEE Trans. Circuit Syst.*, vol. CAS-31, pp.876-884, Oct. 1984.
 [9] K.R. Laker, "Equivalent Circuit for the Analysis and Synthesis of Switched Capacitor Networks," *B.S.T.J.*, vol. 58, pp. 727-767, March 1979.
 [10] E. Sanchez-Sinencio, P.E. Allen, A.W.T. Ismail, and E. Klinkovsky, "Switched-Capacitor Filters with Partial Positive Feedback," *Arch. Elek. Ubertragung.*, vol. 38, No. 5, pp. 331-339, 1984.
 [11] P.E. Eleischer and K.R. Laker, "A Family of Active Switched Capacitor Biquad Building Blocks," *B.S.T.J.*, vol. 58, pp. 2235-2269, December 1979.
 [12] E. Sanechez-Sinencio and J. Ramirez-Angulo,

표 5. 설계2의 SC필터 구현 ($S_C^0=3$ for block5, block6)
Table 5. Capacitor values with $S_C^0=3$ for block5, block6 of example 2.

	S_C^0	TC	C_1	C_2	C_3	C_4	C_5	C_6	C_7	C_8	C_9	C_{10}
BLACK 1	1	65.3	1.0	4.4	23.0	28.7	1.0	1.0	3.1	2.0	1.0	0
BLOCK 2	1	385.0	1.0	4.3	284.2	36.7	12.1	12.1	31.7	2.0	1.0	0
BLOCK 3	1	233.1	1.0	7.9	33.0	81.6	51.7	51.7	3.1	2.0	1.0	0
BLOCK 4	1	100.4	1.0	8.1	10.0	45.8	15.4	15.4	1.6	2.0	1.0	0
BLOCK 5	3	308.2	1.0	9.5	18.8	105.1	84.9	84.9	1.7	1.3	1.0	0
BLOCK 6	3	137.4	1.0	9.5	7.1	51.9	32.1	32.1	1.3	1.3	1.0	0
Total capacitance = 1229.4												

“AROMA: An Area Optimized CAD Program for Cascade SC Filter Design” *IEEE Trans. on CAD*, vol. CAD-4, no. 3, July 1985.

[13] Z Zhou, “A simple design-oriented analysis of Switched-Capacitor Active Filter,” *Circuit Theory Applications*, vol. 12 pp. 179-189, 1984.

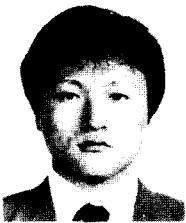
著 者 紹 介



李 祥 源 (正會員)
 1967年 1月 16日生. 1989年 2月 고려대학교 전자전산공학과 학사학위 취득. 현재 고려대학교 전자공학과 대학원 석사과정. 주관심분야는 SC필터 설계임.



姜 旭 (正會員)
 1966年 2月 6日生. 1989年 2月 고려대학교 전자전산학과 학사학위 취득. 현재 고려대학교 전자공학과 석사과정. 주관심분야는 MOS 아날로그 회로 설계임.



金 鎬 燮 (正會員)
 1964年 9月 9日生. 1988年 8月 고려대학교 전자전산공학과 학사학위 취득. 현재 고려대학교 전자공학과 석사과정. 주관심분야는 음성신호대역에서의 SC 필터의 적용임.

金 惠 鎮 (正會員) 第25卷 第4號 參照
 현재 고려대학교 전자전산공학과 교수



金 聖 元 (正會員)
 1967年 1月 1日生. 1989年 2月 고려대학교 전자전산공학과 학사학위 취득. 현재 고려대학교 전자공학과 석사과정. 주관심분야는 A/D Converter 및 MOS 아날로그 회로 설계임.

金 壽 遠 (正會員) 第26卷 第3號 參照
 현재 고려대학교 전자전산공학과 조교수